

【学位論文審査の要旨】

(論文審査の要旨)

近年、情報通信機器や自動車などにおける LSI の急激な需要拡大に伴って、その高信頼化への要求が一段と高まっている。半導体の設計・製造に関する技術分野では、許容される時間とコスト制約のもとで信頼性を確保するため、DFM(Design for Manufacturing) や DFR(Design for Reliability)といった概念が極めて重要である。DFM は製造容易化のための設計技術であり、DFR は信頼性の確保・向上のための設計技術である。最近では、伝統的な設計・テスト・故障解析に関する手法に加えて、AI(Artificial Intelligence) を応用した新たな手法に関する研究が注目されている。また、信頼性を評価するための尺度を高精度化する研究や、新しい尺度の定義に関する研究も進められている。

本論文は、こうした DFM, DFR の新たなアプローチについて論じたものである。具体的には、回路レイアウトに起因する不良位置を予測する手法と、LSI のテスト工程で検出されない不良の危険性を回路配線の観点から評価する手法を提案している。

本論文で認められる成果は以下のとおりである。

(1) LSI において不良が生じた位置を含むレイアウト画像と含まない画像とを畳み込みニューラルネットワーク (CNN) に学習させて、不良を含むレイアウトの特徴を抽出するモデルを提案している。この CNN モデルを用いて、LSI 回路全体を細かく分割したセグメント上のレイアウト画像を分類することで不良発生の危険性のある位置を予測できる。ここでは、画像データの拡張機能を活用して、画像切り出し方法を調整することで分類性能を向上させている。既存のホットスポットの位置を予測する手法とは異なり、広範囲のレイアウトを扱っていることに高い新規性と独自性が見られる。

(2) 上記 (1) の内容を発展させて、画像データの中で CNN モデルが注目したレイアウトの特徴を可視化して、不良発生の原因となったレイアウトを推測する手法を提案している。これは、不良位置のレイアウトが持っている図形的な特徴を Grad-CAM++ と呼ばれる特徴抽出手法で取り出し、不良レイアウトの特徴をマッピングするというものである。従来の伝統的な故障解析だけでは、ここまで具体的に不良原因部分を予測することは多くの場合に容易ではない。本手法は、不良位置を視覚的に示唆する新しい要素技術として実用化できる可能性を有している。

(3) 不良のある LSI がテストをすり抜けて市場に流出する危険性(テストエスケープ)を評価する手法を提案している。これは、LSI テストのテストパターンが適用されていない論理回路内の配線に生じる不良の発生確率をレイアウト解析手法(クリティカルエリア解析)で見積もるというものである。従来のテストでは、抽象化された論理ゲートと信号線の故障モデルに基づいてテストカバー率が算出され、レイアウトを考慮した実際の不良発生率を予測することは困難であった。この解析に基づいて、レイアウトから見積もられる不良発生確率の大きい配線に優先的にテストパターンを適用することで、実質的なテストカバー率を効率よく向上させてテストエスケープを低減できることを示

している。伝統的なテストの評価方法から一歩踏み出した新しい手法の提案といえる。

以上、本論文は、LSI の設計・製造における信頼性向上のための新しい回路レイアウト解析手法を提案し、それらの有効性を検討したものである。その成果は、半導体製造技術ならびに電子デバイスの高信頼化技術の研究分野に貢献するところが少なくない。よって、博士（工学）の学位を授与するに十分値するものと認められる。

（最終試験又は試験の結果）

本学の学位規則に従い、最終試験を行った。本論文に関する公開の発表会を開催し、学内外から 30 名あまりの出席者を得て、多角的かつ活発な討論を行った。また、論文審査委員によって本論文及び関連分野に関する試問を行った。これらの結果を総合的に判断し、慎重に審査した結果、合格と判定した。