

平成 27 年度博士課程前期課程学位論文

ラッチおよびフリップフロップの動作に対する  
電源ノイズの影響

首都大学東京大学院  
システムデザイン研究科  
情報通信システム学域

学修番号 14890537

山本 拓弥

指導教員  
三浦幸也教授

## 目次

1 章 はじめに	2
2 章 電源ノイズおよび関連研究	3
2-1 電源ノイズについて	3
2-2 SRAM の回路構成	4
2-3 SRAM の動作	5
2-4 電源ノイズの SRAM の動作への影響と FF 回路との関連性	6
3 章 電源ノイズのラッチの動作への影響	7
3-1 シミュレーション回路	8
3-2 シミュレーション条件	9
3-3 シミュレーション結果と考察	10
4 章 電源ノイズの FF 回路の動作への影響	12
4-1 シミュレーション回路	12
4-2 シミュレーション条件	14
4-3 シミュレーション結果と考察	15
4-4 プロセスの微細化が進んだ場合(16nm プロセスパラメータ)	22
5 章 電源ノイズによる FF 回路の誤動作への対策手法	27
6 章 まとめ	33
謝辞	34
参考文献	35

## 1 章 はじめに

VLSI 回路の微細化，低電圧化，高速化が進むにつれて，電源ノイズが回路の動作に与える影響が問題となっている．IR-drop は電源ノイズの一つであり，VLSI 回路内の論理ゲートを構成するトランジスタがスイッチング動作をする際に，電源－グラウンド間に瞬間的な過渡電流が流れることによって電源配線上の抵抗成分と作用して生じるノイズである．このノイズは同時にスイッチングするトランジスタ数が多いほど大きく変動するため，微細化が進み 1 チップ内のトランジスタ数が増加するにつれて大きなノイズとなり，論理回路の動作に影響を与えやすくなる．従来から電源ノイズは回路動作の信号遅延を引き起こすことが知られており，論理回路全般において問題視されている [1], [2]．また SRAM (static random access memory) や FF (flip-flop) のような記憶素子では保持している値のビット反転が生じる可能性があり，このことがより深刻な回路の異常な動作に繋がるため，特に重要視されている．SRAM においては既に電源ノイズによりビット反転が生じるエラー事例の報告と共にいくつかの対策手法が提案されている [3], [4]．一般には，SRAM での電源ノイズによるエラー発生に関わる要因として，トランジスタのサイズやしきい値が関係していると言われている [5], [6]．

今後更に VLSI 回路の微細化，低電圧化，高速化が進むと FF 回路においても上記の問題が顕著となり，対策が必要となる可能性が高い [7]．そこで，FF 回路においても SRAM と同様に電源ノイズによるビット反転などのエラーが生じるのか，また FF 特有のその他のエラーについても解析する必要がある．この結果から電源ノイズへの対策手法の開発も可能になると考えた．本論文では回路シミュレーションを用いて，電源ノイズが FF 回路および FF 回路の構成要素であるラッチ回路の動作に与える影響について解析を行う．また，電源ノイズによる FF のエラー対策についても検討する．

本論文は 6 章から構成されており，各章の概要は以下の通りである．まず，第 2 章では研究の背景となる電源ノイズの発生原因やその問題点について説明し，本論文の目的について述べる．また，関連研究として SRAM の動作に対する電源ノイズの影響について説明し，FF 回路の動作への電源ノイズの影響との関連性について述べる．3 章では回路シミュレーションを用いてラッチ回路における電源ノイズの影響について解析を行う．シミュレーション回路およびシミュレーション条件について説明したあと，シミュレーション結果を示し，得られた結果から 4 章におけるシミュレーション条件として考慮すべき点について述べる．4 章では回路シミュレーションを用いて FF 回路における電源ノイズの影響について解析を行う．3 章と同様にシミュレーション回路およびシミュレーション条件について説明したあと，シミュレーション結果を示す．得られた結果から，FF 回路の動作にエラーが発生した場合の原理，原因などについて考察する．5 章では 4 章で得られた結果と考察をもとに，電源ノイズによる FF 回路の誤動作への対策手法について述べる．6 章ではまとめと今後の課題について述べる．



## 2 章 電源ノイズおよび関連研究

### 2-1 電源ノイズについて

本節では、電源ノイズの発生原因および問題点について説明する。電源ノイズには IR-drop や同時スイッチングノイズが存在する[8]。図 2-1-1 は IR-drop、図 2-1-2 は同時スイッチングノイズの発生原理について示した図である。

- IR-drop :

IR-drop は電源配線上の抵抗成分  $R$  とそこに流れる電流  $I$  が原因となり生じるノイズである。VLSI 回路内の論理ゲートを構成するトランジスタがスイッチングする際に、瞬間的に電源 VDD とグラウンド間が短絡状態となる。このとき、電源からグラウンドに向かって電流が流れる。この電流が電源配線上の抵抗成分  $R$  と作用して  $V_R=R \times I$  の電圧変動が生じる。

- 同時スイッチングノイズ(Ldi/dt ノイズ) :

同時スイッチングノイズは、回路中のインダクタンス成分  $L$  とそこに流れる電流の変化  $di/dt$  が原因となり生じるノイズである。VLSI 回路内の論理ゲートを構成するトランジスタがスイッチング動作をすると、そのトランジスタの寄生容量や周辺の配線容量が充放電する。これにより、電源やグラウンドに電流が流れ、 $V_L=Ldi/dt$  の電圧変動が生じる。

IR-drop、同時スイッチングノイズの問題点として、これらの電源電圧が低下することで回路動作において信号遅延を引き起こすことが知られており、深刻なタイミング違反に繋がる可能性がある[1]、[2]。また、IR-drop と同時スイッチングノイズはどちらも同時にスイッチングするトランジスタ数が多いほど電源電圧の変動は大きくなる。そのため微細化が進み 1 チップ内のトランジスタ数が増加するにつれて大きなノイズとなり、また低電圧化が進めば電源電圧に対する電源ノイズの大きさの割合も相対的に大きくなり、論理回路の動作に影響を与えやすくなる。

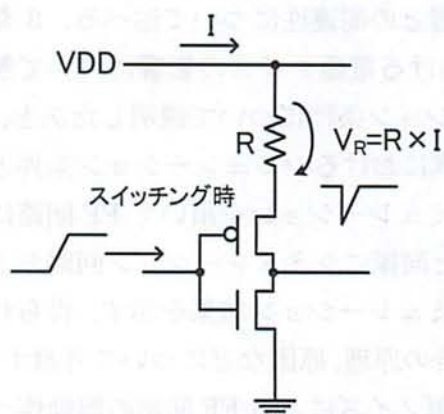


図 2-1-1 IR-drop の発生原理

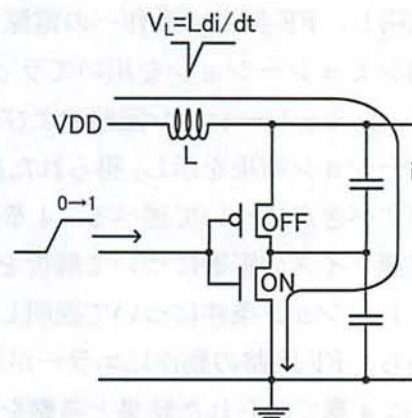


図 2-1-2 同時スイッチングノイズの発生原理

## 2-2 SRAM の回路構成

本研究の関連研究として,SRAMにおける動作への電源ノイズの影響が挙げられる. SRAM は FF 回路と同様に記憶素子の 1 つであり, この SRAM では既にビット反転によるエラーの事例が報告されている. 以下で SRAM の回路構成, 動作, 電源ノイズの動作への影響について説明する.

図 2-2-1 に一般的な SRAM セルの回路図を示す[10]. SRAM セルは負荷トランジスタ P1, P2, ドライバトランジスタ N1, N2, アクセストランジスタ N3, N4 の 6 個のトランジスタから構成され, 負荷トランジスタとドライバトランジスタからなるインバータ 2 個をループ状に接続することでデータを保持するラッチを構成している. データ保持ノード Q, QN と, 相補信号となるビット線 BL, BLB は, それぞれアクセストランジスタのソース/ドレインに接続される. このアクセストランジスタはゲートに接続された信号 WL が High で ON となり, データ保持ノードとビット線間が電氣的に接続される.

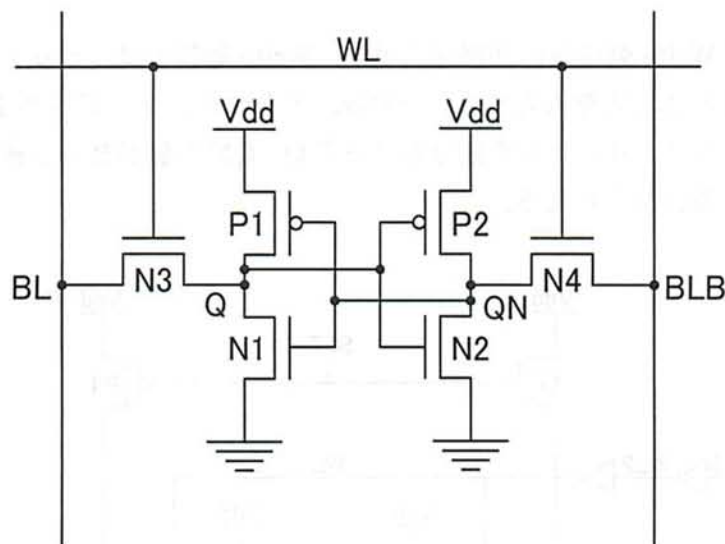


図 2-2-1 SRAM セルの回路図

## 2-3 SRAM の動作

SRAM には、Hold、Read、Write の 3 つの動作がある[10].

- Hold 状態 :  
アクセストランジスタ N1, N2(図 2-2-1)が OFF のとき Hold 状態となる. この状態ではビット線の電圧値の影響を受けずに保持ノード Q, QN の値が SRAM セル内で保持される.
- Read 動作 :  
図 2-3-1 に Read 動作時の回路図を示す. Read 動作では、まず、SET 信号を一旦 Low にすることで P3, P4 のトランジスタを ON にする. これにより、BL, BLB の両方のビット線が High にプリチャージされる. その後、アクセストランジスタ N3, N4 を ON にする. これにより、ノード Q, QN のうち、Low の値を保持している側に接続されたビット線では、アクセストランジスタとドライバトランジスタを通じて電流が流れることで電圧が低下し、ラッチ部分で保持している値(Low)がビット線へと読み出される.
- Write 動作  
図 2-3-2 に Write 動作時の回路図を示す. Write 動作では、ビット線 BL, BLB にそれぞれ書き込む値を入力する. その後、アクセストランジスタ N3, N4 を ON にする. これにより、ラッチ部分のノード Q, QN の値がビット線に入力している値によって書き換えられる.

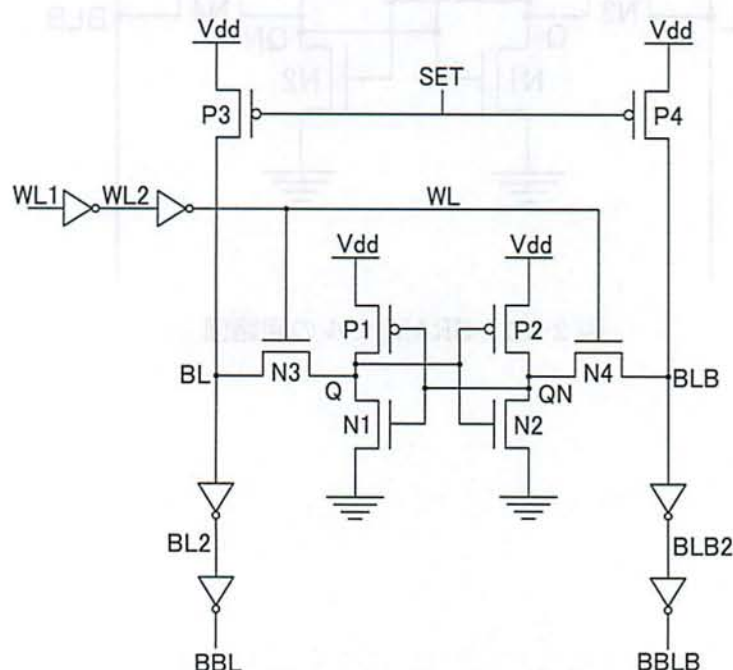


図 2-3-1 SRAM の回路図(Read 動作時)



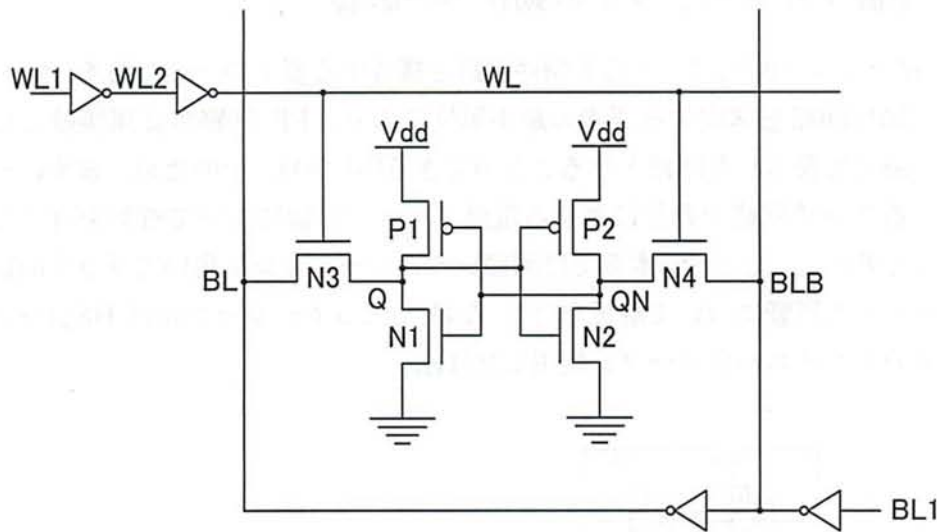


図 2-3-2 SRAM の回路図(Write 動作時)

## 2-4 電源ノイズの SRAM の動作への影響と FF 回路との関連性

SRAM(図 2-2-1)では、電源ノイズによる動作への影響として、信号に遅延が生じることに加えて、ラッチ部分の信号線 Q, QN が保持している値のビット反転が生じるエラーの事例が報告されている[3], [4]。このビット反転が生じるエラーの原因として、アクセストランジスタ N3, N4 とドライバトランジスタ N1, N2 の間の駆動力のバランスや、ラッチ部分でのループ状に接続された 2 つのインバータのしきい値のばらつきが関係していると言われている。

FF 回路は SRAM と同様にインバータ 2 個のループによるラッチを含む構成となっている。そのため、VLSI 回路の微細化、低電圧化、高速化が今後更に進めば、FF 回路においても電源ノイズの影響により保持している値がビット反転するエラーが生じる可能性が高い。そのため、4 章において電源ノイズの FF 回路動作に対する影響について動作確認を行うときの、動作確認条件の項目の一つとして、トランジスタのしきい値にばらつきを加えた場合について考慮する必要があると考えた。





### 3-1 シミュレーション回路

シミュレーションを行うラッチ回路の構成として、図 3-1-1 と図 3-1-2 に示す Latch1 と Latch2 の 2 種類の回路を対象にして電源ノイズを挿入し、動作確認を行った[12]. これらの 2 つの回路は、クロック信号の制御部がそれぞれ異なり、Latch1 ではクロックドインバータ、Latch2 ではトランスミッションゲートによってクロック信号を制御することで動作が切り替えられる. これらのラッチ回路はどちらもクロック信号 CK が Low の期間中に入力値を取り込み、クロック信号が High の期間中に入力した値を保持する、

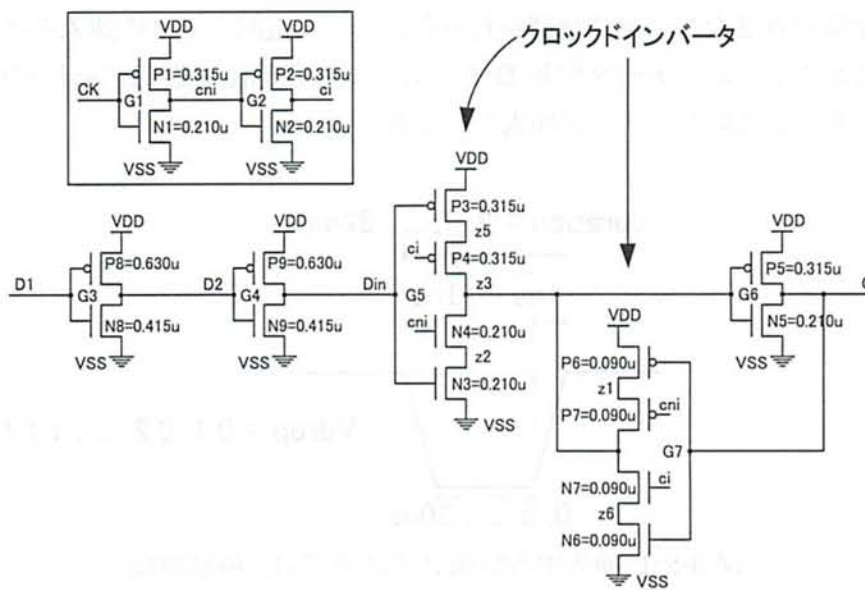


図 3-1-1 Latch1 の回路図

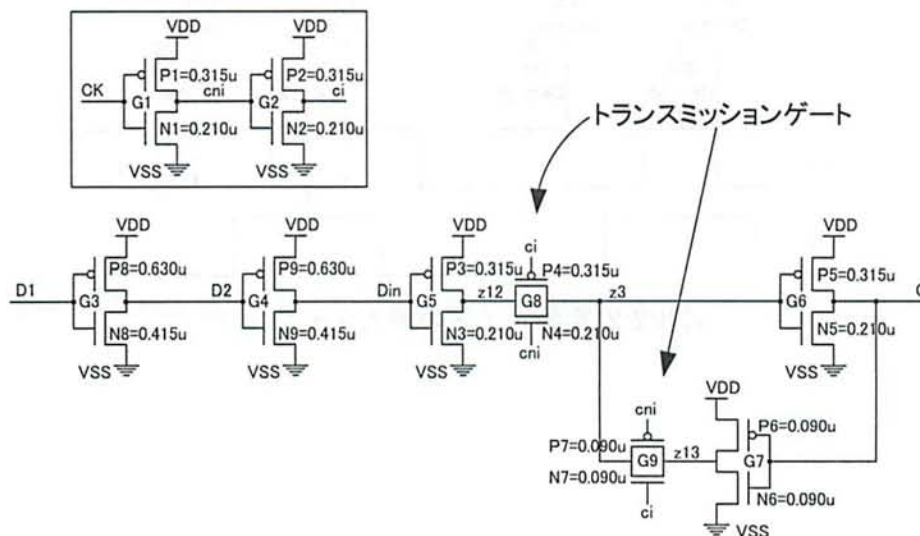


図 3-1-2 Latch2 の回路図

## 3-2 シミュレーション条件

ラッチ回路でのシミュレーション条件として、以下の5項目を考慮した。

- ①回路構成
- ②クロックの電源：ラッチ回路と(共通, 別)
- ③電源ノイズの振幅
- ④電源ノイズの持続時間
- ⑤電源ノイズの挿入タイミング

図 3-2-1 に示すように、③電源ノイズの振幅( $V_{drop}$ )は、1.1V の電源電圧に対して 0.1V~1.1V まで 0.1V 刻み、かつ④電源ノイズの持続時間(duration)は 2ns~32ns まで 5ns 刻みで変化させながら動作確認を行った。また、電源ノイズの挿入タイミングは、図 3-2-2 に示すように、データ信号 D とクロック信号 CK の関係がそれぞれ異なる 8 通りのタイミングに対してノイズ挿入を行った。

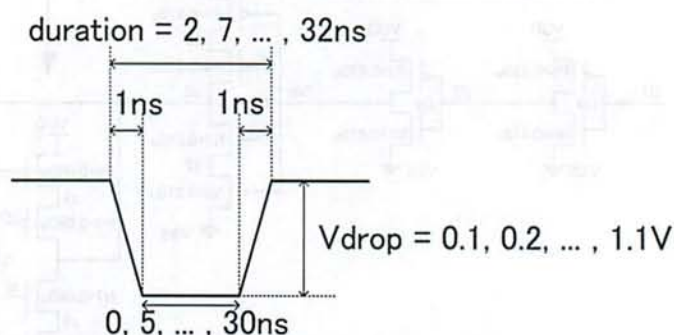


図 3-2-1 挿入する電源ノイズの振幅, 持続時間

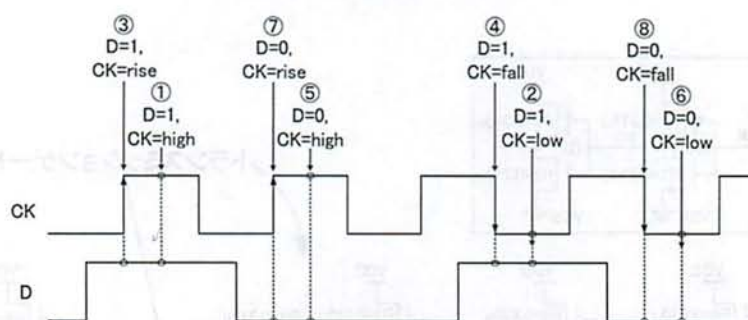


図 3-2-2 電源ノイズの挿入タイミング

### 3-3 シミュレーション結果と考察

図 3-3-1, 図 3-3-2 に電源ノイズ挿入時のラッチ回路の動作確認結果の一例を示す。動作確認の結果, 回路構成, 電源ノイズの波形等のシミュレーション条件に関わらず, 回路動作に誤動作が生じるようなエラーは確認できなかった。電源ノイズ挿入時の傾向としては, 図 3-3-1, 図 3-3-2 のように電源ノイズによる出力信号の電圧値の低下や出力信号の変化のタイミングの変動が生じるのみという場合がほとんどであった。

しかし, 図 3-3-1 では, 電源ノイズの影響により出力 Q の電圧が低下したことで, 出力 Q は通常よりも早いタイミングで Low へと立ち下がり始めている。また, 図 3-3-2 では, 電源ノイズの影響により出力 Q の電圧が低下したことで, 出力 Q は High へと立ち上がるまでの時間が通常よりも遅れている。図 3-3-1, 図 3-3-2 でのこの出力 Q の変化のタイミングの変動は, 回路動作の切り替わるタイミング(クロック信号の立ち上がりまたは立ち下りのタイミング)で電源ノイズを挿入した場合に発生している。そのため, FF 回路において, マスター動作からスレーブ動作への切り替わりのタイミングで, このような出力 Q のタイミングの変化がマスターラッチの出力に生じた場合に, スレーブラッチ側へと正しい値が伝わらなくなる可能性があることが判明した。そこで, FF 回路での動作確認時に, マスターラッチ側のみに電源ノイズの影響が現れた場合の動作についても確認する必要があると考え, ノイズを挿入する範囲について, FF 回路全体に挿入する場合だけでなく, マスターラッチ側のみに挿入する場合についても動作確認を行うことにした。

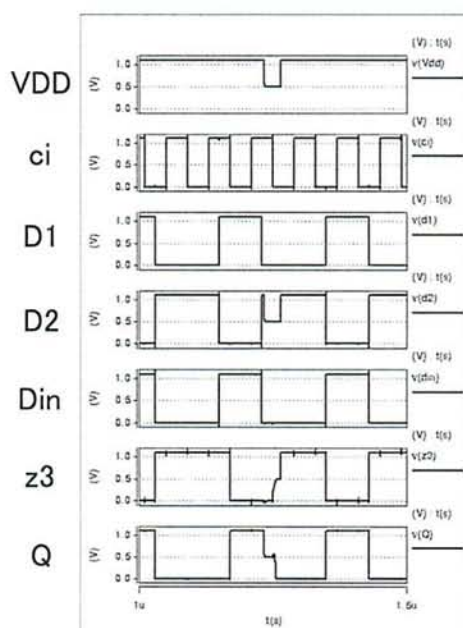


図 3-3-1 ラッチ回路での動作確認結果

(シミュレーション条件 : ①Latch2, ②別, ③0.6V, ④32ns, ⑤D=0,CK=fall)



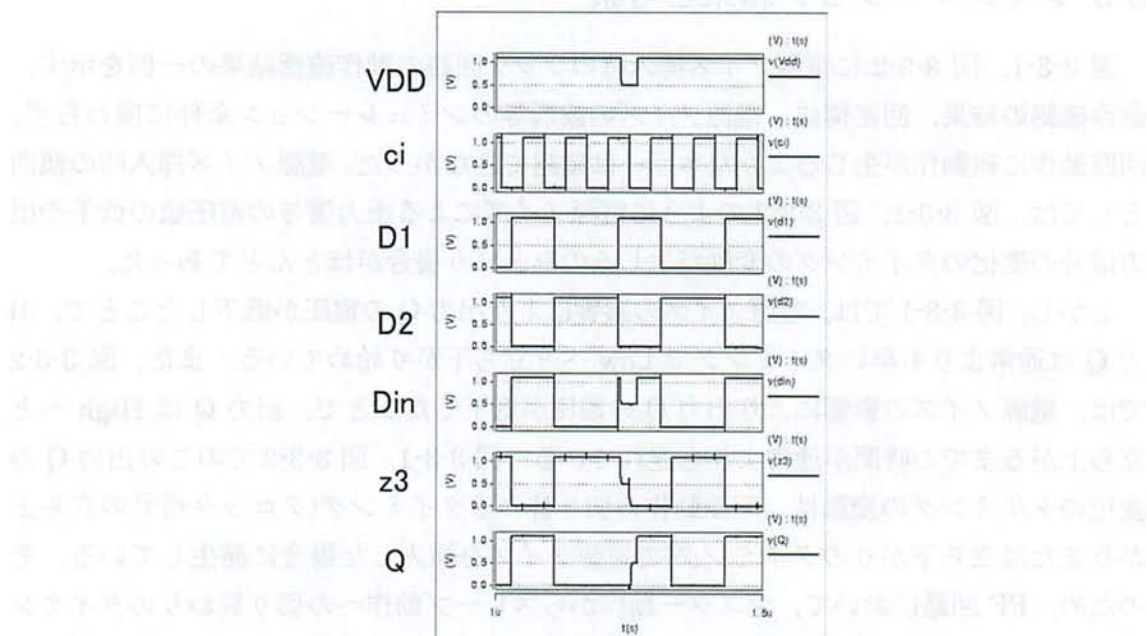


図 3-3-2 ラッチ回路での動作確認結果  
 (シミュレーション条件：①Latch2, ②別, ③0.6V, ④32ns, ⑤D=1,CK=fall)

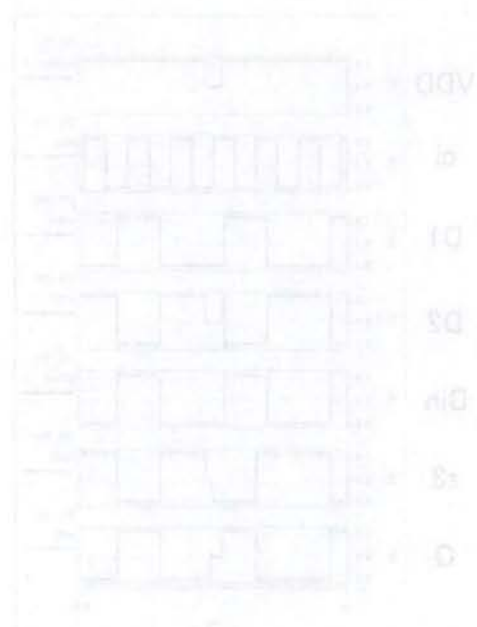


図 3-3-1 マスター・スレーブ・ラッチ回路の動作確認結果  
 (①Latch2, ②別, ③0.6V, ④32ns, ⑤D=1,CK=fall)

# 4 章 電源ノイズのラッチの動作への影響

本章では回路シミュレーションを用いて FF 回路における電源ノイズの影響について解析を行う。なお、シミュレーションにはラッチ回路と同様に HSpice と 45nm プロセスのデバイスパラメータを使用した。

## 4-1 シミュレーション回路

シミュレーションを行う FF 回路の構成として、図 4-1-1~図 4-1-4 に示す FF1~FF4 の 4 種類の回路を対象にして電源ノイズを挿入し、動作確認を行った。これら 4 種類の回路はそれぞれクロック制御部(クロックドインバータまたはトランスミッションゲート)と、マスターラッチからスレーブラッチへの接続ノード(z3 または z4)の組み合わせが異なる回路となっている。表 4-1-1 に各 FF 回路のクロック制御部およびスレーブラッチ接続ノードの組み合わせを示す。これらの FF 回路はすべて、クロック信号が High の期間中はマスターラッチで保持している値を Q, QN へと出力し、クロック信号が Low の期間中はスレーブラッチで保持している値を Q, QN へと出力すると同時にマスターラッチは入力信号 D の値を取り込む。

表 4-1-1 各 FF 回路のクロック制御部およびスレーブラッチ接続ノードの組み合わせ

	FF1	FF2	FF3	FF4
クロック制御部	クロックドインバータ	クロックドインバータ	トランスミッションゲート	トランスミッションゲート
スレーブラッチ接続ノード	z3	z4	z3	z4

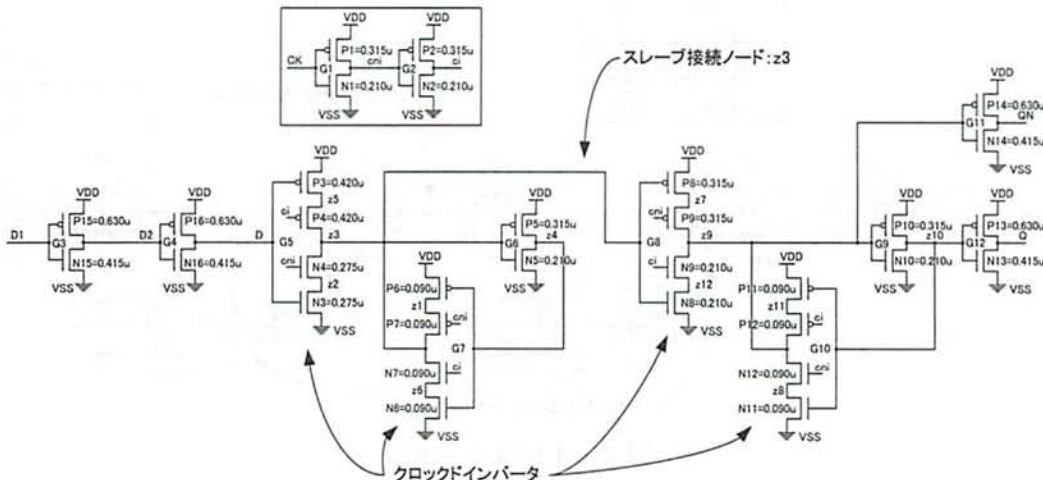


図 4-1-1 FF1 の回路図

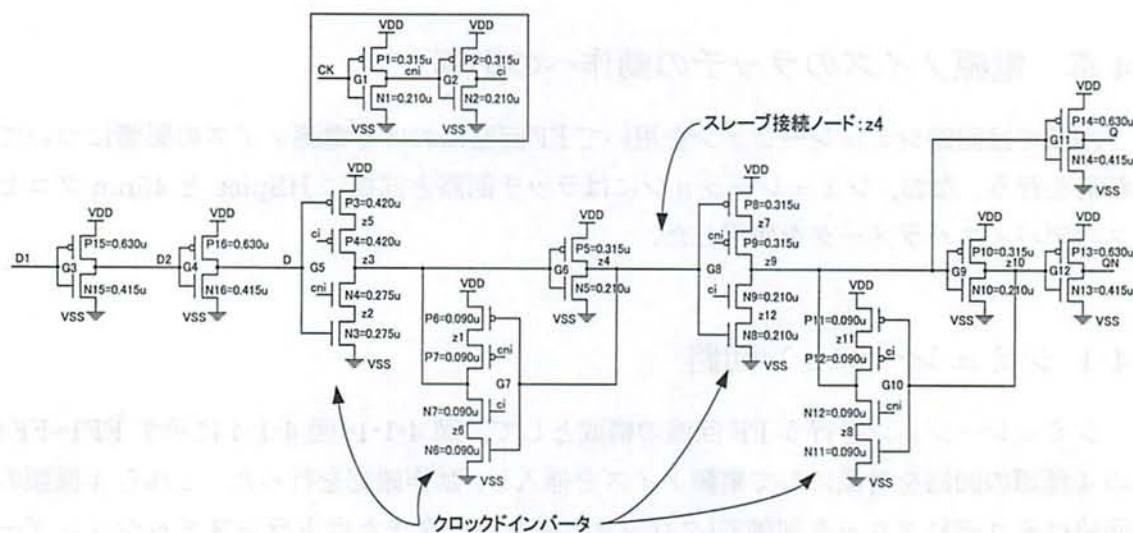


図 4-1-2 FF2 の回路図

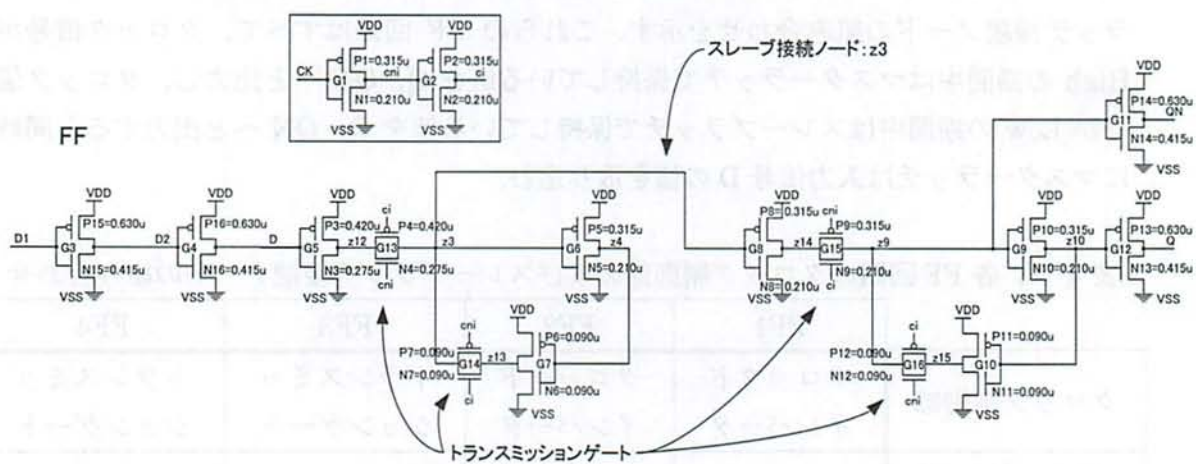


図 4-1-3 FF3 の回路図

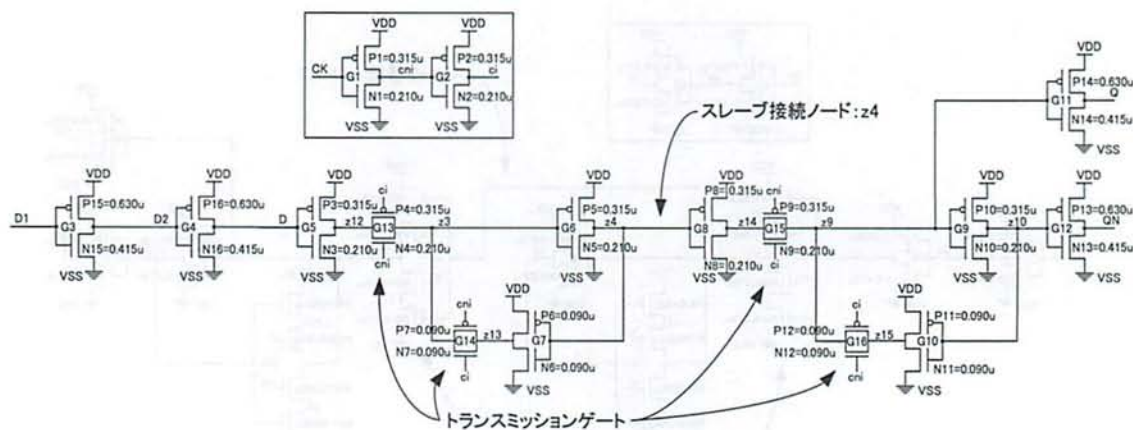


図 4-1-4 FF4 の回路図



## 4-2 シミュレーション条件

FF 回路でのシミュレーション条件として、以下の表 4-2-1 に示す 8 項目の条件について考慮した。なお、⑥電源ノイズの振幅、⑦電源ノイズの持続時間、⑧電源ノイズの挿入タイミングについてはラッチ回路の場合と同様である(図 3-2-1, 図 3-2-2)。また、表中のループ部分とは、図 4-1-1~図 4-1-4 中の G6, G7, G9, G10 を示しており、全体とは G5~G12 を、マスターラッチ側とは G5, G6, G7 を示している。

表 4-2-1 FF 回路でのシミュレーション条件

		条件
項 目	①回路構成	FF1, FF2, FF3, FF4
	②しきい値に ばらつきを加えるゲート	なし, ループ部分, 全体, マスターラッチ側
	③しきい値のばらつき( $\pm 30\%$ )	各ゲート:(NMOS,PMOS)={{fast,slow},{slow,fast}}
	④クロック電源	FF 回路と: 共通, 別
	⑤電源ノイズ挿入範囲	全体, マスターラッチ側
	⑥電源ノイズの振幅	0.1, 0.2, ..., 1.1 [V](図 3-2-1 参照)
	⑦電源ノイズの持続時間	2, 7, ..., 32 [ns] (図 3-2-1 参照)
	⑧電源ノイズの挿入タイミング	8 通り(図 3-2-2 参照)

### 4-3 シミュレーション結果と考察

シミュレーションによる動作確認の結果、2種類のエラーが確認された。

#### ①ビット反転が生じるエラー：

確認された2種類のエラーのうちの1つは、SRAMにおけるビット反転のエラーと同様にFF回路のマスターラッチで保持している値がビット反転するエラーであった。さらに、このエラーはノードz3がLow→Highに、z4がHigh→Lowに反転するパターンと、z3がHigh→Lowに、z4がHigh→Lowに反転するパターンの2通りが確認された。本論文では前者のエラーをエラー1-1、後者のエラーをエラー1-2とする。

図4-3-1、図4-3-3にそれぞれエラー1-1、エラー1-2が発生したときの動作確認結果の一例を示す。なお、図4-3-1でのシミュレーション条件は①FF3、②ループ部分、③G6,9=(fast,slow),G7,10=(slow,fast),④共通、⑤全体、⑧D=1,CK=rise)の場合で、図4-3-3でのシミュレーション条件は(①FF3、②ループ部分、③G6,9=(slow,fast),G7,10=(fast,slow),④別、⑤マスターラッチ側、⑧D=0,CK=rise)の場合である。

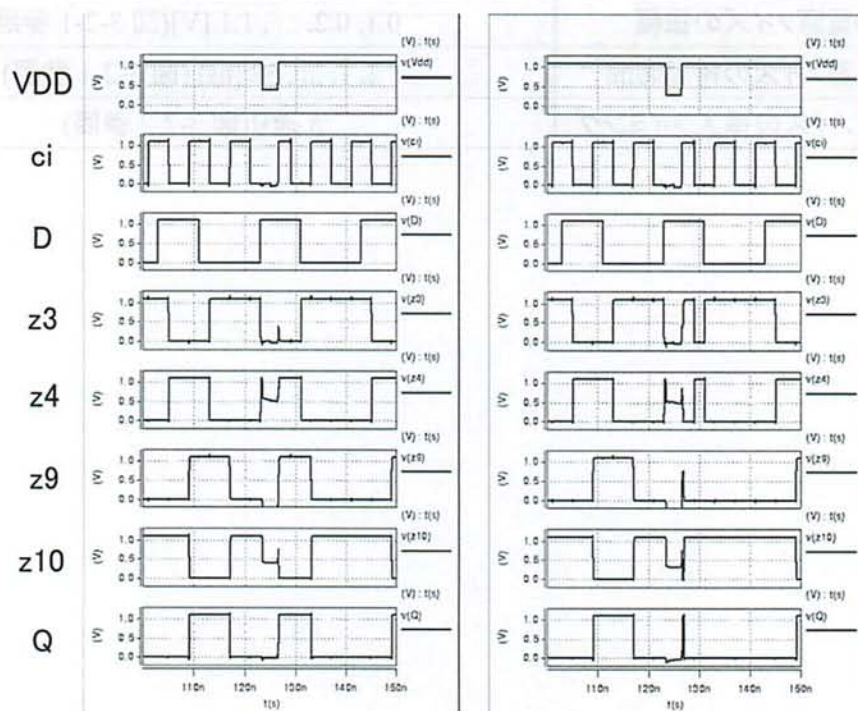


図 4-3-1 エラー1-1 発生時の動作波形図

(左:エラーなし,Vdrop=0.7V,duration=3.2ns,右:エラー発生 Vdrop=0.8V,duration=3.2ns)



図 4-3-1 は、左図が電源ノイズの振幅  $V_{drop}=0.7V$  でまだエラー1-1 が発生していない場合の波形であり、右図が  $V_{drop}=0.8V$  にしたときにエラー1-1 が発生した場合の波形である。エラー発生時の波形を見ると、エラー1-1 では、電源ノイズ発生中に、論理値 1 を保持している  $z4$  の電圧が中間値に低下している。その後、ノイズが無くなるタイミングで  $z4$  が元の電圧値まで戻らずに Low へと下がり、これにより  $z3$  が Low→High に変化することで、マスターラッチのループ部分でビット反転が生じている。このエラーの主な原因として、2 つのことが考えられる。

1 つ目は、ノイズが無くなり電源電圧が元の値へと戻るときの電源電圧の変化によって  $z3$  に生じる電圧上昇が影響していると考えられる。まず、電源電圧の変化により図 4-1-3 中のトランジスタ P5, P8 のゲート - ソース間の寄生容量を介して電源から  $z3$  に電流が流れる。この電流はその後、G14, G7 のトランジスタ N6 を通過してグラウンドへと流れる。このとき、流れた電流とそれが通過したゲートの抵抗成分とが作用することによって  $z3$  に電圧上昇が生じていると考えられる。ここで、図 4-3-2 に図 4-3-1 の拡大図を示す。左図  $V_{drop}=0.7V$  の場合では  $z3$  に生じている電圧の変化は  $0.379V$  であった。このとき、N5 のしきい値は  $0.436V$  であるため、N5 は OFF のままで  $z4$  が Low に反転することはない。一方、右の図の  $V_{drop}=0.8V$  の場合では、 $z3$  が Low→High に反転する途中で一度中間値の  $0.420V$  に落ち着いている。この中間値の値が  $z3$  に生じた電圧上昇分に相当し、 $V_{drop}=0.7V$  の場合に比べて大きくなっている。この場合も N5 のしきい値には達してはいないが、P5 がしきい値のばらつきの影響(しきい値= $-0.763V$ )により OFF しやすくなっている分、駆動力のバランスの関係で結果として N5 が ON となり  $z4$  は Low へと変化している。これにより P6 が ON となり  $z3$  が High へと変化することでビット反転が生じているものと考えられる。

このエラーのもう 1 つの原因として、マスターラッチ側のループ部分を構成するゲートのトランジスタのしきい値のばらつきの方向が、ビット反転が生じやすい方向にばらついていたためであると考えられる。図 4-3-1 での条件の場合、G6 : (NMOS,PMOS)=(fast,slow)で NMOS の方が ON しやすく、そのため  $z4$  は Low へと変化しやすくなっている。一方、G7 : (NMOS,PMOS) =(slow,fast)で PMOS の方が ON しやすく、 $z3$  は High へと変化しやすくなっている。これは、図 4-3-1 の右図において  $z3$ ,  $z4$  にビット反転が生じた際の変化の方向と一致している。

図 4-3-3 についても、左図が電源ノイズの振幅  $V_{drop}=0.5V$  でまだエラー1-2 が発生していない場合の波形であり、右図が  $V_{drop}=0.6V$  にしたときにエラー1-2 が発生した場合の波形である。エラー発生時の波形を見ると、エラー1-2 では、 $z3$ ,  $z4$  においてエラー1-1 とは反対のビット反転が生じていることがわかる。エラー1-2 に関しても原因はエラー1-1 と同様で、電源の変動によって  $z4$  に電圧上昇が発生したこと、これに加えてトランジスタのしきい値のばらつきがビット反転の起こりやすい



方向へのばらつきであったことの2つが主な原因として考えられる。

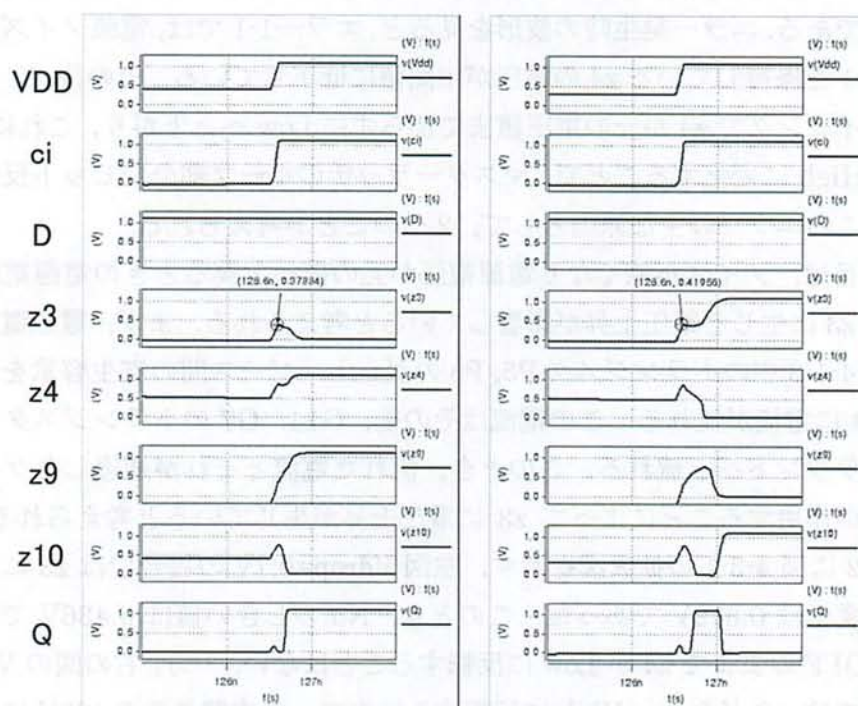


図 4-3-2 図 4-3-1 の拡大図

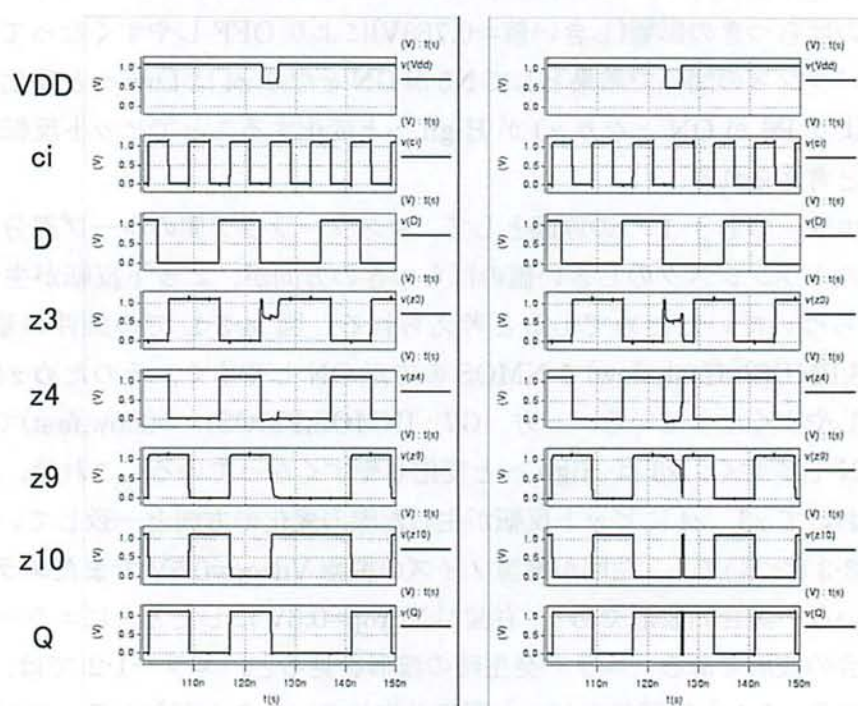


図 4-3-3 エラー1-2 発生時の動作波形図

(左:エラーなし,Vdrop=0.5V, duration=3.2ns,右:エラー発生 Vdrop=0.6V,duration=3.2ns)

## ②スレーブラッチの取り込みエラー：

確認されたもう 1 種類のエラーは、電源ノイズによりマスターラッチの出力の電圧値が低下し、スレーブラッチが誤った値を取り込んでしまうエラーであった。本論文では、このエラーをエラー2と呼ぶ。図 4-3-4 にエラー2 発生時の動作確認結果の一例を示す。なお、図 4-3-4 でのシミュレーション条件は(①FF3,②ループ部分,③G6,9=(fast,slow),G7,10=(slow,fast),④別,⑤マスターラッチ側,⑧D=1, CK=fall)の場合である。

エラー2 発生時の波形を見ると、まずクロック ci が High の期間中に電源ノイズの影響によって z3 の電圧値が低下する。この低下した z3 の電圧値をスレーブラッチ入力部のゲート G8 が Low として誤って認識することにより、z14 が通常よりも早いタイミングで立ち上がる。これによって、z9 の電圧値も上昇し始め、クロックの立下りのタイミングでスレーブラッチ側が取り込み状態から保持状態へと切り替わる瞬間、図 4-3-4 左図の Vdrop=0.6V の場合には z9 の電圧はまだ完全に上がりきっておらずスレーブラッチには Low が正しく保持される。それに対して、図 4-3-4 右図の Vdrop=0.7V の場合には保持状態に切り替わるよりも前に z9 が完全に High に上がりきってしまい、これが原因でスレーブラッチが誤った値を取り込み、結果として出力 Q が半クロック早いタイミングで High になっている。

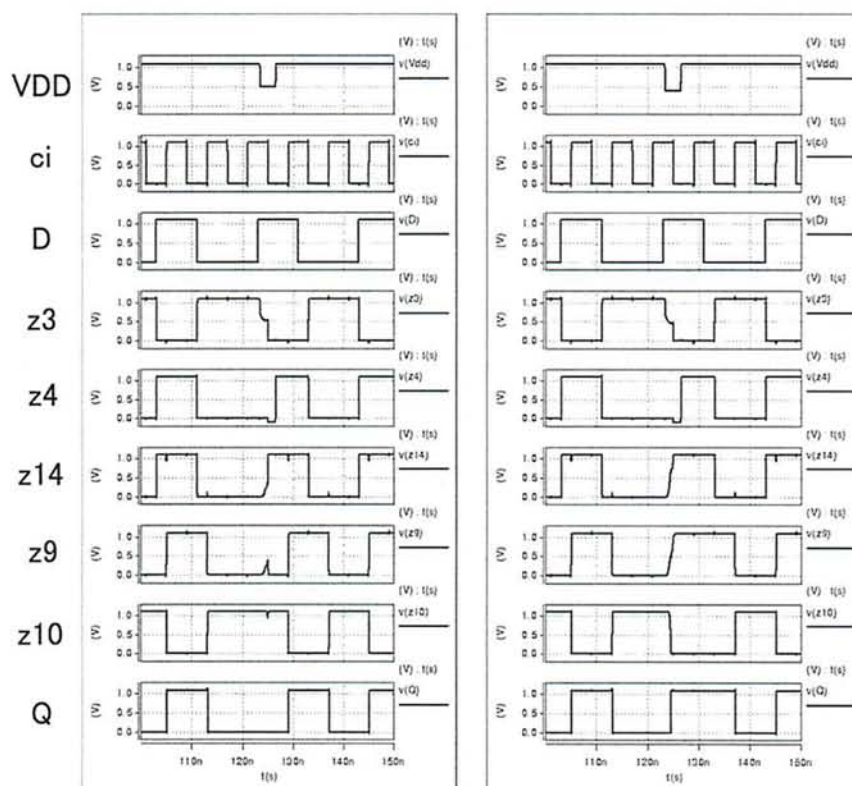


図 4-3-4 エラー2 発生時の動作波形図

(左:エラーなし,Vdrop=0.6V, duration=3.2ns,右:エラー発生 Vdrop=0.7V,duration=3.2ns)



得られた動作確認結果から、シミュレーション条件による電源ノイズの影響の違いについて以下のようにまとめた。表 4-3-1～表 4-3-3 にエラー1-1, エラー1-2, エラー2の発生条件についてそれぞれ示す。これらの表は、FF 回路のシミュレーション条件として設定した項目①から⑧について、それぞれの項目内の各条件を以下の3通りで分類している。なお、③のしきい値のばらつきについては、エラー発生の原因の考察において着目したゲートについてまとめている。

- 「エラー発生の必要条件」:

その項目に関しては唯一その列に示す条件を満たした場合でのみエラーが発生したことを示している。そのため、この列に示した条件は必要条件となる。

- 「エラー発生の可能性がある条件」:

左列の必要条件が存在する項目以外に関しては、この列に示す条件の組み合わせ次第でエラーが発生する可能性があることを示している。

- 「エラーが発生しない条件」:

いずれか1つの項目でも、この列に示す条件を満たしている場合には、他の項目の条件に関わらずエラーの発生が確認できなかったことを示している。

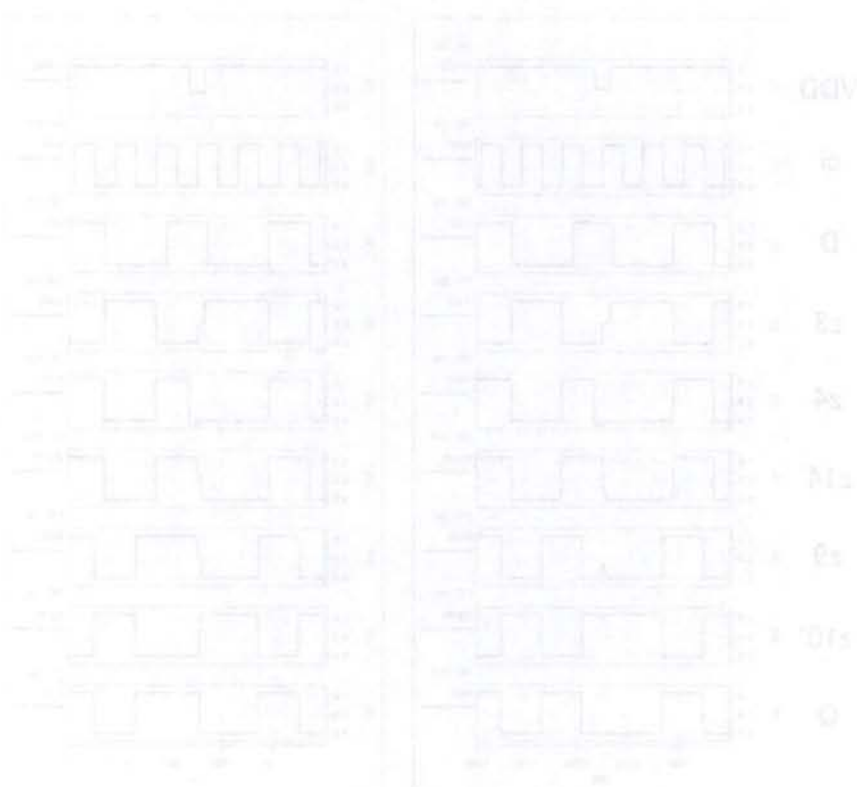


図4-3-10 内部動作確認用タイミング図

ten2.8=nominalV; 0=nomV 主電源電圧: 2.8V, ten2.0=nominalV; 0=nomV 主電源電圧: 2.0V



表 4-3-1 シミュレーション条件による  
電源ノイズの影響の違い(エラー1-1)

	エラー発生 の 必要条件	エラー発生 の 可能性がある条件	エラーが 発生しない条件
①回路構成		FF1~FF4	—
②しきい値に ばらつきを加えるゲート	—	ループ部分,全体, マスターラッチ側	ばらつきなし
③しきい値のばらつき (G6,G7)	$\begin{cases} G6=(\text{fast},\text{slow}) \\ G7=(\text{slow},\text{fast}) \end{cases}$	—	左記以外の ばらつき
④クロック電源	—	共通, 別	—
⑤電源ノイズ挿入範囲	—	全体, マスターラッチ側	—
⑥電源ノイズの振幅	—	0.6~1.1[V]	0~0.5[V]
⑦電源ノイズの持続時間	—	2~32[ns]	—
⑧電源ノイズの 挿入タイミング	D=1, CK=rise	—	左記以外の タイミング

表 4-3-2 シミュレーション条件による  
電源ノイズの影響の違い(エラー1-2)

	エラー発生 の 必要条件	エラー発生 の 可能性がある条件	エラーが 発生しない条件
①回路構成	—	FF1, FF3	FF2, FF4
②しきい値に ばらつきを加えるゲート	—	ループ部分, 全体 マスターラッチ側	ばらつきなし
③しきい値のばらつき (G6,G7)	—	$\begin{cases} G6=(\text{slow},\text{fast}) \\ G7=(\text{fast},\text{slow}) \end{cases}$ $\begin{cases} G6=(\text{slow},\text{fast}) \\ G7=(\text{slow},\text{fast}) \end{cases}$	左記以外の ばらつき
④クロック電源	—	共通, 別	—
⑤電源ノイズ挿入範囲	マスターラッチ側	—	全体
⑥電源ノイズの振幅	—	0.6~1.1[V]	0~0.5[V]
⑦電源ノイズの持続時間	—	17~32[ns]	2~12[ns]
⑧電源ノイズの 挿入タイミング	D=0, CK=rise	—	左記以外の タイミング

表 4-3-3 シミュレーション条件による  
電源ノイズの影響の違い(エラー2)

	エラー発生 の 必要条件	エラー発生 の 可能性がある条件	エラーが 発生しない条件
①回路構成	—	FF1~FF4	—
②しきい値に ばらつきを加えるゲート	—	ばらつきなし, ループ部分 全体, マスターラッチ側	—
③しきい値のばらつき (G8)	—	$\begin{cases} G8=(\text{fast},\text{slow}) \\ G8=(\text{slow},\text{fast}) \end{cases}$ G8=ばらつきなし	—
④クロック電源	—	共通, 別	—
⑤電源ノイズ挿入範囲	マスターラッチ側	—	全体
⑥電源ノイズの振幅	—	0.5~1.1[V]	0~0.4[V]
⑦電源ノイズの持続時間	—	7~32[ns]	2[ns]
⑧電源ノイズの 挿入タイミング	FF1,3:D=1,CK=fall FF2,4:D=0,CK=fall	—	左記以外の タイミング

この表から、左列に該当する条件はエラー発生に深く関連している可能性が高い。例えば、⑧電源ノイズの挿入タイミングについてそれぞれの表を見ると、どのエラーも1つのタイミング(ただしエラー2は FF1,3 と FF2,4 とで異なる)のみで発生しており、なおかつそれぞれのエラーが異なるノイズ挿入のタイミングで発生している。このことから、FF で発生するこれらのエラーは、電源ノイズがマスター動作とスレーブ動作の切り替わりのタイミング(CK=rise,fall)で生じるときに発生し、さらにそのタイミングの中でも CK と D の関係によって発生するエラーの種類が変わると考えることができる。また、表 4-3-1 内の③について見ると、エラー1-1 の原因としてしきい値のばらつきが原因であると考察した通り、G6=(fast,slow),G7=(slow,fast)でのみエラー1-1 が発生しており、それ以外のばらつきでは発生していない。中列に該当する条件では、全ての条件が必ずしもエラーの発生に関連しているとは言えない。しかし、表 4-3-1、および表 4-3-2 内の②についてみると、ばらつきを与えていない場合のみエラーが発生しておらず、少なくともビット反転が生じるエラーでは、トランジスタのしきい値へのばらつきの存在がエラーの発生に関係していることがわかる。

エラーコード 発生するノイズ	エラーコード 発生するノイズの範囲	エラーコード 発生するノイズ	エラーコード 発生するノイズ
1-1-1	1-1-1	1-1-1	1-1-1
1-1-2	1-1-2	1-1-2	1-1-2
1-1-3	1-1-3	1-1-3	1-1-3
1-1-4	1-1-4	1-1-4	1-1-4
1-1-5	1-1-5	1-1-5	1-1-5
1-1-6	1-1-6	1-1-6	1-1-6
1-1-7	1-1-7	1-1-7	1-1-7
1-1-8	1-1-8	1-1-8	1-1-8
1-1-9	1-1-9	1-1-9	1-1-9
1-1-10	1-1-10	1-1-10	1-1-10
1-1-11	1-1-11	1-1-11	1-1-11
1-1-12	1-1-12	1-1-12	1-1-12
1-1-13	1-1-13	1-1-13	1-1-13
1-1-14	1-1-14	1-1-14	1-1-14
1-1-15	1-1-15	1-1-15	1-1-15
1-1-16	1-1-16	1-1-16	1-1-16
1-1-17	1-1-17	1-1-17	1-1-17
1-1-18	1-1-18	1-1-18	1-1-18
1-1-19	1-1-19	1-1-19	1-1-19
1-1-20	1-1-20	1-1-20	1-1-20
1-1-21	1-1-21	1-1-21	1-1-21
1-1-22	1-1-22	1-1-22	1-1-22
1-1-23	1-1-23	1-1-23	1-1-23
1-1-24	1-1-24	1-1-24	1-1-24
1-1-25	1-1-25	1-1-25	1-1-25
1-1-26	1-1-26	1-1-26	1-1-26
1-1-27	1-1-27	1-1-27	1-1-27
1-1-28	1-1-28	1-1-28	1-1-28
1-1-29	1-1-29	1-1-29	1-1-29
1-1-30	1-1-30	1-1-30	1-1-30
1-1-31	1-1-31	1-1-31	1-1-31
1-1-32	1-1-32	1-1-32	1-1-32
1-1-33	1-1-33	1-1-33	1-1-33
1-1-34	1-1-34	1-1-34	1-1-34
1-1-35	1-1-35	1-1-35	1-1-35
1-1-36	1-1-36	1-1-36	1-1-36
1-1-37	1-1-37	1-1-37	1-1-37
1-1-38	1-1-38	1-1-38	1-1-38
1-1-39	1-1-39	1-1-39	1-1-39
1-1-40	1-1-40	1-1-40	1-1-40
1-1-41	1-1-41	1-1-41	1-1-41
1-1-42	1-1-42	1-1-42	1-1-42
1-1-43	1-1-43	1-1-43	1-1-43
1-1-44	1-1-44	1-1-44	1-1-44
1-1-45	1-1-45	1-1-45	1-1-45
1-1-46	1-1-46	1-1-46	1-1-46
1-1-47	1-1-47	1-1-47	1-1-47
1-1-48	1-1-48	1-1-48	1-1-48
1-1-49	1-1-49	1-1-49	1-1-49
1-1-50	1-1-50	1-1-50	1-1-50
1-1-51	1-1-51	1-1-51	1-1-51
1-1-52	1-1-52	1-1-52	1-1-52
1-1-53	1-1-53	1-1-53	1-1-53
1-1-54	1-1-54	1-1-54	1-1-54
1-1-55	1-1-55	1-1-55	1-1-55
1-1-56	1-1-56	1-1-56	1-1-56
1-1-57	1-1-57	1-1-57	1-1-57
1-1-58	1-1-58	1-1-58	1-1-58
1-1-59	1-1-59	1-1-59	1-1-59
1-1-60	1-1-60	1-1-60	1-1-60
1-1-61	1-1-61	1-1-61	1-1-61
1-1-62	1-1-62	1-1-62	1-1-62
1-1-63	1-1-63	1-1-63	1-1-63
1-1-64	1-1-64	1-1-64	1-1-64
1-1-65	1-1-65	1-1-65	1-1-65
1-1-66	1-1-66	1-1-66	1-1-66
1-1-67	1-1-67	1-1-67	1-1-67
1-1-68	1-1-68	1-1-68	1-1-68
1-1-69	1-1-69	1-1-69	1-1-69
1-1-70	1-1-70	1-1-70	1-1-70
1-1-71	1-1-71	1-1-71	1-1-71
1-1-72	1-1-72	1-1-72	1-1-72
1-1-73	1-1-73	1-1-73	1-1-73
1-1-74	1-1-74	1-1-74	1-1-74
1-1-75	1-1-75	1-1-75	1-1-75
1-1-76	1-1-76	1-1-76	1-1-76
1-1-77	1-1-77	1-1-77	1-1-77
1-1-78	1-1-78	1-1-78	1-1-78
1-1-79	1-1-79	1-1-79	1-1-79
1-1-80	1-1-80	1-1-80	1-1-80
1-1-81	1-1-81	1-1-81	1-1-81
1-1-82	1-1-82	1-1-82	1-1-82
1-1-83	1-1-83	1-1-83	1-1-83
1-1-84	1-1-84	1-1-84	1-1-84
1-1-85	1-1-85	1-1-85	1-1-85
1-1-86	1-1-86	1-1-86	1-1-86
1-1-87	1-1-87	1-1-87	1-1-87
1-1-88	1-1-88	1-1-88	1-1-88
1-1-89	1-1-89	1-1-89	1-1-89
1-1-90	1-1-90	1-1-90	1-1-90
1-1-91	1-1-91	1-1-91	1-1-91
1-1-92	1-1-92	1-1-92	1-1-92
1-1-93	1-1-93	1-1-93	1-1-93
1-1-94	1-1-94	1-1-94	1-1-94
1-1-95	1-1-95	1-1-95	1-1-95
1-1-96	1-1-96	1-1-96	1-1-96
1-1-97	1-1-97	1-1-97	1-1-97
1-1-98	1-1-98	1-1-98	1-1-98
1-1-99	1-1-99	1-1-99	1-1-99
1-1-100	1-1-100	1-1-100	1-1-100

図 4-3-1 エラー発生条件とエラー発生原因の対応関係

エラーコード 発生するノイズ	エラーコード 発生するノイズの範囲	エラーコード 発生するノイズ	エラーコード 発生するノイズ
1-2-1	1-2-1	1-2-1	1-2-1
1-2-2	1-2-2	1-2-2	1-2-2
1-2-3	1-2-3	1-2-3	1-2-3
1-2-4	1-2-4	1-2-4	1-2-4
1-2-5	1-2-5	1-2-5	1-2-5
1-2-6	1-2-6	1-2-6	1-2-6
1-2-7	1-2-7	1-2-7	1-2-7
1-2-8	1-2-8	1-2-8	1-2-8
1-2-9	1-2-9	1-2-9	1-2-9
1-2-10	1-2-10	1-2-10	1-2-10
1-2-11	1-2-11	1-2-11	1-2-11
1-2-12	1-2-12	1-2-12	1-2-12
1-2-13	1-2-13	1-2-13	1-2-13
1-2-14	1-2-14	1-2-14	1-2-14
1-2-15	1-2-15	1-2-15	1-2-15
1-2-16	1-2-16	1-2-16	1-2-16
1-2-17	1-2-17	1-2-17	1-2-17
1-2-18	1-2-18	1-2-18	1-2-18
1-2-19	1-2-19	1-2-19	1-2-19
1-2-20	1-2-20	1-2-20	1-2-20
1-2-21	1-2-21	1-2-21	1-2-21
1-2-22	1-2-22	1-2-22	1-2-22
1-2-23	1-2-23	1-2-23	1-2-23
1-2-24	1-2-24	1-2-24	1-2-24
1-2-25	1-2-25	1-2-25	1-2-25
1-2-26	1-2-26	1-2-26	1-2-26
1-2-27	1-2-27	1-2-27	1-2-27
1-2-28	1-2-28	1-2-28	1-2-28
1-2-29	1-2-29	1-2-29	1-2-29
1-2-30	1-2-30	1-2-30	1-2-30
1-2-31	1-2-31	1-2-31	1-2-31
1-2-32	1-2-32	1-2-32	1-2-32
1-2-33	1-2-33	1-2-33	1-2-33
1-2-34	1-2-34	1-2-34	1-2-34
1-2-35	1-2-35	1-2-35	1-2-35
1-2-36	1-2-36	1-2-36	1-2-36
1-2-37	1-2-37	1-2-37	1-2-37
1-2-38	1-2-38	1-2-38	1-2-38
1-2-39	1-2-39	1-2-39	1-2-39
1-2-40	1-2-40	1-2-40	1-2-40
1-2-41	1-2-41	1-2-41	1-2-41
1-2-42	1-2-42	1-2-42	1-2-42
1-2-43	1-2-43	1-2-43	1-2-43
1-2-44	1-2-44	1-2-44	1-2-44
1-2-45	1-2-45	1-2-45	1-2-45
1-2-46	1-2-46	1-2-46	1-2-46
1-2-47	1-2-47	1-2-47	1-2-47
1-2-48	1-2-48	1-2-48	1-2-48
1-2-49	1-2-49	1-2-49	1-2-49
1-2-50	1-2-50	1-2-50	1-2-50
1-2-51	1-2-51	1-2-51	1-2-51
1-2-52	1-2-52	1-2-52	1-2-52
1-2-53	1-2-53	1-2-53	1-2-53
1-2-54	1-2-54	1-2-54	1-2-54
1-2-55	1-2-55	1-2-55	1-2-55
1-2-56	1-2-56	1-2-56	1-2-56
1-2-57	1-2-57	1-2-57	1-2-57
1-2-58	1-2-58	1-2-58	1-2-58
1-2-59	1-2-59	1-2-59	1-2-59
1-2-60	1-2-60	1-2-60	1-2-60
1-2-61	1-2-61	1-2-61	1-2-61
1-2-62	1-2-62	1-2-62	1-2-62
1-2-63	1-2-63	1-2-63	1-2-63
1-2-64	1-2-64	1-2-64	1-2-64
1-2-65	1-2-65	1-2-65	1-2-65
1-2-66	1-2-66	1-2-66	1-2-66
1-2-67	1-2-67	1-2-67	1-2-67
1-2-68	1-2-68	1-2-68	1-2-68
1-2-69	1-2-69	1-2-69	1-2-69
1-2-70	1-2-70	1-2-70	1-2-70
1-2-71	1-2-71	1-2-71	1-2-71
1-2-72	1-2-72	1-2-72	1-2-72
1-2-73	1-2-73	1-2-73	1-2-73
1-2-74	1-2-74	1-2-74	1-2-74
1-2-75	1-2-75	1-2-75	1-2-75
1-2-76	1-2-76	1-2-76	1-2-76
1-2-77	1-2-77	1-2-77	1-2-77
1-2-78	1-2-78	1-2-78	1-2-78
1-2-79	1-2-79	1-2-79	1-2-79
1-2-80	1-2-80	1-2-80	1-2-80
1-2-81	1-2-81	1-2-81	1-2-81
1-2-82	1-2-82	1-2-82	1-2-82
1-2-83	1-2-83	1-2-83	1-2-83
1-2-84	1-2-84	1-2-84	1-2-84
1-2-85	1-2-85	1-2-85	1-2-85
1-2-86	1-2-86	1-2-86	1-2-86
1-2-87	1-2-87	1-2-87	1-2-87
1-2-88	1-2-88	1-2-88	1-2-88
1-2-89	1-2-89	1-2-89	1-2-89
1-2-90	1-2-90	1-2-90	1-2-90
1-2-91	1-2-91	1-2-91	1-2-91
1-2-92	1-2-92	1-2-92	1-2-92
1-2-93	1-2-93	1-2-93	1-2-93
1-2-94	1-2-94	1-2-94	1-2-94
1-2-95	1-2-95	1-2-95	1-2-95
1-2-96	1-2-96	1-2-96	1-2-96
1-2-97	1-2-97	1-2-97	1-2-97
1-2-98	1-2-98	1-2-98	1-2-98
1-2-99	1-2-99	1-2-99	1-2-99
1-2-100	1-2-100	1-2-100	1-2-100

#### 4-4 プロセスの微細化が進んだ場合(16nm プロセスパラメータ)

今後微細化が進むにつれて、プロセスパラメータの違いにより電源ノイズが回路動作に与える影響も変化する可能性がある。そこで、より微細化が進んだ場合を想定して 16nm のプロセスパラメータを使用し、図 4-4-1 と図 4-4-2 の 2 つの回路に対して電源ノイズを挿入した場合の動作確認を行った。なお、シミュレーション条件は 45nm のプロセスパラメータの場合と同様に表 4-2-1 に示す条件で行った。

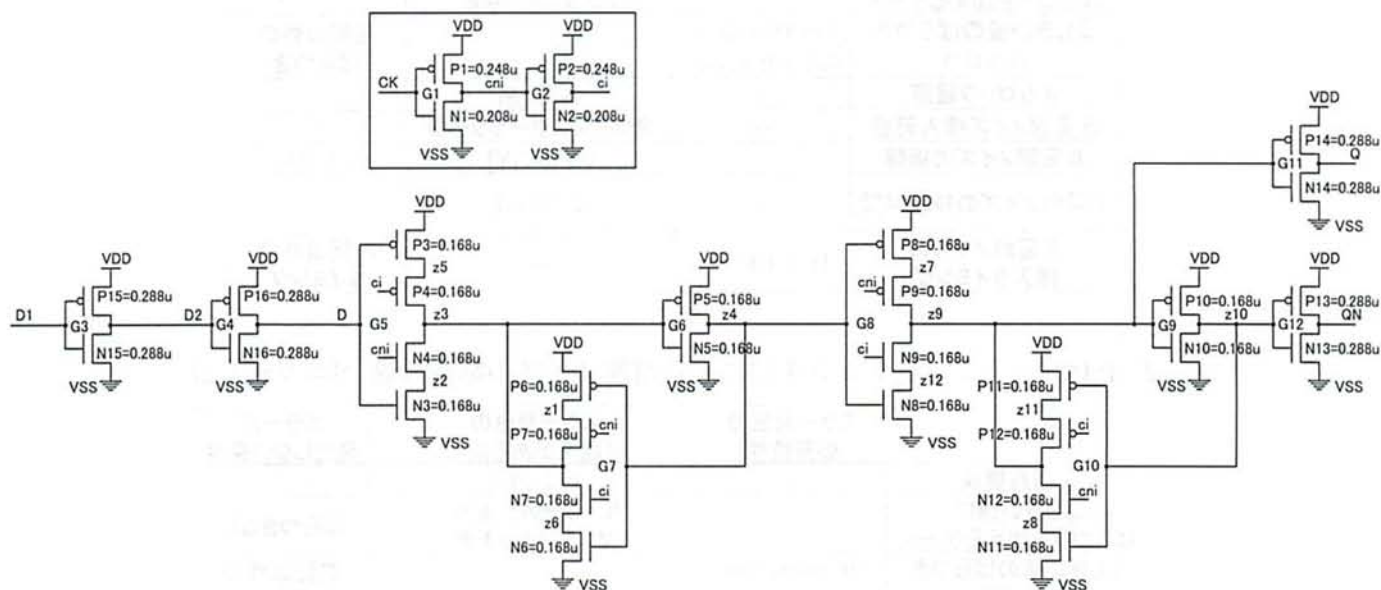


図 4-4-1 FF2(16nm プロセスパラメータ使用時)

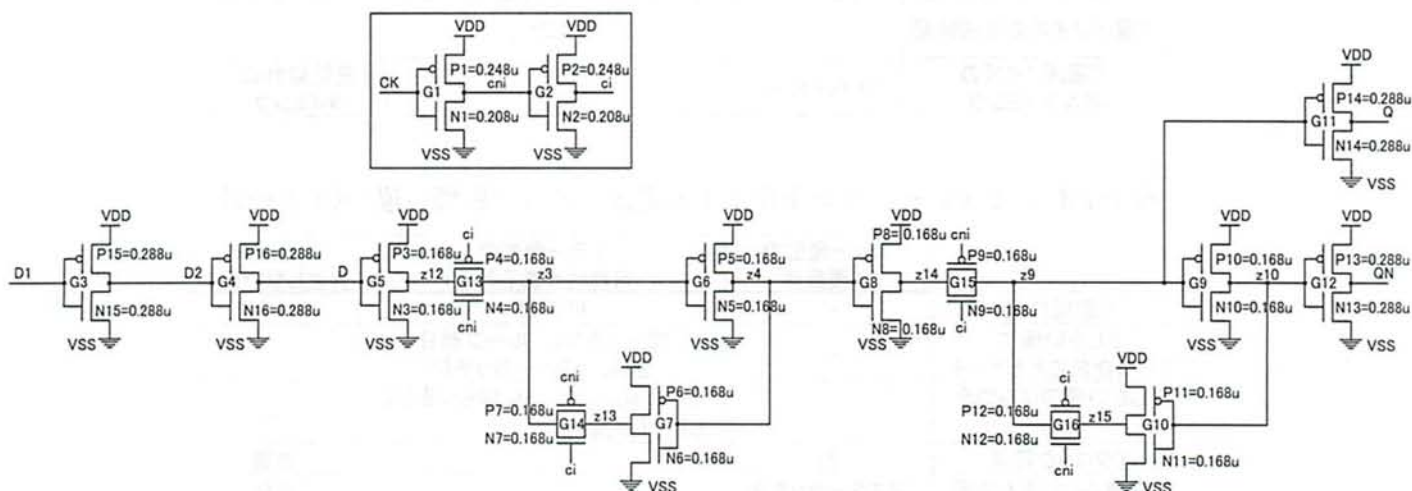


図 4-4-2 FF4(16nm プロセスパラメータ使用時)



得られた動作確認結果から、シミュレーション条件による電源ノイズの影響の違いについてまとめた。表 4-4-1～表 4-4-3 にエラー1-1, エラー1-2, エラー2 の発生条件についてそれぞれ示す。

表 4-4-1 シミュレーション条件による電源ノイズの影響の違い(エラー1-1)

	エラー発生 の 必要条件	エラー発生 の 可能性がある条件	エラーが 発生しない条件
①回路構成		FF2, FF4	—
②しきい値に ばらつきを加えるゲート	—	ループ部分,全体, マスターラッチ側	ばらつきなし
③しきい値のばらつき (G6,G7)	$\begin{cases} G6=(\text{fast},\text{slow}) \\ G7=(\text{slow},\text{fast}) \end{cases}$	—	左記以外の ばらつき
④クロック電源	—	共通, 別	—
⑤電源ノイズ挿入範囲	—	全体, マスターラッチ側	—
⑥電源ノイズの振幅	—	0.3~0.7[V]	0~0.2[V]
⑦電源ノイズの持続時間	—	2~32[ns]	—
⑧電源ノイズの 挿入タイミング	D=1, CK=rise	—	左記以外の タイミング

表 4-4-2 シミュレーション条件による電源ノイズの影響の違い(エラー1-2)

	エラー発生 の 必要条件	エラー発生 の 可能性がある条件	エラーが 発生しない条件
①回路構成	—	FF2, FF4	—
②しきい値に ばらつきを加えるゲート	—	ループ部分, 全体 マスターラッチ側	ばらつきなし
③しきい値のばらつき (G6,G7)	$\begin{cases} G6=(\text{slow},\text{fast}) \\ G7=(\text{fast},\text{slow}) \end{cases}$	—	左記以外の ばらつき
④クロック電源	—	共通, 別	—
⑤電源ノイズ挿入範囲	—	マスターラッチ側, 全体	—
⑥電源ノイズの振幅	—	0.3~0.7[V]	0~0.2[V]
⑦電源ノイズの持続時間	—	2~32[ns]	—
⑧電源ノイズの 挿入タイミング	D=0, CK=rise	—	左記以外の タイミング

表 4-4-3 シミュレーション条件による電源ノイズの影響の違い(エラー2)

	エラー発生 の 必要条件	エラー発生 の 可能性がある条件	エラーが 発生しない条件
①回路構成	—	FF2, FF4	—
②しきい値に ばらつきを加えるゲート	—	ばらつきなし, ループ部分 全体, マスターラッチ側	—
③しきい値のばらつき (G8)	—	$\begin{cases} G8=(\text{fast},\text{slow}) \\ G8=(\text{slow},\text{fast}) \end{cases}$ G8=ばらつきなし	—
④クロック電源	別	—	共通
⑤電源ノイズ挿入範囲	マスターラッチ側	—	全体
⑥電源ノイズの振幅	—	0.2~0.7[V]	0~0.1[V]
⑦電源ノイズの持続時間	—	7~32[ns]	2[ns]
⑧電源ノイズの 挿入タイミング	FF2,4:D=0,CK=fall	—	左記以外の タイミング

16nm プロセスパラメータでの結果をまとめた表 4-4-1~表 4-4-3 と 45nm プロセスおパラメータでの結果をまとめた表 4-3-1~表 4-3-3 とを比較すると、特に大きな差は見られないことから、しきい値や電源電圧の違いから 45nm のプロセスよりも小さなノイズ振幅や持続時間でエラーが発生するなどエラー発生 of のしやすさに違いは見られるが、エラー発生に関連する条件に変化はないことがわかる。

また、16nm プロセスパラメータの場合では、45nm の場合に確認されたエラー 1-1, エラー 1-2, エラー 2 以外に、新たに 2 種類 of エラーが確認された。これらのエラーをエラー 3-1, エラー 3-2 と呼ぶ。

図 4-4-3, 図 4-4-4 にそれぞれエラー 3-1, エラー 3-2 が発生したときの動作確認結果 of の一例を示す。なお、図 4-4-3 でのシミュレーション条件は①FF4,②ループ部分, ③G6,9=(fast,slow),G7,10=(slow,fast),④共通,⑤全体,⑧D=1,CK=high) の場合で、図 4-4-4 でのシミュレーション条件は(①FF4,②ループ部分, ③G6,9= (slow,fast),G7,10=(fast,slow),④別,⑤全体,⑧D=0, CK=high) の場合である。

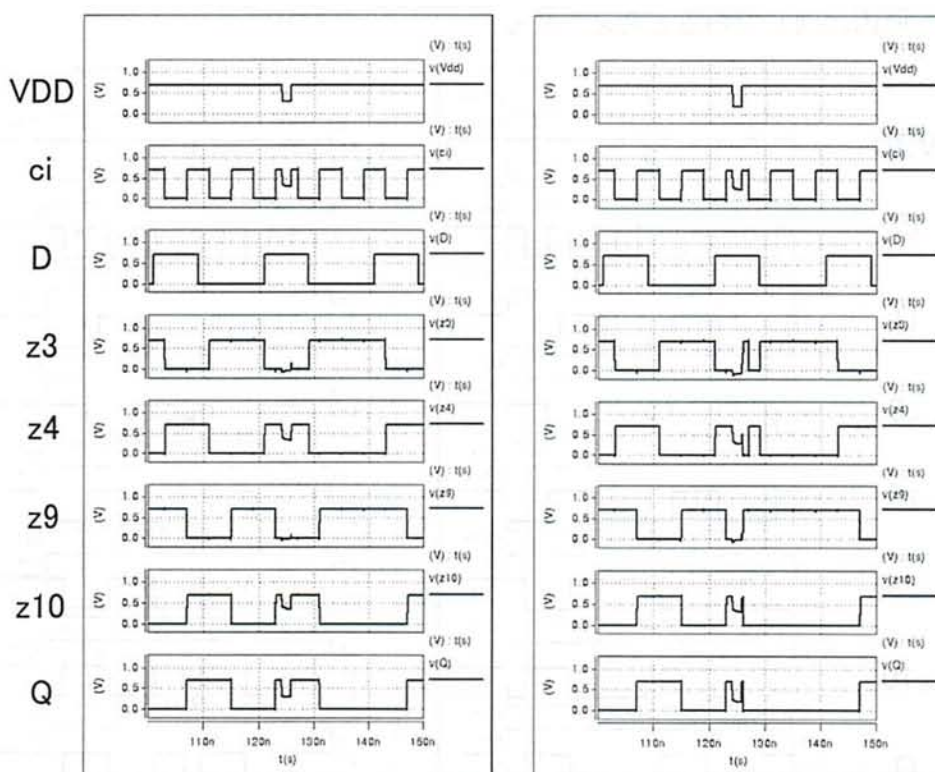


図 4-4-3 エラー 3-1 発生時の動作波形図

(左:エラーなし,Vdrop=0.4V, duration=1.7ns,右:エラー発生 Vdrop=0.5V,duration=1.7ns)



図 4-4-3 は、左図が電源ノイズの振幅  $V_{drop}=0.4V$  でまだエラー-3-1 が発生していない場合の波形であり、右図が  $V_{drop}=0.5V$  にしたときにエラー-3-1 が発生した場合の波形である。エラー発生時の波形を見ると、エラー-3-1 はエラー-1-1 と同様にマスターラッチのループ部分で保持している値のビット反転が生じるエラーである。エラー-1-1 はクロックエッジのタイミングで電源ノイズが生じた場合に生じるのに対して、エラー-3-1 はクロック  $ci$  が High の期間中に電源ノイズが生じることでエラーが発生している。

このエラーの原因についてもエラー-1-1 と同様であり、1 つは電源ノイズにより低下した電源電圧が元の値に戻るタイミングで図 4-4-2 中の G6 の寄生容量を介して  $z3$  に流れた電流が通過したゲート G14,G7 の抵抗成分と作用することで  $z3$  に電圧上昇が生じていること、これに加えて、トランジスタのしきい値のばらつきがビット反転の起こりやすい方向へばらついていたことが原因であると考えられる。

図 4-4-4 のエラー-3-2 では、エラー-3-1 とは逆の方向にマスターラッチで保持している値がビット反転している。この場合も、エラー-3-2 はエラー-1-2 と同様のエラーであり、エラーが発生するときの電源ノイズの発生タイミングは異なるが、ビット反転が生じている原因は同じであると考えられる。

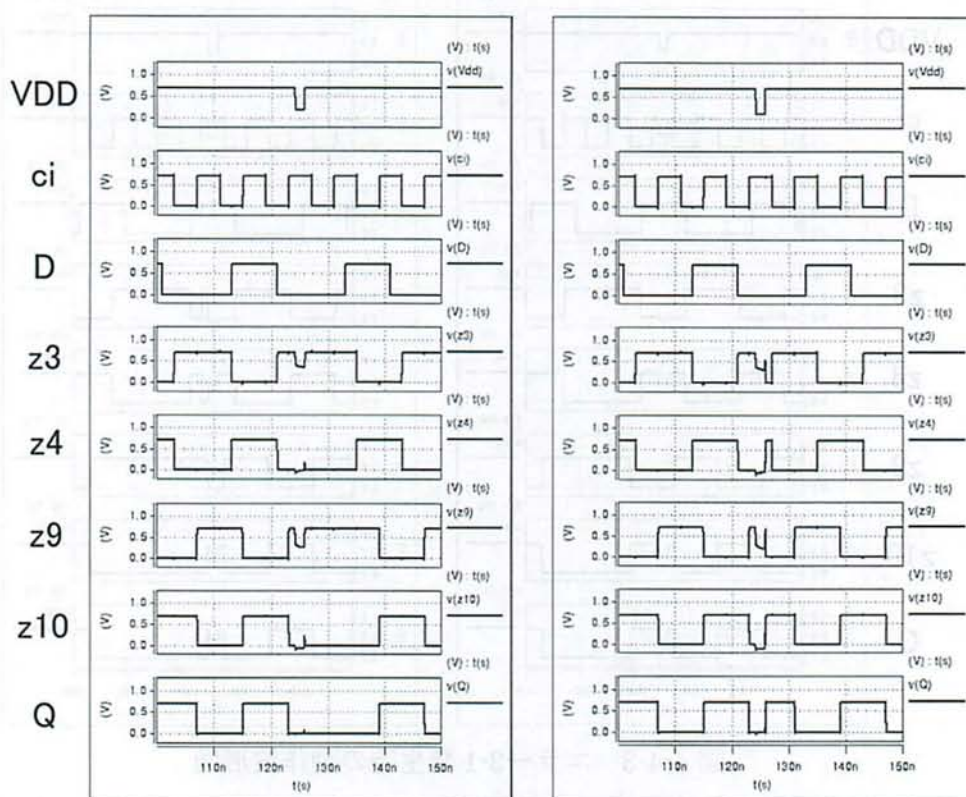


図 4-4-4 エラー-3-2 発生時の動作波形図

(左:エラーなし, $V_{drop}=0.5V$ ,  $duration=1.7ns$ , 右:エラー発生  $V_{drop}=0.6V$ ,  $duration=1.7ns$ )



16nmのプロセスパラメータでの動作確認の結果、45nmの場合と同様にエラーが発生することが確認でき、トランジスタのばらつき等がエラーの発生に関連していることが確認できた。また、45nmのプロセスの場合よりも小さなノイズ振幅や持続時間でエラーが発生していることから、微細化が進むにつれてエラーが発生しやすくなることも確認することができた。



## 5 章 電源ノイズによる FF 回路の誤動作への対策手法

4 章での結果から，電源ノイズによるエラー発生への対策手法として，エラーの発生に関係しているトランジスタのサイズを変更することで駆動力を調整し，エラーを発生しにくくすることが可能であると考えた。

- エラー1-1 への対策例：

4 章で述べたように，エラー1-1 の主な原因は，寄生容量を介して電源から  $z3$  へと流れ込んだ電流がゲートを通過した際に，そのゲートの抵抗成分と作用することによって生じる  $z3$  での電圧変動であり，これを小さく抑えることでエラーの抑制につながる。そこで，図 5-1-1 に示すようにトランジスタのサイズを変更する。なお，ここでは 4 章においてエラー1-1 発生時の例として示した図 4-3-1 での条件の場合を想定している。まず，スレーブ入力部のゲート G8 のトランジスタサイズを小さくする。これによって，G8 のトランジスタの寄生容量も小さくなり，電源から  $z3$  へと流れる電流を少なくすることができる。さらに，G7 のトランジスタサイズを大きくする。これによって，G7 のトランジスタの抵抗成分が小さくなり，電流が流れたときに生じる  $z3$  での電圧上昇を小さく抑えることができる。また，同時に G7 の駆動力が強くなるため， $z3$  に生じた電圧上昇によって G6 の N5 が ON となり  $z4$  の値が反転してしまった場合でも，G7 の正しい出力が優先されやすくなり，エラーが発生しにくくなる。このエラー対策手法を導入した結果を図 5-1-2 に示す。

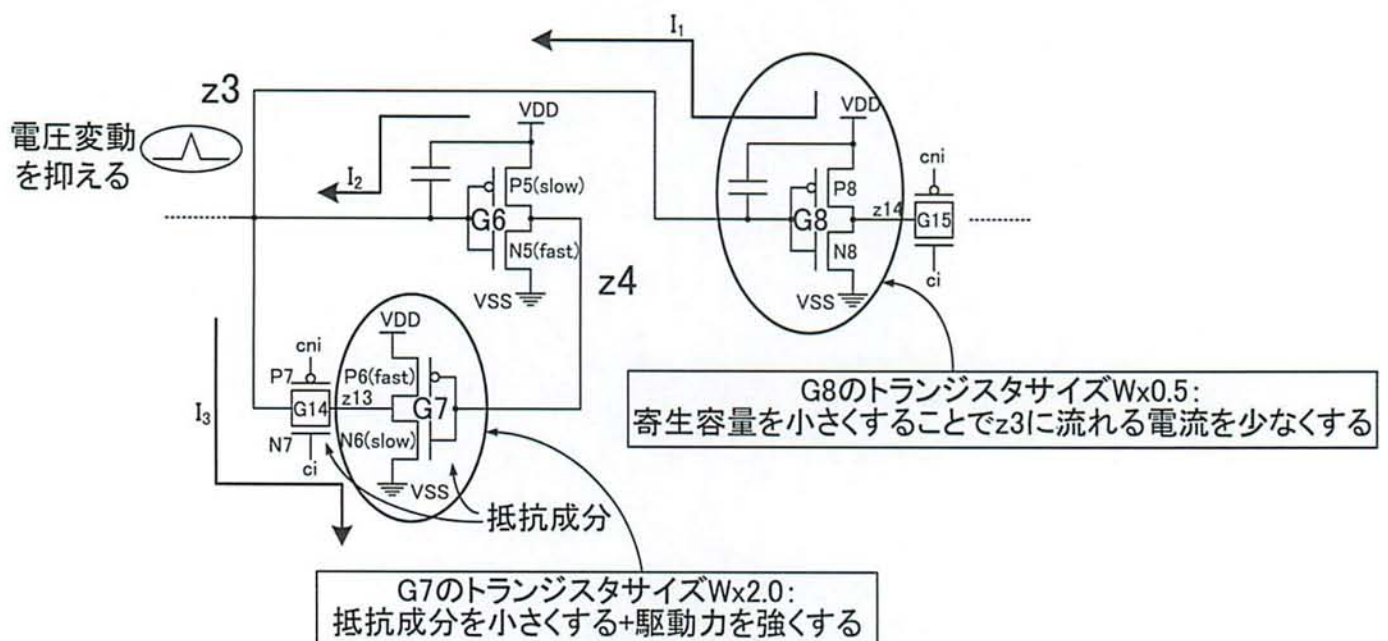


図 5-1-1 エラー1-1 への対策概要図

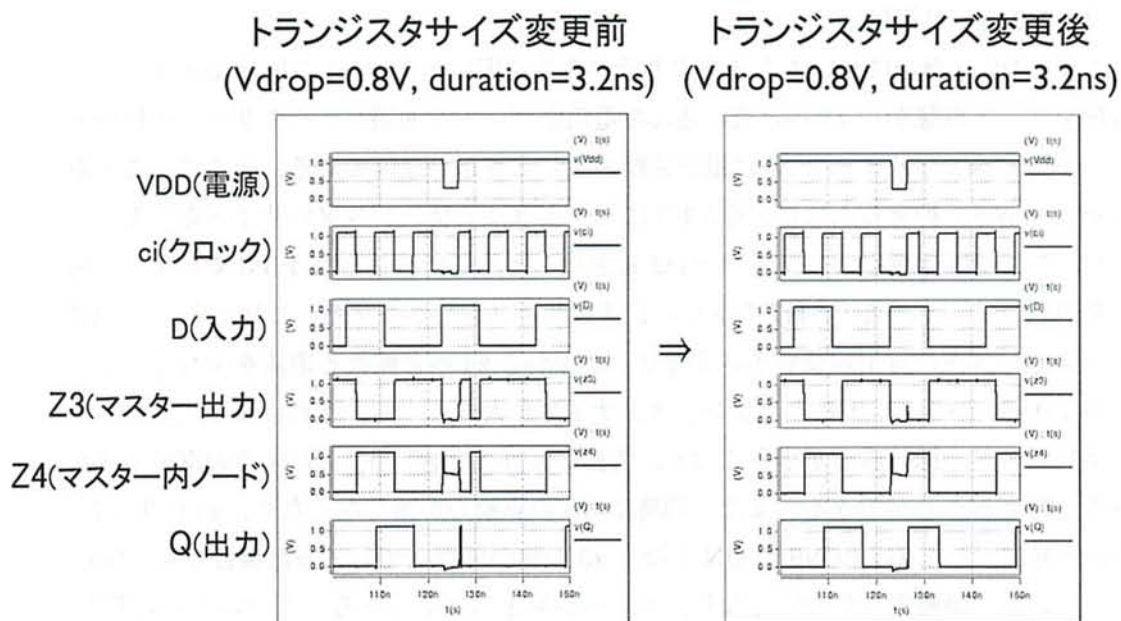


図 5-1-2 エラー1-1 への対策手法導入結果

図 5-1-2 の左図はトランジスタサイズを変更する前の動作確認結果であり、マスターラッチ内部で保持している値が反転するエラーが発生している。図 5-1-2 の右図はトランジスタサイズを変更後の動作確認結果であり、トランジスタサイズ変更前にエラーが発生していた場合と同じ条件でもエラーは発生していない。このことから、トランジスタサイズを変更したことによって、エラーへの耐性が改善されていることがわかる。

また、エラー3-1 への対策についてもエラーの原因は同じであるため、エラー1-1 への対策を参考に耐性を改善することが出来る。例として、図 4-4-2 内の G6 のトランジスタサイズを小さくし、G7 のトランジスタサイズを大きく変更すれば良い。



- エラー1-2 への対策例：

エラー1-2 の場合についても 4 章よりその発生原因はエラー1-1 と同様であり，寄生容量を介して電源から  $z4$  へと流れ込んだ電流がゲートを通過し，そのゲートの抵抗成分と作用することによって  $z4$  に電圧変動が生じることが原因である．そこで，この電圧変動を小さく抑えるために，図 5-1-3 に示すようにトランジスタのサイズを変更する．なお，ここでは 4 章においてエラー1-2 発生時の例として示した図 4-3-3 での条件の場合を想定している．まず，G7 のトランジスタサイズを小さくする．これによって，G7 のトランジスタの寄生容量も小さくなり，電源から  $z4$  へと流れる電流を少なくすることができる．さらに，G6 のトランジスタサイズを大きくする．これによって，G6 のトランジスタの抵抗成分が小さくなり，電流が流れたときに生じる  $z4$  での電圧上昇を小さく抑えることができる．また，同時に G6 の駆動力が強くなるため， $z4$  に生じた電圧上昇によって G7 の N6 が ON となり  $z3$  の値が反転してしまった場合でも，G6 の正しい出力が優先されやすくなり，エラーが発生しにくくなる．このエラー対策手法を導入した結果を図 5-1-4 に示す．

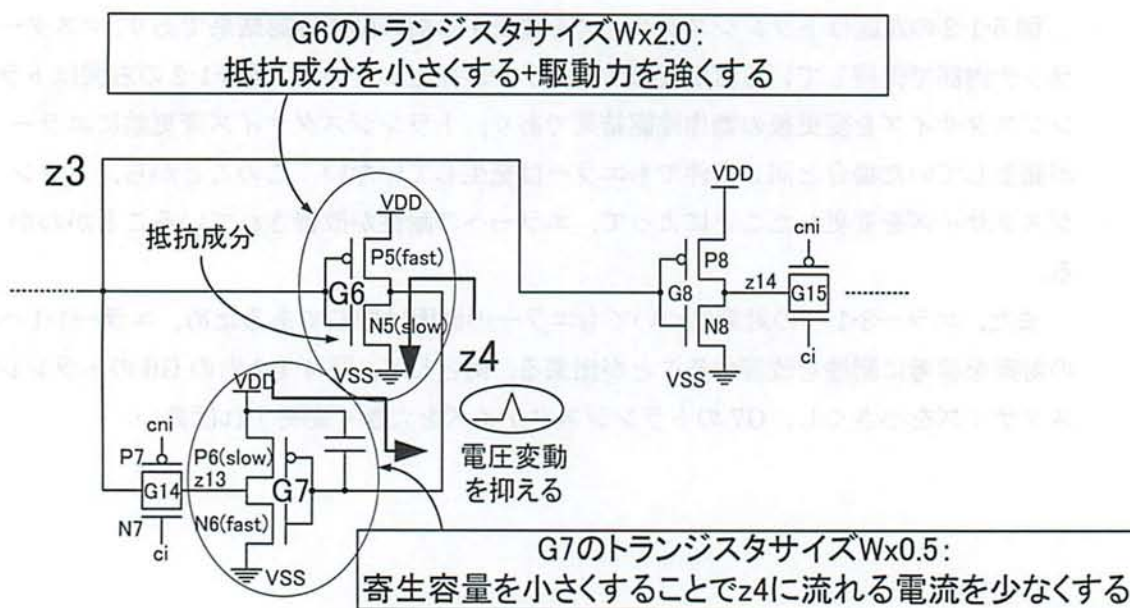


図 5-1-3 エラー1-2 への対策概要図

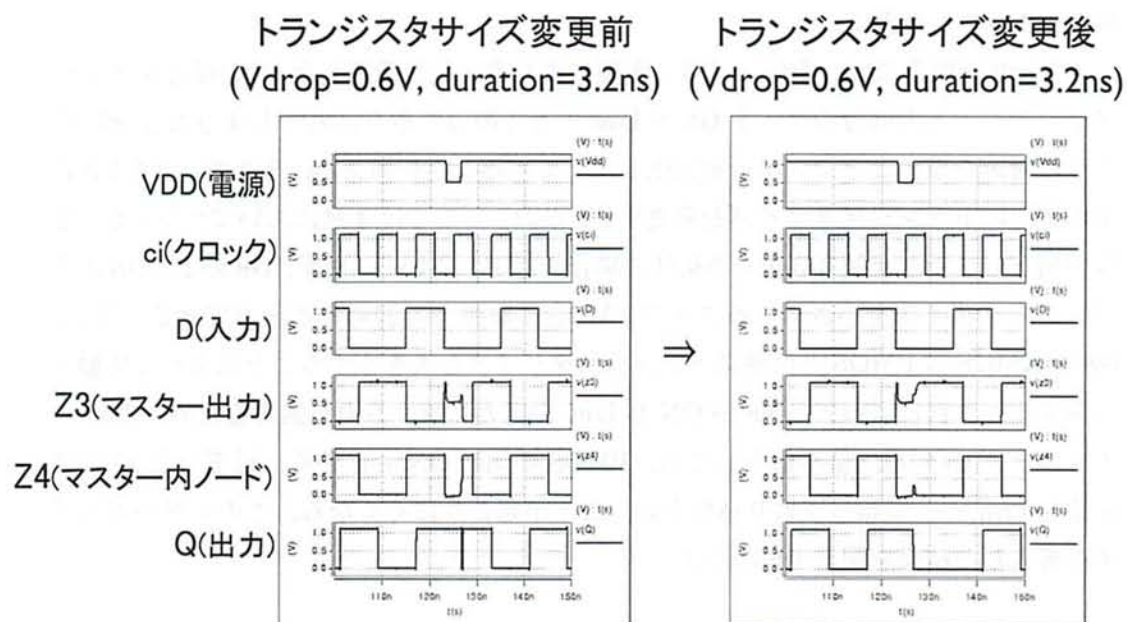


図 5-1-4 エラー1-2 への対策手法導入結果

図 5-1-4 の左図はトランジスタサイズを変更する前の動作確認結果であり、マスターラッチ内部で保持している値が反転するエラーが発生している。図 5-1-4 の右図はトランジスタサイズを変更後の動作確認結果であり、トランジスタサイズ変更前にエラーが発生していた場合と同じ条件でもエラーは発生していない。このことから、この場合にもトランジスタサイズを変更したことによって、エラーへの耐性が改善されていることがわかる。

また、エラー3-2 への対策についてもエラーの原因は同じであるため、エラー1-2 への対策を参考に耐性を改善することが出来る。例として、図 4-4-2 内の G6 のトランジスタサイズを大きくし、G7 のトランジスタサイズを小さく変更すれば良い。

- エラー2 への対策例：

エラー2 の場合には、電源ノイズの影響により電圧値が低下した z3 の信号をスレーブラッチへの入力部分のゲート G8 が Low として誤って取り込んでしまうことを防ぐように対策を施すことでエラーを発生しにくくすることを考える。そこで、図 5-1-5 に示すようにトランジスタサイズを変更する。なお、ここでは 4 章においてエラー2 発生時の例として示した図 4-3-4 での条件の場合を想定している。まず、G8 の PMOS のトランジスタサイズを小さくすることで PMOS の駆動力を弱めることができる。更に、G8 の NMOS は PMOS とは逆にトランジスタサイズを大きくすることによって駆動力が強まる。これによって、N8 が ON し Low を出力し続ける力が強まるため、電源ノイズにより z3 の電圧値が低下しても、PMOS の側は ON しにくく、低下した z3 の電圧値を Low として誤って取り込むということが起こりにくくなる。このエラー対策手法を導入した結果を図 5-1-6 に示す。

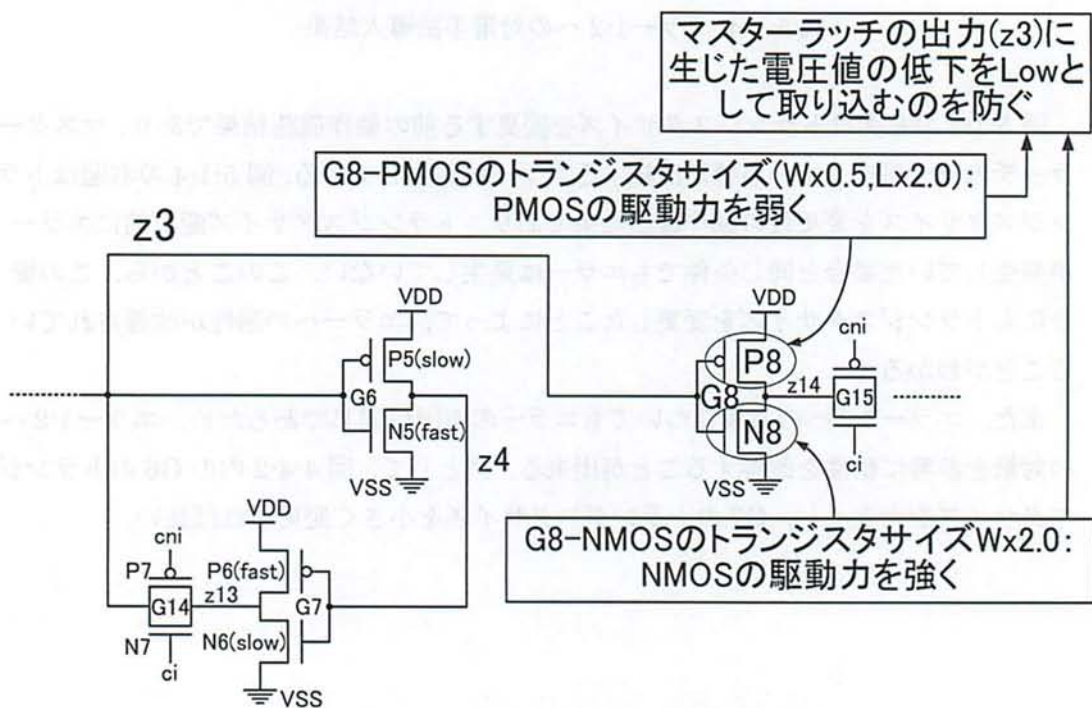


図 5-1-5 エラー2 への対策概要図



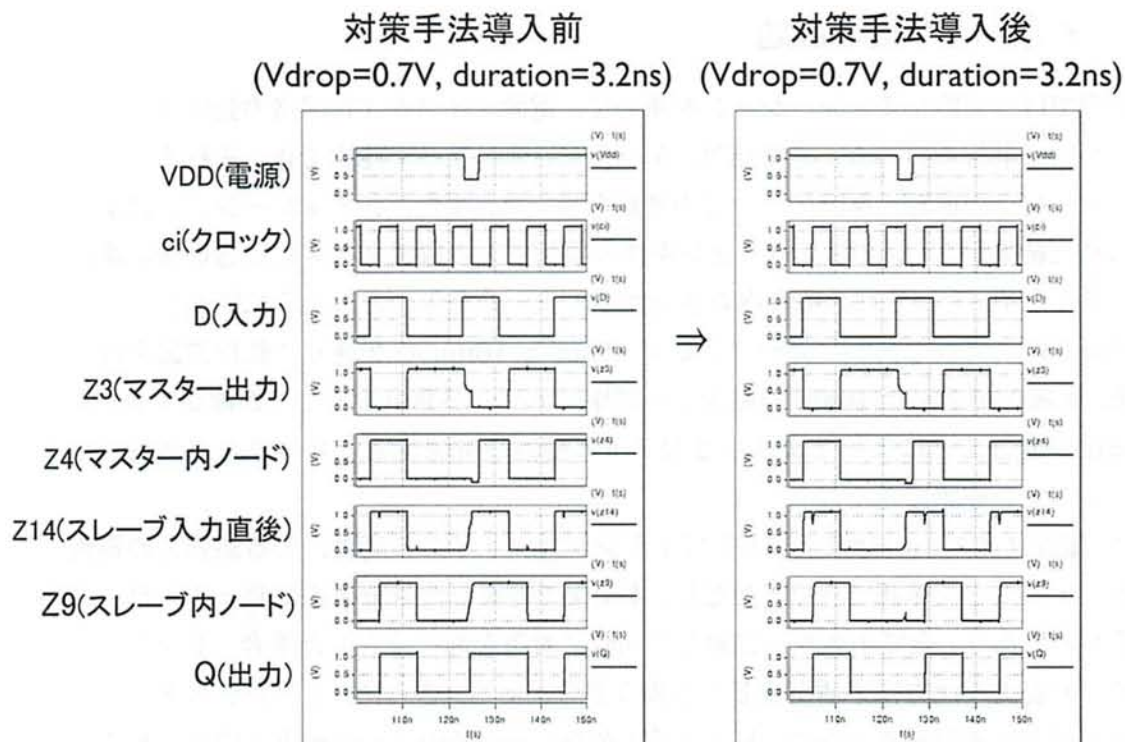


図 5-1-6 エラー2 への対策手法導入結果

図 5-1-6 の左図はトランジスタサイズを変更する前の動作確認結果であり、スレーブラッチ側が誤った値を取り込むエラーが発生している。図 5-1-6 の右図はトランジスタサイズを変更後の動作確認結果であり、トランジスタサイズ変更前にエラーが発生していた場合と同じ条件でもエラーは発生していない。このことから、この場合にもトランジスタサイズを変更したことによって、エラーへの耐性が改善されていることがわかる。

## 6 章 まとめと今後の課題

本研究では、回路シミュレーションを用いて、電源ノイズが FF 回路の動作に与える影響について解析を行った。その結果、5 パターンのエラーが確認でき、それぞれについてエラー発生 の原理、原因についての考察を行った。また、シミュレーションによって得られた結果から、シミュレーション条件の項目ごとの電源ノイズによる影響の違いについてまとめ、それぞれの項目内の各条件がエラーの発生にどのように関連していたかを解析した。プロセスパラメータとして 45nm と 16nm の 2 通りで動作確認を行った結果、微細化が進んだ 16nm の場合でも同様にエラーが発生することが確認でき、また微細化が進むことによってより小さなノイズ振幅や持続時間でもエラーが発生しやすくなることを確認できた。

更に、電源ノイズへの対策手法としてトランジスタサイズの変更による駆動力の調整が有効であることを確認できた。ただし、本論文で提案した対策手法は個々のエラーに対するものであり、全てのエラーに対して同時に対策を施そうとした場合、トランジスタサイズの変更の仕方に矛盾が生じてしまう部分がある。さらに、トランジスタサイズ自体にもばらつきがあることや、トランジスタのしきい値のばらつき方も様々であることを考えると、トランジスタサイズの変更のみで十分な電源ノイズ対策を実現することは難しいと考えられる。そのため、今後の課題としては回路構造の変更等を考慮した電源ノイズによる影響への対策を施した FF 回路の開発を行う必要がある。

## 謝辞

本研究を行うにあたり、多大なご鞭撻を賜りました首都大学東京システムデザイン研究科の三浦幸也教授に深く御礼を申し上げます。また、論文を査読いただきました首都大学東京大学院の小町守准教授、片山薫准教授に感謝致します。



## 参考文献

- [1] 福沢友晶, 宮瀬紘平, 大和勇太, 古川寛, 温暁青, 梶原誠司, “実速度スキャンテストにおけるキャプチャ時の低消費電力テスト生成手法について,” 情報処理学会研究報告システム LSI 設計技術(SLDM), vol.2007, no.114, pp.7-12, November 2007.
- [2] W.-T. Cheng, B. Benware, R. Guo, K.-H. Tsai, T. Kobayashi, K. Maruo, M. Nakao, Y. Fukui and H. Otake, “Enhancing Transition Fault Model for Delay Defect Diagnosis,” IEEE Asian Test Symposium, pp. 179-184, November 2008.
- [3] M.-F. Chang, K.-A. Wen, “Power and Substrate Noise Tolerance of Configurable Embedded Memories in SoC,” The Journal of VLSI Signal Processing, vol. 41, no. 1, pp. 81-91, August 2005.
- [4] Y. Nakata, Y. Kimi, S. Okumura, J. Jung, T. Sawada, T. Toshikawa, M. Nagata, H. Nakano, M. Yabuuchi, H. Fujiwara, K. Nii, H. Kawai, H. Kawaguchi, M. Yoshimoto, “A 40-nm Resilient Cache Memory for Dynamic Variation Tolerance with Bit-Enhancing Memory and On-Chip Diagnosis Structures Delivering  $\times 91$  Failure Rate Improvement,” IEEE International Symposium on Quality Electronic Design, pp.16-23, March 2014.
- [5] 澤田卓也, 吉川薫平, 高田英裕, 新居浩二, 永田真, “SRAM の AC 電源変動に対する不良応答と素子ばらつきの影響,” 電子情報通信学会総合大会講演論文集, vol.2013, p.80, March 2013.
- [6] T. Sawada, K. Yoshikawa, H. Takata, K. Nii, M. Nagata, “Measurements of SRAM sensitivity against AC power noise with effects of device variation,” IEEE International Conference on Microelectronic Test Structures, pp.77-80, March 2013.
- [7] S. Nassif, V.B. Kleeberger, U. Schlichtmann “Goldilocks Failures : Not Too Soft, Not Too Hard”, IEEE International Reliability Physics Symposium, pp. 2F.1.1-2F.1.5, April 2012
- [8] J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, “A case study of IR-drop in structured at-speed testing,” IEEE International Test Conference, pp. 1098-1104, September-October 2003
- [9] 永田真, 岩田穆, “デジタル LSI 電源ノイズのオンチップ観測技術とシミュレーション技術,” エレクトロニクス実装学会誌, vol.12, no.7, 2009.
- [10] 澤田卓也, 利川托, 榊井翼, 永田真, “SRAM コアにおけるオンチップ電源雑音の発生と注入の評価,” 電子情報通信学会技術研究報告, 信学技報, vol.110, no.314, pp.7-12, November 2010.
- [11] Arizona State University, Predictive Technology Model(PTM) - <http://ptm.asu.edu/>
- [12] NanGate Open Cell Library - [http://www.nangate.com/?page\\_id=22](http://www.nangate.com/?page_id=22)