

修士学位論文

題名

パワーデカップリング形パワーコンディショナの低力率動作特性に関する研究

指導教授 清水 敏久 教授

平成29年 2月16日 提出

首都大学東京大学院

理工学研究科 電気電子工学 専攻

学修番号 15882317

氏名 瀬田 雄介

学位論文要旨（修士（理学・工学））

論文著者名 瀬田 雄介

論文題名：パワーデカップリング形パワーコンディショナの
低力率動作特性に関する研究

本文

近年、世界的に高まるエネルギー需要や温室効果ガスの排出削減に向けて、再生可能エネルギーが注目を浴びている。その中でも家庭用太陽光発電は、固定価格買取制度（FIT 制度）の導入等によって更なる普及が期待されている。

家庭用太陽光発電システムでは、太陽光パネルで発電された直流電力を昇圧チョッパ回路によって昇圧し、その後パワーコンディショナ（PCS）によって 50Hz または 60Hz の交流系統に連系する。一般的に昇圧チョッパ回路では、太陽光パネルから供給可能な最大電力を得るために最大電力点追従（MPPT）制御機能が付加されている。一方で PCS の入力部では系統の 2 倍周波数で電力脈動が生じる。この電力脈動は MPPT 制御に悪影響を及ぼすため、PCS では入力部における電力脈動の低減が要求される。現在市販されている PCS では、PCS の入力部に大容量電解コンデンサを並列接続する事で電力脈動を低減している。しかし、大容量電解コンデンサは短寿命であるため、先行研究では小容量のフィルムコンデンサを適用可能なパワーデカップリング回路を開発し、電力脈動の低減と PCS の長寿命化を両立する研究がなされてきた（パワーデカップリング形 PCS）。

更に家庭向け太陽光発電の普及に伴い、PCS には Low Voltage Ride Through (LVRT) や受電点電圧上昇抑制等の機能が要求される。これらの機能に対して、本研究では PCS の低力率運転に着目した。低力率運転によって系統インピーダンスでの電圧降下が調節可能となるため、PCS の出力電圧の保持や抑制が可能となる。LVRT 機能は、1 秒未満の系統電圧の瞬時低下に対して PCS が運転を継続する機能である。運転継続の際には、系統と並列に接続されている家庭電気製品の運転継続の観点から、PCS の低力率運転により出力電圧の保持が要求される。受電点電圧上昇抑制機能は、家庭用太陽光発電の普及により各家庭の太陽光パネルからの電力供給が増大した場合に、受電点電圧が電気事業法で定められた範囲を超えてしまうため、受電点電圧の上昇を抑制する機能である。この受電点電圧の抑制に対して、本研究で着目する PCS の低力率運転は有効と考

える。以上を踏まえると、パワーデカップリング形 PCS における低力率運転の性能評価は極めて重要である。

そこで本研究では、PCS の長寿命化を実現したパワーデカップリング形 PCS において、低力率動作特性をシミュレーション及び実験にて検証した。まず提案回路であるパワーデカップリング形パワーコンディショナにおいて低力率運転が可能であるかどうかを確認し、その後低力率運転に対応可能な制御システムを考案した。また、インバータ部及びパワーデカップリング回路部それぞれの制御について、制御器の設計と安定性解析を行った。最後に、シミュレーション及び実験を行い、力率 1 及び低力率において、提案回路が機能し電力脈動を低減できる事を確認した。また、提案回路が LVRT 機能に対応可能であるかどうかを検証するために、力率急変試験を行い提案回路の LVRT 機能への対応可能性を示した。

目次

第 1 章 - 1 -

1.1	研究背景	- 1 -
1.2	本研究の目的	- 6 -
1.3	論文構成	- 6 -

第 2 章 - 8 -

2.1	入力脈動低減	- 8 -
2.1.1	MPPT 制御方式	- 8 -
2.1.2	パワーデカップリング機能の必要性	- 11 -
2.2	長寿命化	- 14 -
2.2.1	PPD 方式	- 14 -
2.2.2	APD 方式	- 16 -
2.3	APD 方式における高効率化手法	- 17 -
2.4	LVRT 機能	- 20 -
2.4.1	LVRT 要件	- 21 -
2.4.2	LVRT 要件の達成方式	- 22 -
2.5	受電点電圧上昇抑制機能	- 24 -
2.6	まとめ	- 26 -

第 3 章 - 27 -

3.1	主回路構成	- 27 -
3.2	主回路の動作原理	- 29 -
3.2.1	力率 1 における主回路の動作原理	- 29 -
3.2.2	低力率における主回路の動作原理	- 33 -
3.3	主回路素子の役割と設計	- 34 -
3.3.1	スイッチ素子とダイオードの役割	- 34 -
3.3.2	パワーデカップリング回路のLXとCXの設計	- 38 -
3.3.3	LCL フィルタ設計	- 40 -
3.3.4	スナバ回路設計	- 47 -
3.4	検出回路	- 49 -
3.4.1	v_{AC} の検出回路	- 50 -
3.4.2	v_X, V_{DC} の検出回路	- 51 -
3.4.3	i_{X1}, i_{AC} の検出回路	- 53 -

3.5	まとめ	- 54 -
-----	-----	--------

第 4 章 - 55 -

4.1	主回路と制御の関係	- 55 -
4.2	制御ブロック図	- 58 -
4.2.1	PLL 部	- 58 -
4.2.2	出力電流制御部	- 62 -
4.2.3	パワーデカップリング制御部	- 65 -
4.3	変調方式	- 67 -
4.3.1	入力脈動低減のための変調補正	- 67 -
4.3.2	パワーデカップリングの放電に伴う変調補正	- 70 -
4.3.3	インバータ部における変調方式	- 72 -
4.4	サンプリング手法とデッドタイム設計	- 73 -
4.5	インバータ出力電流制御系の安定性解析	- 75 -
4.6	パワーデカップリングの充電電流制御系の安定性解析	- 82 -
4.6.1	昇降圧チョッパの入力電流制御への近似	- 83 -
4.6.2	昇降圧チョッパの入力電流制御系の安定性解析	- 84 -
4.7	まとめ	- 96 -

第 5 章 - 98 -

5.1	実験装置の動作方法	- 98 -
5.2	シミュレーションによる評価	- 100 -
5.2.1	シミュレーション条件	- 102 -
5.2.2	シミュレーション結果	- 102 -
5.3	実験による評価	- 104 -
5.3.1	実験条件	- 104 -
5.3.2	実験結果	- 105 -
5.4	まとめ	- 110 -

第 6 章 - 111 -

6.1	今後の予定	- 111 -
6.2	総論	- 112 -

図表目次

図 1-1	世界のエネルギー・発電の供給量割合（文献[1]より引用）	- 2 -
図 1-2	日本のエネルギー・発電の供給量割合（文献[2]より引用）	- 2 -
図 1-3	再生可能エネルギーによる発電電力量の予測（文献[3]より引用）	- 3 -
図 1-4	太陽光発電の国内導入量とシステム価格の推移（文献[4]より引用）	- 3 -
図 2-1	家庭用太陽光発電システムの構成	- 9 -
図 2-2	太陽光パネル P-V 特性図	- 9 -
図 2-3	山登り法フローチャート	- 10 -
図 2-4	出力電力特性	- 12 -
図 2-5	太陽光パネル特性図	- 12 -
図 2-6	パワーデカップリング機能を有する家庭用太陽光発電システム	- 13 -
図 2-7	PPD 方式のパワーコンディショナ	- 15 -
図 2-8	脈動電力波形	- 15 -
図 2-9	APD 式のパワーコンディショナ	- 16 -
図 2-10	昇圧形・昇降圧形パワーデカップリングの比較	- 18 -
図 2-11	デカップリングコンデンサ容量と電圧の関係	- 20 -
図 2-12	LVRT 要件イメージ図（2017 年 3 月までに連系する太陽光発電設備）	- 21 -
図 2-13	LVRT 要件イメージ図（2017 年 4 月以降に連系する太陽光発電設備）	- 22 -
図 2-14	LVRT 機能フローチャート	- 22 -
図 2-15	単相系統連系インバータ	- 24 -
図 2-16	インバータ出力部における電圧瞬低時のフェーザ図	- 24 -
図 2-17	変電所からの距離に対する受電点電圧	- 25 -
図 3-1	主回路構成	- 28 -
図 3-2	力率 1 における出力電力特性	- 30 -
図 3-3	力率 1 におけるパワーフロー(mode I)	- 30 -
図 3-4	力率 1 におけるパワーフロー(mode II)	- 31 -
図 3-5	低力率における出力電力特性	- 31 -
図 3-6	低力率におけるパワーフロー(mode I)	- 32 -
図 3-7	低力率におけるパワーフロー(mode II)	- 32 -
図 3-8	インバータのスイッチングパターン	- 35 -
図 3-9	ダイオードDXの役割	- 37 -
図 3-10	ダイオードDG1の役割	- 37 -
図 3-11	ダイオードDG2の役割	- 38 -
図 3-12	スイッチSX4の役割	- 38 -

図 3-13	スイッチSX3の役割	- 38 -
図 3-14	PPD 方式と APD 方式の受動素子体積比較	- 39 -
図 3-15	LCL フィルタ回路図	- 41 -
図 3-16	LCL フィルタにおけるブロック線図	- 41 -
図 3-17	インバータ出力電圧・電流波形.....	- 43 -
図 3-18	Duty 比に対する電流リップル量.....	- 43 -
図 3-19	高周波電圧リップルに着目した LCL フィルタブロック線図	- 44 -
図 3-20	高周波電流リップルに着目した LCL フィルタブロック線図	- 45 -
図 3-21	LCL フィルタのインダクタ・コンデンサ写真	- 46 -
図 3-22	LCL フィルタボード線図 (上 : Gain 特性 下 : 位相特性)	- 46 -
図 3-23	提案回路におけるスナバ回路図.....	- 47 -
図 3-24	スナバ回路の適用によるサージ抑制.....	- 49 -
図 3-25	v_{AC} の検出回路.....	- 50 -
図 3-26	AD202 を用いた v_X , V_{DC} の検出回路.....	- 51 -
図 3-27	AD202 を用いた v_X 検出波形	- 51 -
図 3-28	myway 製電圧検出回路「写真」	- 52 -
図 3-29	myway 製電圧検出回路「回路図」	- 52 -
図 3-30	myway 製の電圧検出回路を用いた v_X 検出波形.....	- 52 -
図 3-31	i_{AC} , i_{X1} の電流検出回路.....	- 53 -
図 4-1	先行研究における実験全体図.....	- 56 -
図 4-2	FPGA 導入における実験全体図.....	- 57 -
図 4-3	PE-Expert4 本体との各ボード写真.....	- 57 -
図 4-4	制御ブロック図.....	- 59 -
図 4-5	PLL 制御ブロック図.....	- 60 -
図 4-6	フェーザ図による PLL の位相・振幅検出過程.....	- 60 -
図 4-7	出力電流制御ブロック図.....	- 62 -
図 4-8	PR 補償器のブロック図.....	- 64 -
図 4-9	PR 補償器のボード線図.....	- 64 -
図 4-10	パワーデカップリング制御ブロック図.....	- 66 -
図 4-11	パワーデカップリング制御部における各波形.....	- 66 -
図 4-12	各変調方式におけるゲート信号と入力電流波形.....	- 69 -
図 4-13	SX2 と SX3, SX4の同時オンによる電流経路	- 71 -
図 4-14	インバータスイッチS1~S4及び放電用スイッチSX2の変調補正	- 71 -
図 4-15	インバータスイッチS1~S4の変調方式.....	- 72 -
図 4-16	変調補正と PWM 変調・パルス分配のブロック図	- 72 -
図 4-17	DSP ボードと FPGA ボードの役割	- 73 -

図 4-18	提案回路におけるサンプリング手法.....	- 74 -
図 4-19	デッドタイム設計手法.....	- 74 -
図 4-20	デッドタイム設計手法.....	- 74 -
図 4-21	インバータ出力電流制御系の回路図.....	- 76 -
図 4-22	インバータ出力電流制御系 制御ブロック図.....	- 76 -
図 4-23	サンプリング伝達関数の周波数特性(上：ゲイン特性 下：位相特性) - 78 -	
図 4-24	出力電流制御系のGround(s)ボード線図 (PI 補償器)	- 79 -
図 4-25	出力電流制御系のGround(s)ボード線図 (PR 補償器)	- 80 -
図 4-26	実験における出力電流制御系のボード線図 (PR 補償器)	- 81 -
図 4-27	PI 補償器と PR 補償器における出力電流波形比較	- 82 -
図 4-28	パワーデカップリング回路の充電電流制御回路図.....	- 84 -
図 4-29	昇降圧チョッパ回路の入力電流制御回路図.....	- 84 -
図 4-30	昇降圧チョッパ回路の入力電流制御ブロック図.....	- 85 -
図 4-31	Hfil2(s)無しの場合における閉ループ伝達関数Gclose(s)ボード線図 - 90 -	
図 4-32	Hfil2(s)有りの場合における閉ループ伝達関数Gclose2(s)ボード線図 .. 90 -	
図 4-33	P 補償器を用いた場合の Ground2(s)ボード線図.....	- 92 -
図 4-34	PR補償器を用いた場合のGround2(s)ボード線図.....	- 92 -
図 4-35	P 補償器を用いた提案制御系における極配置.....	- 93 -
図 4-36	P 補償器を用いた提案制御系におけるステップ応答波形.....	- 93 -
図 4-37	昇降圧チョッパ回路の入力電流制御 シミュレーション回路図....	- 94 -
図 4-38	シミュレーションと計算結果の周波数特性比較.....	- 95 -
図 5-1	PE-viewX の操作画面	- 99 -
図 5-2	パワーデカップリング回路無し(NPD 方式)のパワーコンディショナ	- 100 -
図 5-3	提案回路.....	- 100 -
図 5-4	シミュレーション回路図.....	- 101 -
図 5-5	力率 1 における波形比較.....	- 102 -
図 5-6	力率 0 における波形比較.....	- 103 -
図 5-7	NPD 方式のパワーコンディショナ(実験回路図).....	- 104 -
図 5-8	提案回路(実験回路図).....	- 105 -
図 5-9	力率 1 における波形比較(実験結果).....	- 105 -
図 5-10	力率 0.1 における波形比較(実験結果).....	- 106 -
図 5-11	力率 1 と力率 0.1 の入力脈動低減率.....	- 107 -

図 5-12	力率 1 と力率 0.1 の損失比較.....	- 108 -
図 5-13	力率 1 と力率 0.1 の電力変換効率.....	- 108 -
図 5-14	力率急変時の各波形.....	- 109 -
図 6-1	家庭用太陽光発電システム構成.....	- 111 -

第 1 章

序論

1.1 研究背景

21 世紀に入り，新興国の経済発展等を背景に世界的にエネルギーの需要が拡大傾向にある。また，国内に目を向けると 2011 年に発生した東日本大震災後，原子力発電所の稼働が停止し 2013 年での発電供給割合はほぼゼロにまで減った。その結果，石油や石炭，天然ガスなどの化石燃料による発電が国内の発電割合の 8 割以上を占めている [1][2]。しかし，化石燃料は枯渇性エネルギーであり，海外からの輸入に依存してしまう点や，温室効果ガスの発生などの地球温暖化への影響が懸念される。この世界的なエネルギー需要の増大と国内での化石燃料による発電の依存がエネルギー問題として懸念されている。

これらのエネルギー問題の解決に向けて，再生可能エネルギーの普及が期待されている。再生可能エネルギーは半永久的に利用可能なエネルギー源であり，化石燃料の消費を抑制する事が出来ると同時に，国内でのエネルギー自給率も上昇させることが出来る。環境省の再生可能エネルギーによる発電電力量の予測（文献[3]）では，今後再生可能エネルギーによる発電量は年々増加し，2030 年には全体の 33%を再生可能エネルギーが占めるという予測を立てている。図 1-3 に見て取れるように，太陽光発電は再生可能エネルギーによる発電の中でも最も多くの割合を占めている。太陽光発電はエネルギー源が太陽光であるために，基本的には設置する地域に制限が無い事やシステムの機器のメンテナンスがほとんど必要ない事，屋根や壁などの未利用スペースに設置できるため，新たなスペースを要さない事などから，再生可能エネルギーによる発電をリードする発電方法として期待されている[4]。また，太陽光発電は騒音の心配が無い事から，

家庭用システムとしても普及が進んでいる。近年では2012年7月より、再生可能エネルギーによる発電電力に対して国が定める価格で電気事業者が買い取る固定価格買取制度（FIT制度）がスタートした。これにより家庭用太陽光発電は普及が進んでいる。

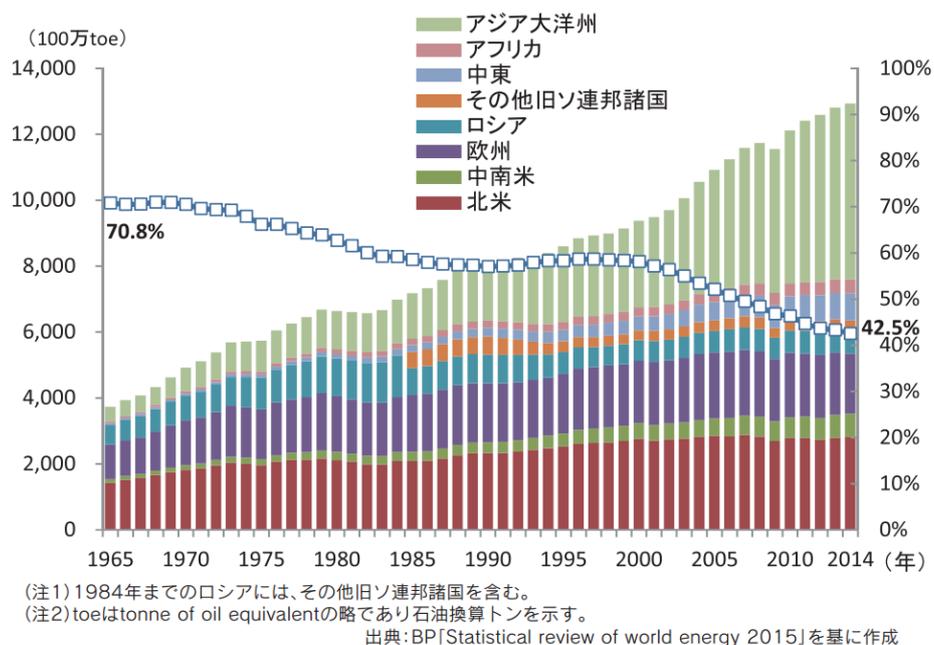


図 1-1 世界のエネルギー・発電の供給量割合（文献[1]より引用）

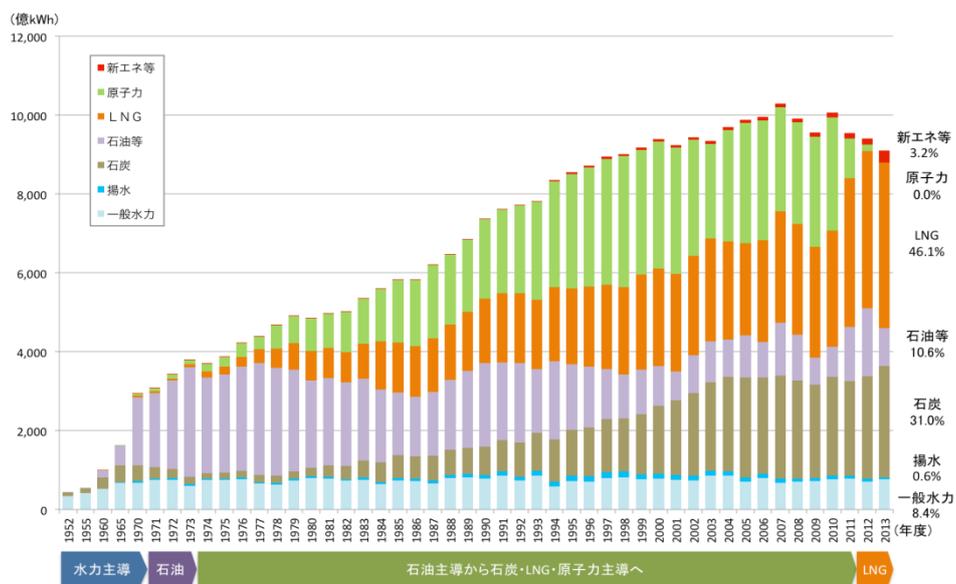


図 1-2 日本のエネルギー・発電の供給量割合（文献[2]より引用）

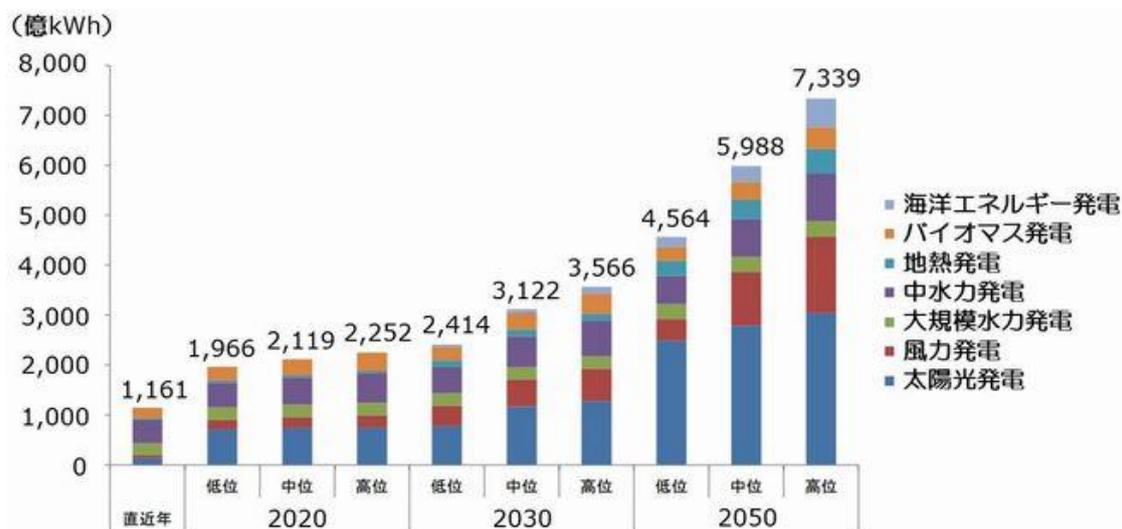


図 1-3 再生可能エネルギーによる発電電力量の予測（文献[3]より引用）

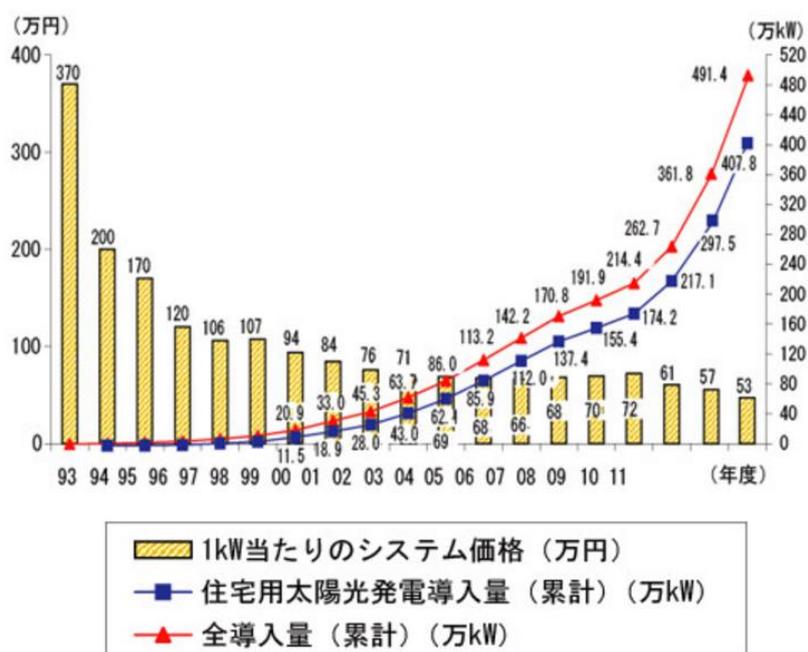


図 1-4 太陽光発電の国内導入量とシステム価格の推移（文献[4]より引用）

家庭用太陽光発電システムでは、太陽光パネルで発電された直流電力を昇圧チョップ回路によって昇圧し、その後単相系統連系インバータで構成されるパワーコンディショナによって 50Hz または 60Hz の交流系統に連系する。一般的に昇圧チョップ回路では、

太陽光パネルから供給可能な最大電力を得るために最大電力点追従（MPPT）制御機能が付加されている。一方でパワーコンディショナではインバータのスイッチが PWM 変調によって動作するために、パワーコンディショナの入力部では系統の 2 倍周波数で電力脈動が生じる。この電力脈動は MPPT 制御に悪影響を及ぼすため、太陽光発電システムの変換効率低下を招く。そのためパワーコンディショナでは入力部における電力脈動の低減が要求される。

現在市販されているパワーコンディショナでは、入力部に大容量電解コンデンサを並列接続する事で電力脈動を低減している。本論ではこの脈動低減方式を Passive Power Decoupling 方式（PPD 方式）と呼ぶ。PPD 方式における長所は、そのシンプルさにあるが、しかし大容量電解コンデンサはアレニウス則により、温度上昇に対して 2 倍速で寿命が短くなる[5]。例えば、使用温度が 10℃上がれば寿命は 2 分の 1 になる。一般的に、太陽光パネルの寿命は 20 年程度[6]であるのに対して、大容量電解コンデンサの寿命は数～10 年程度である。そのため、PPD 方式は短寿命であると言える。

そのため、電解コンデンサに比べ長寿命であるフィルムコンデンサを適用する事で、パワーコンディショナを長寿命化する研究が行われてきた。一般的にフィルムコンデンサの体積は電解コンデンサの 20 倍以上と言われており、装置の大きさやコストの観点から多くの問題が生じる。そこで、コストや装置の大きさを PPD 方式と同程度としながらも長寿命なパワーコンディショナを実現するために、パワーデカップリング回路を適用する事で小容量のフィルムコンデンサを適用可能にする方式が提案された（パワーデカップリング形パワーコンディショナ）。入力部での電力脈動をパワーデカップリング回路が充放電する事で、電力脈動の低減とパワーコンディショナの長寿命化を実現することが出来る。本論ではこの方式を Active Power Decoupling 方式（APD 方式）と呼ぶ。

現在、APD 方式のパワーコンディショナについては様々な回路方式が提案されている一方、入力部とインバータ部の間に追加回路を要するために、パワーコンディショナの変換効率が PPD 方式に比べ低下する問題が生じる[7][8][9]。そこで、先行研究では APD 方式のパワーコンディショナの高効率化に関する研究がなされた[10]。パワーデカップリング回路のトランスレス化や、回路方式の工夫により半導体素子にかかる耐圧を

低減することで回路の高効率化が可能となった。

ところで、家庭用太陽光発電の導入拡大により Low Voltage Ride Through (LVRT) 機能や受電点電圧上昇抑制、単独運転の検出及び防止等の機能がパワーコンディショナに要求されており、これらの機能を付加するために、様々な研究が行われている [11][12][13]。これらの機能に対して、本研究では PCS の低力率に着目した。低力率運転によって系統インピーダンスでの電圧降下が調節可能となるため、PCS の出力電圧の保持や抑制が可能となる。LVRT 機能では、1 秒未満の系統電圧の瞬時低下に対して PCS が運転を継続する機能である。1 秒未満の系統電圧の瞬時低下に対して PCS が運転を継続する機能である。運転継続の際には、系統と並列に接続されている家庭電気製品の運転継続の観点から、PCS の低力率運転により出力電圧の保持が要求される。受電点電圧上昇抑制機能は、家庭用太陽光発電の普及により各家庭の太陽光パネルからの電力供給が増大した場合に、受電点電圧が電気事業法で定められた範囲を超えてしまうため、受電点電圧の上昇を抑制する機能である。この受電点電圧の抑制に対して、本研究で着目する PCS の低力率運転は有効と考える。また、単独運転の検出及び防止機能は 1 秒以上の系統電圧の瞬時低下を検出し、更にパワーコンディショナを停止する機能である。この電圧瞬低の検出方法の一つに低力率運転による検出方法が考えられている [14]。以上を踏まえると、パワーコンディショナの低力率運転の性能評価は極めて重要である。

現在市販されている PPD 方式のパワーコンディショナは低力率運転機能を有しており、LVRT 等の機能も付加されてきている。一方で、APD 方式のパワーコンディショナは多くの研究がなされているが低力率運転の性能評価についての議論がなされていない。今後、長寿命化を図ったパワーデカップリング形パワーコンディショナを普及させていくには、LVRT 等の機能を付加するために低力率運転の性能評価が必要不可欠である。

1.2 本研究の目的

本研究の目的は、家庭向け太陽光発電用のパワーコンディショナに要求される「入力脈動低減」や「長寿命」、「高変換効率」、「LVRT 機能」、「受電点電圧上昇抑制機能」、「単独運転の検出及び防止機能」を同時に実現する事である。「長寿命」及び「高変換効率」については先行研究で開発されたパワーデカップリング形パワーコンディショナによって実現された。一方で「LVRT 機能」、「受電点電圧上昇抑制機能」、「単独運転の検出及び防止機能」の実現に向けて、低力率運転の性能評価が重要になる。そこで、本研究ではパワーデカップリング形パワーコンディショナにおいて低力率の性能評価を行った。

1.3 論文構成

本論文は全 6 章で構成する。以下に第 2 章以降の要約を述べる。

第 2 章では家庭向け太陽光発電用パワーコンディショナへの要求を整理する。まず初めに「入力脈動低減」を実現するためにパワーデカップリング機能が必要性を述べ、PPD 方式と APD 方式の比較により APD 方式で「長寿命」を実現可能である事を示す。次に、パワーデカップリング形パワーコンディショナの「高効率化」手法を述べる。最後に「LVRT 機能」「受電点電圧上昇抑制機能」の機能について説明し、低力率運転が必要である理由を述べる。

第 3 章では、主回路構成と動作原理について説明する。まず主回路の構成を示し、各スイッチ及びダイオードの役割について説明する。また、パワーデカップリング回路の L, C の設計方法及びインバータ出力後の LCL フィルタの設計方法について述べる。次に、力率 1 と低力率におけるパワーフローについて説明する。先に力率 1 におけるパワーフローについて説明し、その後低力率におけるパワーフローの説明をする事で、低力率でもパワーデカップリング回路が機能する事を示す。最後に、検出回路及びゲート駆動回路の構成について説明する。

第4章では制御システムの開発と安定性解析について説明する。まず、制御ブロック図を示し、またパワーデカップリング機能と低力率機能を実現するための変調方式について説明する。次に、インバータ出力電流制御系及びパワーデカップリング回路の入力電流制御系における制御器の設計手法、及び安定性解析の結果について述べる。

第5章では、シミュレーション及び実験における回路の動作確認と性能評価について述べる。力率1及び低力率での条件でシミュレーション及び実験検証を行い、全ての力率においてパワーデカップリング機能が正常に機能している事を示す。最後に、LVRT機能の付加を見据えた力率急変試験の結果を示す。

最後に第6章では本論文を総括し、今後の課題について述べる。

第 2 章

パワーコンディショナへの要求

家庭向け太陽光発電用パワーコンディショナには、「入力脈動低減」、「長寿命化」、「高効率化」「LVRT 機能」「受電点電圧上昇抑制機能」等が要求される。本章ではこれらの機能についての説明と、それらを同時に達成するための方法について述べ、APD 方式において低力率運転が要求されることを示す。「入力脈動低減」ではパワーデカップリング機能の必要性を示し、PPD 方式と APD 方式を比較する事で、「長寿命化」するために APD 方式のパワーコンディショナが適している理由を述べ、更に先行研究で示された「高効率化」手法について述べる。更に「LVRT 機能」「受電点電圧上昇抑制機能」について説明し、低力率運転が要求される理由を述べる。特に、LVRT 機能では、一定電流方式と低力率による無効電力注入方式を比較する事で、無効電力注入方式が必要である事を述べる。

2.1 入力脈動低減

太陽光発電ではMPPT制御が用いられる。MPPT制御はMaximum Power Point Tracking 制御、すなわち最大電力点追従制御の事である。ここでは、まず初めにMPPT制御方式について説明し、パワーコンディショナがMPPT制御に与える影響について説明し、入力脈動低減のためにパワーデカップリング機能が必要である事を示す。

2.1.1 MPPT制御方式

図2-1に一般的な家庭用太陽光発電システムの構成を示す。家庭用太陽光発電システムは、太陽光パネル、昇圧回路、パワーコンディショナで構成される。太陽光パネルで

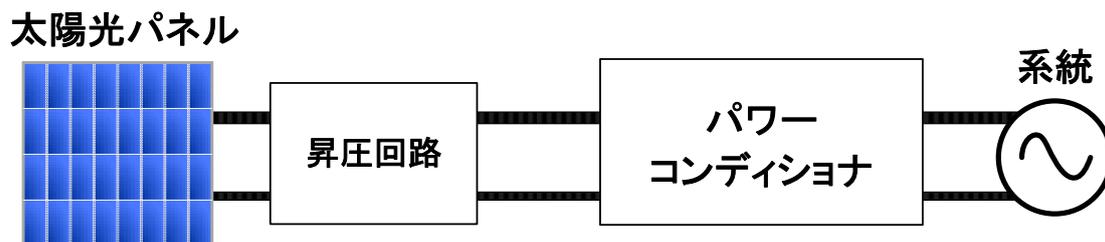


図 2-1 家庭用太陽光発電システムの構成

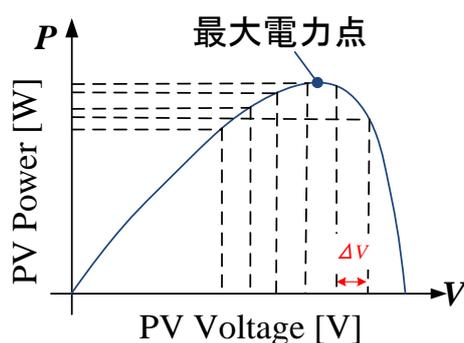


図 2-2 太陽光パネル P-V 特性図

発電された直流電力を昇圧回路によって昇圧し、パワーコンディショナによって交流電力に変換され、系統に連系される。図2-2に太陽光パネルの電力(P)－電圧(V)の特性図を示す。図2-2に示すように、太陽光パネルで発電される電力は、パネルの出力電圧・電流により変化し、ある電圧・電流の時に最大電力が供給される最大電力点が存在する。この最大電力点付近で発電を行うために、発電コントローラが必要となる。発電コントローラは一般的に昇圧回路に組み込まれており、昇圧回路内のスイッチを制御する事により最大電力点での発電を可能にする。発電コントローラには「PWM制御法」と「MPPT制御法」2つの方法がある[15]。以下に2つの方式について説明する。

● PWM制御法

PWM制御法は、昇圧回路のスイッチをPulse Width Modulation (PWM)変調により生成するものである。一般的に、太陽光パネルの最大電力点はパネル開放電圧の0.8倍となるために、昇圧回路スイッチのDuty比を0.8で制御する事で、パネルから一定電圧・電流を出力する事で、最大電力点付近での発電を可能にする。この方式

では、制御が容易なため、比較的安価で導入する事が可能であるが、気象条件等によって太陽光パネル特性が変化した時などには最適動作点で発電できない可能性がある。

● MPPT制御法

MPPT制御法は、PWM制御法とは異なり、気象条件等の変化によって変動する最適動作点を追従可能な制御方式である。一般的には制御法として「山登り法」が用いられる。図2-3にそのフローチャートを示す。まず初めに、検出した電圧・電流より初期電力 P_0 を演算により求める。次に、昇圧回路のスイッチのDuty比を変動させることにより、太陽光パネルの出力電圧を ΔV 変化させる。 ΔV 変化させた時の電力 P_1 を演算により求め、以前の電力 P_0 と比較する。出力電圧の変化前に比べ電力が増加した場合は更に ΔV 変化させ、電力が減少した場合には ΔV の符号を負にし、出力電圧を減少させる事で最大電力点を探索、追従する。これによりPWM制御法に比べ、最大電力点に近い電圧値で発電が可能になる。一方でMPPT制御法の場合は電圧・電流の検出回路や制御装置等が必要となるために、PWM制御法に比べ、コストが高くなるという欠点がある。また、部分影等により太陽光パネルの出力特性に電力点のピークが複数現れた場合は、最適動作点に到達できない場合がある。

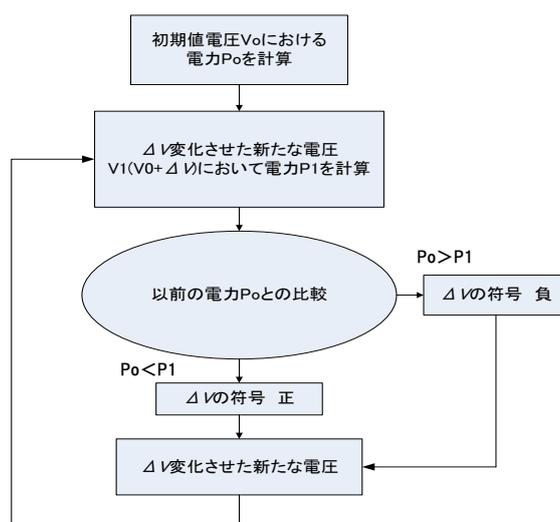


図 2-3 山登り法フローチャート

2.1.2 パワーデカップリング機能の必要性

次に、発電コントローラを含む昇圧回路と、パワーコンディショナの関係について述べる。初めに、パワーコンディショナを構成する単相系統連系インバータの出力電力特性を示す。力率1、即ち系統電圧 v_{AC} の位相 ωt に対して系統電流 i_{AC} が同位相である状態において、系統電圧 v_{AC} 、系統電流 i_{AC} 、その時の瞬時出力電力 p_{AC} はそれぞれ式(2.1)～(2.3)のように表される。また、その各波形を図2-4(a)に示す。

$$v_{AC} = \sqrt{2}V_{AC} \cos \omega t \quad (2.1)$$

$$i_{AC} = \sqrt{2}I_{AC} \cos \omega t \quad (2.2)$$

$$\begin{aligned} p_{AC} &= v_{AC} \times i_{AC} \\ &= 2V_{AC}I_{AC} \cos^2 \omega t \\ &= V_{AC}I_{AC} + V_{AC}I_{AC} \cos 2\omega t \end{aligned} \quad (2.3)$$

また、低力率、即ち v_{AC} の位相 ωt に対して、 i_{AC} が進みまたは遅れ位相となっている状態における系統電流 i_{AC} 、その時の瞬時出力電力 p_{AC} はそれぞれ式(2.4)、(2.5)で表される。また、その各波形を図2-4(b)に示す。

$$i_{AC} = \sqrt{2}I_{AC} \cos(\omega t - \Delta\theta) \quad (2.4)$$

$$\begin{aligned} p_{AC} &= v_{AC} \times i_{AC} \\ &= 2V_{AC}I_{AC} \cos \omega t \times \cos(\omega t - \Delta\theta) \\ &= V_{AC}I_{AC} \cos \Delta\theta + V_{AC}I_{AC} \cos(2\omega t - \Delta\theta) \end{aligned} \quad (2.5)$$

ここで、 V_{AC} は出力電圧実効値、 I_{AC} は出力電流実効値、 ω は系統の角周波数、 $\Delta\theta$ は力率角を表している。(2.3)及び(2.5)式から、力率1及び低力率において瞬時出力電力は直流成分と商用周波数の2倍の周波数で脈動する脈動成分を含んでいることが分かる。一般的に、パワーエレクトロニクス回路において損失を無視できる場合、主回路の瞬時入力電力と瞬時出力電力は一致する。そのため、太陽光パネルと昇圧回路が単相インバータに直接接続された場合、インバータ入力電力に商用周波数の2倍の周波数で脈動が現れる。このパワーコンディショナにおける入力電力の脈動は発電コントローラであるMPPT制御等の発電コントローラに悪影響を及ぼす。図2-5(a)に太陽光パネルの電力 P —

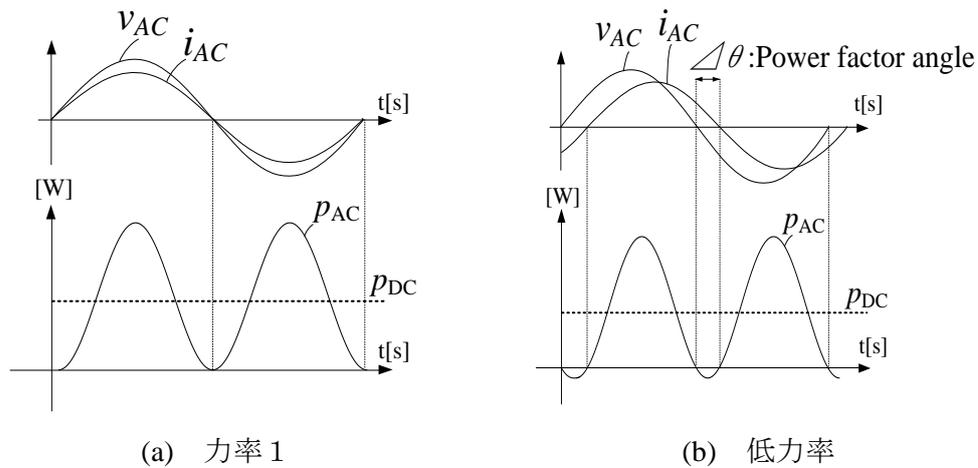


図 2-4 出力電力特性

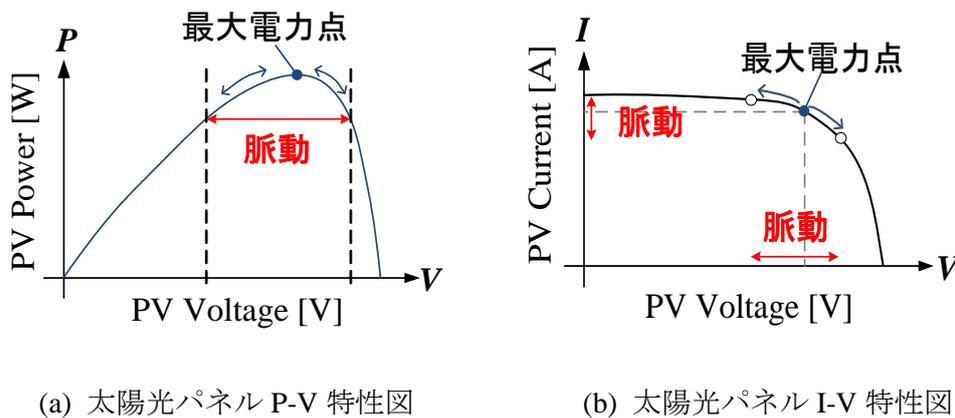


図 2-5 太陽光パネル特性図

電圧 V 特性図、図2-5(b)に太陽光パネルの電流 I —電圧 V 特性図を示す。パワーコンディショナにおいて瞬時出力電力の脈動が入力側に伝わるのと同様に、パワーコンディショナの入力に電力脈動が現れると太陽光パネルから出力される電力も脈動してしまう。この太陽光パネルの電力脈動によって、MPPT制御等の発電コントローラは最大電力点を追従する事が困難になり、太陽光パネルからの供給電力の低下を招く。このことから、発電コントローラの制御性を維持するためにはパワーコンディショナから伝わる電力脈動を低減する必要がある。

このパワーコンディショナからの電力脈動を低減するために、図2-6に示すようにパワーコンディショナの入力部には、脈動電力吸収機能、即ちパワーデカップリング機能

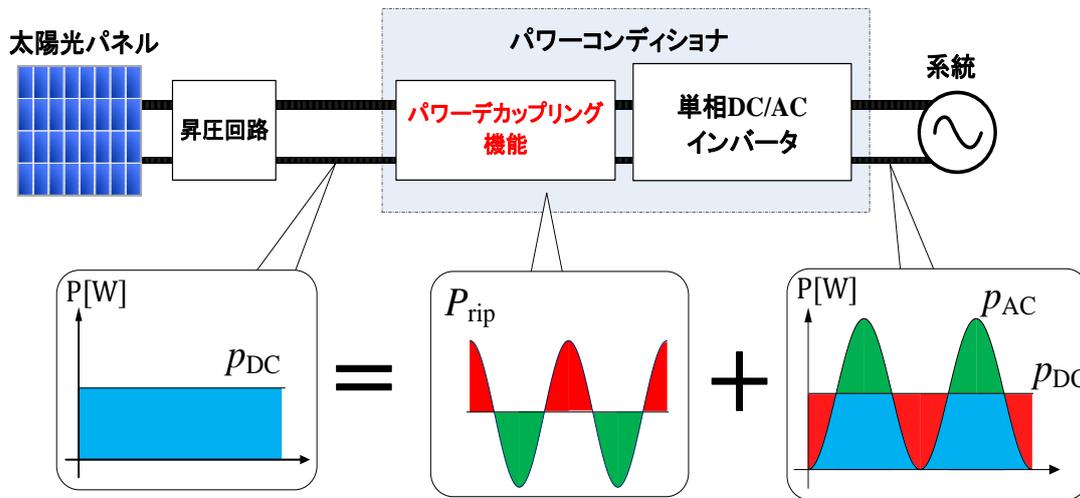


図 2-6 パワーデカップリング機能を有する家庭用太陽光発電システム

が必要となる。パワーデカップリング機能部が脈動電力を吸収するにあたって、式(2.3)及び式(2.5)で示されるパワーコンディショナの瞬時出力電力式のうち、脈動成分 p_{rip} を分離し、パワーデカップリングによって吸収する必要がある。式(2.6)に力率1における脈動電力 p_{rip} の式、式(2.7)に低力率における脈動電力 p_{rip} の式をそれぞれ示す。

$$p_{rip} = -V_{AC}I_{AC} \cos 2\omega t \quad (2.6)$$

$$p_{rip} = -V_{AC}I_{AC} \cos(2\omega t - \Delta\theta) \quad (2.7)$$

これにより、パワーコンディショナの入力では脈動が発生しなくなる。この時の入力電力は p_{DC} となり、力率1での p_{DC} は式(2.8)、低力率における p_{DC} は式(2.9)で表される。

$$p_{DC} = V_{AC}I_{AC} \quad (2.6)$$

$$p_{DC} = V_{AC}I_{AC} \cos \Delta\theta \quad (2.7)$$

2.2 長寿命化

パワーデカップリング機能を有したパワーコンディショナによって、MPPT制御性が維持され、太陽光パネルから最大限の電力を供給可能となる。パワーコンディショナにはMPPTの高い制御性に加え、部品交換によるコストや信頼性等の観点から「長寿命」である事が要求される。そこで、従来のPPD方式によるパワーデカップリング機能と本研究で採用しているAPD方式のパワーデカップリング機能について述べ、長寿命化手法を説明する。

2.2.1 PPD方式

図2-7 PPD方式のパワーコンディショナにPPD方式のパワーコンディショナを示す。PPD方式では、パワーコンディショナの入力部に大容量の電解コンデンサを接続する事で、入力電力の脈動を平滑化する手法である。この方式は、APD方式に比べ、設計がシンプルである事や特別な制御を必要としない事などの利点がある。現在市販されているパワーコンディショナの多くはこの方式を採用しており、この手法により高いMPPT制御性を実現している。しかし、電解コンデンサの寿命は温度依存性が高く、式(2.8)で示されるアレニウス則に従って寿命が推定される。ここで、 L は実使用時の寿命、 L_0 は定格温度での寿命、 T_{max} は定格温度、 T_a は周囲温度を表している。式(2.8)によると例えば電解コンデンサの使用温度が 10°C 上がると、寿命はおよそ半分になる。

$$L = L_0 \times 2^{\frac{T_{max}-T_a}{10}} \quad (2.8)$$

ここで、PPD方式におけるコンデンサ容量の計算を行う。まず初めに、入力部の電解コンデンサが充電する脈動電力量を計算により求める。図2-8に脈動電力 p_{rip} の波形を示す。図2-8の赤い部分が電解コンデンサの充電電力量となる。この充電電力量を式(2.9)に示すように計算する。

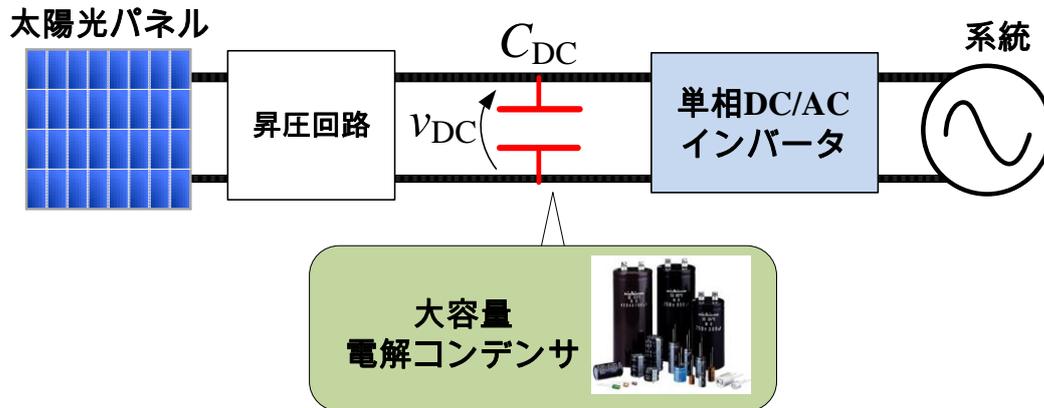


図 2-7 PPD 方式のパワーコンディショナ

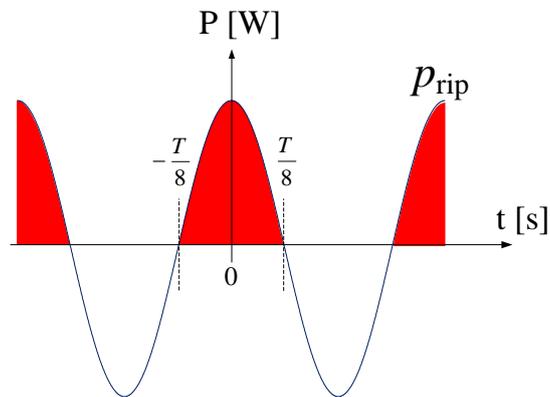


図 2-8 脈動電力波形

$$W_X = \int_{-\frac{T}{8}}^{\frac{T}{8}} p_{rip} dt = \int_{-\frac{T}{8}}^{\frac{T}{8}} V_{AC} I_{AC} \cos 2\omega t dt$$

$$= \frac{V_{AC} I_{AC}}{\omega} \tag{2.9}$$

$$p_X = C_{DC} v_{DC} v_{rip} \tag{2.10}$$

次に、電解コンデンサの充電エネルギー p_X はコンデンサの静電容量 C_{DC} とコンデンサにかかる平均電圧 v_{DC} 、コンデンサ電圧リプル v_{rip} によって式(2.10)で表される。この式において、 v_{rip} によって太陽光パネルの電圧変動が生じるために v_{rip} をできるだけ小さくする必要がある。そのために、PPD方式では大容量のコンデンサを適用し、 C_{DC} を大きくする事で v_{rip} を低減している。

静電容量 C_{DC} は式(2.9)及び式(2.10)の連立によって式(2.11)で求まる。

$$C_{DC} = \frac{V_{AC} I_{AC}}{\omega v_{DC} v_{rip}} \text{ [F]} \quad (2.11)$$

例えば、本研究で想定している定格条件(入力電圧 $v_{DC} = 200 \text{ V}$ 、出力電力 $p_{AC} = 1 \text{ kW}$ ($V_{AC} = 100 \text{ V}$ 、 $I_{AC} = 10 \text{ A}$ 、 $f = 50 \text{ Hz}$))の場合、太陽光パネルの出力電圧変動率を3%以内($v_{rip} = 200 * 0.03 = 6.0 \text{ V}$)とするには、 $C_p \approx 2650 \text{ uF}$ のデカップリングコンデンサが必要である。PPD方式では大容量のコンデンサが必要となるため、容易に容量を稼げる電解コンデンサを適用するケースが多い。

しかし、一般的に太陽光パネルの寿命は20年程度であるのに対し、電解コンデンサの寿命は数~10年程度であるため、電解コンデンサの部品交換によるコスト増大を招く。また、電解コンデンサの寿命低下によって静電容量が減少するため、太陽光パネルの出力電圧変動率が年々増加してしまいMPPTの効率低下を招く。近年では、屋外設置型のパワーコンディショナが各メーカから出されており、高温での動作も要求されるため、電解コンデンサは装置の寿命を低下させる要因となっている。

2.2.2 APD方式

PPD方式の欠点であった寿命を改善するために、APD方式のパワーコンディショナの研究が多数行われている。即ち、大容量電解コンデンサを使用しないパワーデカップリング方式をAPD方式と呼ぶ。図2-9にAPD方式のパワーコンディショナを示す。

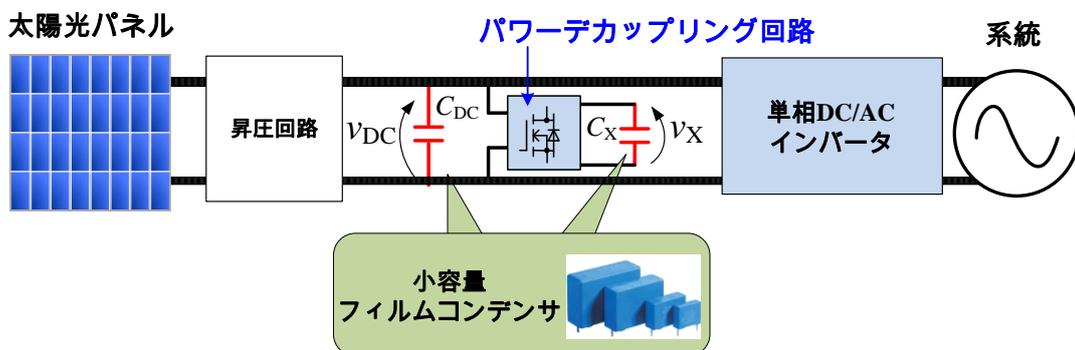


図 2-9 APD 式のパワーコンディショナ

図2-9に示すように、パワーコンディショナの入力部にパワーデカップリング回路を

追加し、デカップリングコンデンサ C_X に脈動電力を充電する事で入力部での脈動を低減している。また、図2-9における C_{DC} はインバータのスイッチングによる入力部でのリップルを平滑化するものである。デカップリングコンデンサ C_X の瞬時電力 p_{XX} は式(2.10)で表される。

$$p_{XX} = C_X v_X \frac{dv_X}{dt} \quad (2.12)$$

パワーデカップリング回路はチョッパ回路で構成されており、デカップリングコンデンサは、入力側から独立しているため、デカップリングコンデンサ電圧 v_X や電圧リップル $\frac{dv_X}{dt}$ 大きな値に設定する事が出来る。その結果、式(2.12)よりコンデンサ容量 C_X を小さくする事が出来るため、寿命という概念のないフィルムコンデンサが適用可能となり、パワーコンディショナの長寿命化が実現可能となる。一般的に、フィルムコンデンサは高価であり、同容量の電解コンデンサと比較して体積が大きいですが、APD方式では低静電容量のコンデンサが適用できるため、フィルムコンデンサを用いる事が出来る。

一方で、APD方式では半導体素子で構成されるパワーデカップリング回路が追加されるために、PPD方式と比較してパワーコンディショナの電力変換効率が低下する。また、デカップリングコンデンサの電圧・電流の制御等において複雑な制御が必要となり、システム全体として高度な技術が要求される。

2.3 APD方式における高効率化手法

APDの欠点である変換効率の低下を改善するために、先行研究で取り組まれたAPD方式の高効率化手法について述べる。ここでは高効率化手法の1つとして考案された昇降圧形パワーデカップリング回路について説明する。APD方式におけるパワーコンディショナはこれまで多数の研究がなされてきているが、その多くがパワーデカップリング回路に昇圧チョッパ回路を適用している[7][8][9]。しかし、先行研究ではパワーデカップ

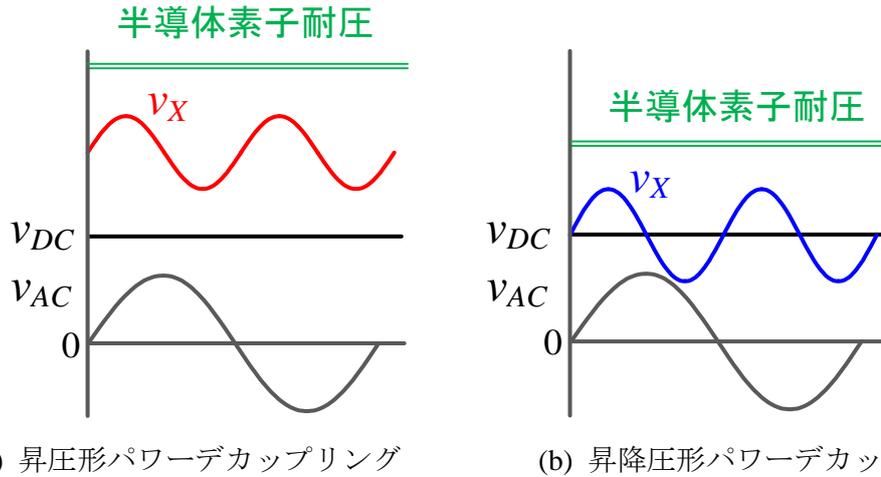


図 2-10 昇圧形・昇降圧形パワーデカップリングの比較

リング回路に昇降圧チョッパ回路を適用している[11]。図2-10に昇圧形と昇降圧形のパワーデカップリング回路の比較波形を示す。昇圧形の場合、デカップリングコンデンサ電圧 v_X は入力電圧 v_{DC} に比べ高くなる。一方で、昇降圧形の場合、 v_X は v_{DC} に比べ低くなる事が可能である。この結果、昇降圧形では昇圧形に比べ v_X が低いため、半導体素子の耐圧を低く設計することが出来る。耐圧低減により、半導体素子のオン抵抗が低減されるため、導通損失が低減する。さらにスイッチ素子であるMOSFETのドレインソース間電圧が低減されることにより、スイッチング損失も低減される。しかし、昇降圧形の場合 v_X が系統電圧 v_{AC} よりも常に高くなるように設計する必要がある。 v_X が v_{AC} よりも低くなると、デカップリングコンデンサから系統に電力を放電する事が出来なくなり、パワーデカップリングが正常に機能しなくなるためである。

そこで、昇圧形と昇降圧形において、 v_X の電圧範囲についてと半導体素子耐圧の低減量について述べる。まず初めに、デカップリングコンデンサ電圧 v_X の瞬時式を求める。デカップリングコンデンサに蓄積されるエネルギーは脈動電力に等しくなるため、式(2.13)に示す方程式が成り立つ。この方程式を v_X について解くと、 v_X の瞬時式は式(2.14)で表される。ここで、 V_X^* はデカップリングコンデンサ電圧の指令値を表し、デカップリングコンデンサはこの電圧を中心にリプル電圧を持って脈動する。

$$C_x v_X \frac{dv_X}{dt} = -V_{AC} I_{AC} \cos 2\omega t \quad (2.13)$$

$$v_X(t) = \sqrt{-\frac{V_{AC}I_{AC}}{2\omega C_X} \sin 2\omega t + V_X^{*2}} \quad (2.14)$$

ここで、昇圧形パワーデカップリング回路の場合は、 v_X の最小値 v_{Xmin} が入力電圧 v_{DC} 以上になるように V_X^* を設定する必要がある。式(2.15)に v_{Xmin} と v_{DC} の不等式を示し、その結果から得られる V_X^* の設定範囲を式(2.16)に示す。

$$v_{Xmin} = \sqrt{-\frac{V_{AC}I_{AC}}{2\omega C_X} + V_X^{*2}} \geq V_{DC} \quad (2.15)$$

$$V_X^* \geq \sqrt{V_{DC}^2 + \frac{V_{AC}I_{AC}}{2\omega C_X}} \quad (2.16)$$

昇降圧形パワーデカップリング回路の場合は、 v_X が常に系統電圧 v_{AC} 以上になるように V_X^* を設定する必要がある。式(2.17)に v_X と v_{DC} の不等式を示し、その結果から得られる V_X^* の設定範囲を式(2.18)に示す。

$$v_X(t) = \sqrt{-\frac{V_{AC}I_{AC}}{2\omega C_X} \sin 2\omega t + V_X^{*2}} \geq v_{AC} \quad (2.17)$$

$$V_X^* \geq \sqrt{v_{AC}^2 + \frac{V_{AC}I_{AC}}{2\omega C_X} \sin 2\omega t} \quad (2.18)$$

式(2.16)と式(2.18)から、昇圧形と昇降圧形のパワーデカップリング回路において、デカップリングコンデンサ容量と電圧の関係から、最大電圧値を比較する事で、半導体素子耐圧の低減量を求める。図2-11にデカップリングコンデンサ容量と電圧の関係を示す。本研究で想定している定格条件(入力電圧 $v_{DC} = 200$ V, 出力電力 $p_{AC} = 1$ kW ($V_{AC} = 100$ V, $I_{AC} = 10$ A, $f = 50$ Hz))において、デカップリングコンデンサを $50\mu\text{F}$ と選定した場合のパワーデカップリング回路の動作領域について考える。図2-11(a)に示す昇圧形の場合は V_X^* の下限値は $V_X^* = 320$ Vとする必要があり、この場合 v_X の最大電圧は $v_X = 440$ Vとなる。一方で、昇降圧形の場合、 V_X^* の下限値は $V_X^* = 235$ Vとする必要があり、この場合 v_X の最大電圧は $v_X = 370$ Vとなる。この結果昇圧形の最大電圧値 440 Vに対して、昇降圧形の最大電圧値は 370 Vであるため、およそ 70 Vの最大電圧低減となる。これより、 70 Vの半導

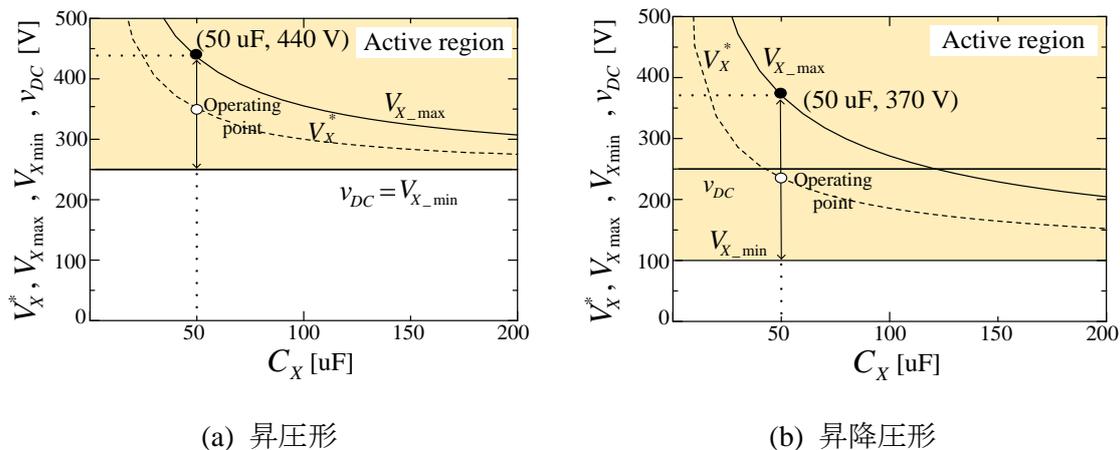


図 2-11 デカップリングコンデンサ容量と電圧の関係

体素子耐圧低減が可能となり、パワーコンディショナの導通損失スイッチング損失の低減が実現可能となる。

2.4 LVRT機能

家庭用のパワーコンディショナは単相系統連系インバータによって構成されており、系統の電圧及び周波数に同期して動作する。そのため、系統の周波数変動や電圧変動に対して、パワーコンディショナは通常とは異なる動作をする可能性がある。例えば、系統電圧の瞬時低下(瞬低)の際には、パワーコンディショナは瞬低前と等しい電力量を系統に供給しようとするために、パワーコンディショナの出力側では過電流が発生し、装置の破壊などにつながる可能性がある。そのため、パワーコンディショナには、系統の周波数変動や電圧変動に対して安全に動作する事が要求される。さらに、太陽光パネルで発電される電力を最大限系統や負荷に供給するために、装置の運転継続性も重要となる。現在は、パワーコンディショナの安全性及び運転継続性の2つの性能を実現するために、系統連系規定[16][17]により様々な要件が定められている。ここでは、その一つであるLVRT要件について述べ、2種類のLVRT達成方式の仕組み・有用性について比較する。さらに「MPPT制御性」と「長寿命」を両立するAPD方式のパワーコンディショナにおいて「LVRT機能」を付加するために低力率運転が要求されることを示す。

2.4.1 LVRT要件

LVRT 要件とは、Low Voltage Ride Through 要件の略称であり、即ち、短時間の系統電圧の瞬時低下に対して、パワーコンディショナが運転を継続する要件である。さらに、電圧復帰後、規定時間内に出力を回復する事も要求される。図 2-12、図 2-13 に LVRT 要件のイメージ図を示す。それぞれ 2017 年 3 月までの LVRT 要件と 2017 年 4 月以降の LVRT 要件を示す。2017 年 4 月以降の要件に焦点を当てると、図 2-13(a)に示すように「1 秒以内」かつ「残電圧 20%以上」の系統電圧瞬低に対して、パワーコンディショナは運転を継続し、さらに電圧復帰後「0.1 秒以内」に「電圧瞬低前の 80%の出力」まで回復する要件となっている。また、図 2-13(b)に示すように「20%未満の残電圧」に対しては、ゲートブロックによりパワーコンディショナを停止させ、電圧復帰後は「1 秒以内」に「電圧瞬低前の 80%の出力」まで復帰するように定められている。以上より、パワーコンディショナにはこの要件に対応した機能（LVRT 機能）が要求される。

また、系統連系規定には、系統の周波数変動に対する要件も存在し、LVRT要件と合わせてFault Ride Through (FRT)要件とも称されるがここでは、周波数変動に対する要件は割愛する。

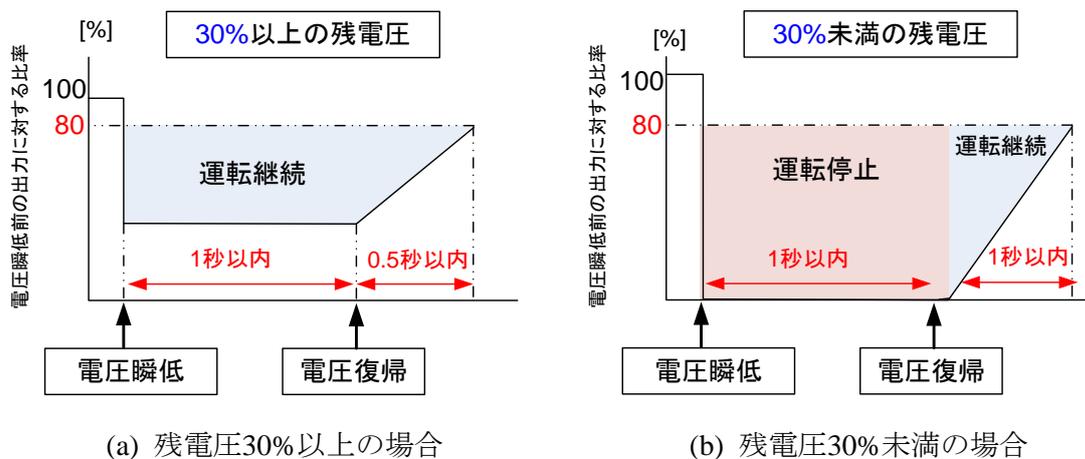
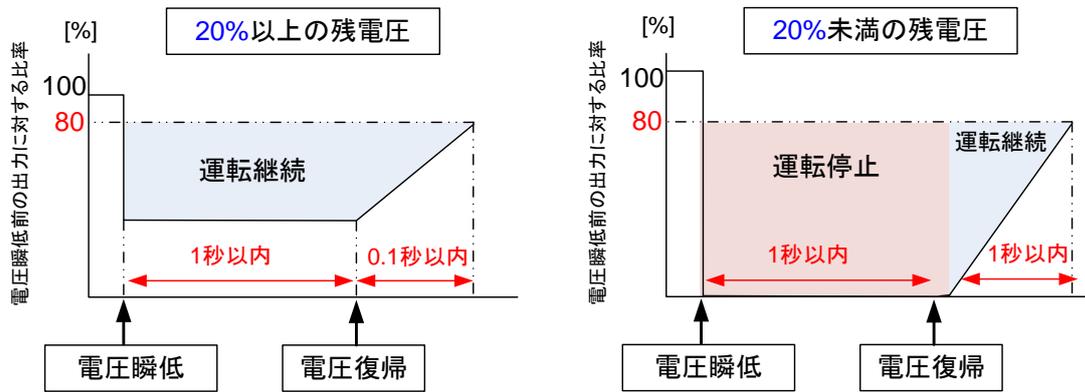


図 2-12 LVRT 要件イメージ図 (2017 年 3 月までに連系する太陽光発電設備)



(a) 残電圧20%以上の場合

(b) 残電圧20%未満の場合

図 2-13 LVRT 要件イメージ図 (2017 年 4 月以降に連系する太陽光発電設備)

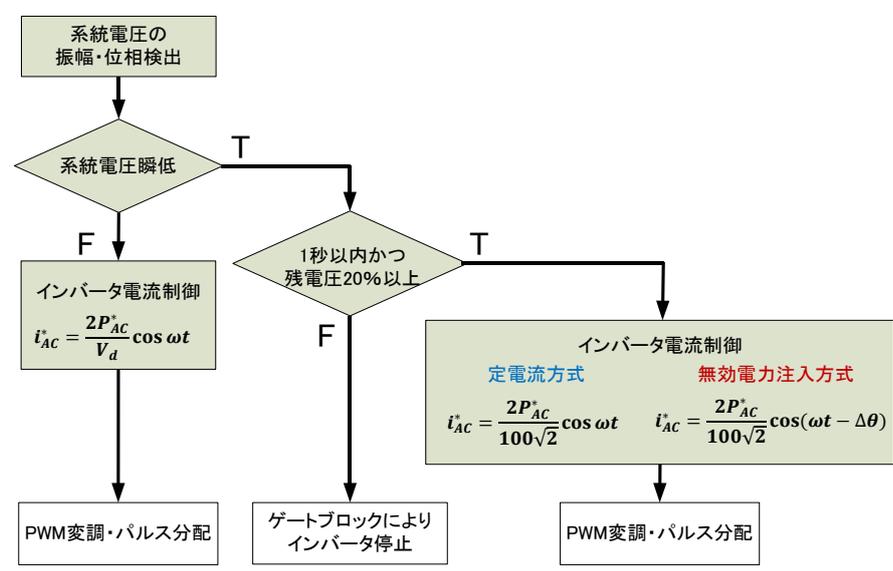


図 2-14 LVRT 機能フローチャート

2.4.2 LVRT要件の達成方式

パワーコンディショナに LVRT 機能を付加するために、PPD 方式のパワーコンディショナでは「定電流方式」と「無効電力注入方式」の2つの方式が適用されている。ここでは2つの方式の仕組みとその有用性について比較・検討する。

図 2-14 に LVRT 機能のフローチャートを示す。系統電圧の瞬低が無い場合は、パワーコンディショナは通常の動作を行う。パワーコンディショナのインバータ部では、インバータ出力電流の制御が行われており、その指令値 i_{AC}^* は式(2.19)で表される。

$$i_{AC}^* = \frac{2P_{AC}^*}{V_d} \cos(\omega t) \quad (2.19)$$

ここで P_{AC}^* は電力指令値、 V_d は系統電圧の振幅、 ω は系統の角周波数を表している。式(2.19)から分かるように、 i_{AC}^* の振幅は P_{AC}^* 一定とすると系統電圧振幅 V_d に反比例することが分かる。即ち、系統電圧の瞬低が起きると、 i_{AC}^* の振幅は増大し、インバータの出力部に過電流が流れてしまう。

そこで、定電流方式では1秒以内の系統電圧の瞬低を検知した際に、 i_{AC}^* を式(2.20)に表されるように変更する事で、インバータ出力部での過電流を防止する。定電流方式では、系統電圧瞬低の際に、瞬低前と同様の振幅の電流を流すために、電力指令 P_{AC}^* を瞬低前の系統電圧振幅(100V系の場合、振幅は $100\sqrt{2}V$)で除する事で過電流を防止する。

$$i_{AC}^* = \frac{2P_{AC}^*}{100\sqrt{2}} \cos(\omega t) \quad (2.19)$$

一方で、無効電力注入方式では、定電流方式と同様、瞬低前と同様の振幅の電流を流すのに加え、低力率で運転する事により無効電力を注入する。式(2.20)に無効電力注入方式における電流指令値 i_{AC}^* を示す。

$$i_{AC}^* = \frac{2P_{AC}^*}{100\sqrt{2}} \cos(\omega t - \Delta\theta) \quad (2.19)$$

上式において、 $\Delta\theta$ は力率角を表している。

ここで、インバータ出力部のフェーザ図を考える事により、無効電力注入の利点を述べる。図2-15に、単相系統連系インバータの回路図、図2-16に定電流方式と無効電力注入方式のフェーザ図を示す。定電流方式では、系統電圧の瞬低後に力率1の状態で開催されるため、図2-16(a)に示すようにインバータの出力電圧 V_{inv} は系統の瞬低前と比較して大きく降下する。パワーコンディショナの出力は系統と並列に家庭電気製品等も連系されているため、 V_{inv} の電圧降下はそれらの装置の運転停止等の影響を与えてしまう。一方で、無効電力注入方式では、系統電圧の瞬低後に低力率で運転されるため、図2-16(b)に示すようにインバータの出力電圧 V_{inv} は定電流方式に比べて保持される。この結果、系統に並列接続されている家庭機器等の運転を継続させることが出来る。以上より、

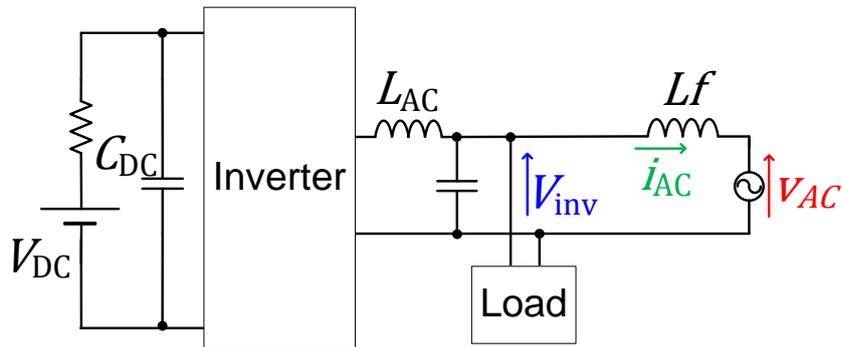


図2-15 単相系統連系インバータ

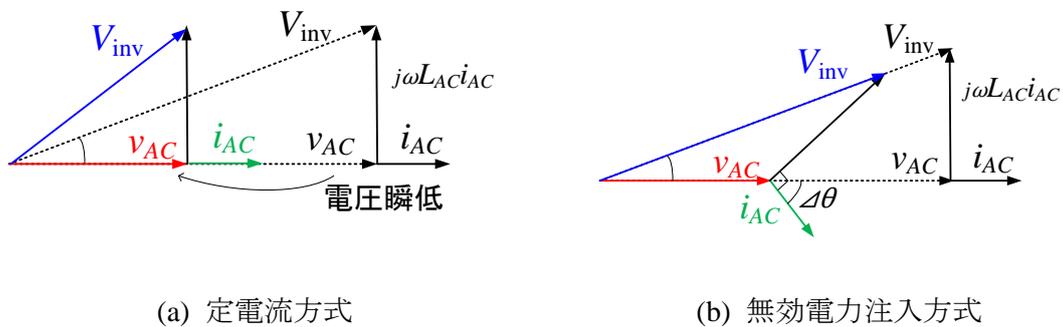


図 2-16 インバータ出力部における電圧瞬低時のフェーザ図

LVRT 機能を達成するために、2つの方式について説明したが、系統電圧瞬低後も V_{inv} が保持されやすいために、無効電力注入方式の方が有用性があると言える。

しかし、無効電力注入方式ではパワーデカップリング回路の低力率運転が必要となる。そのため、「MPPT 制御性」と「長寿命化」を両立する APD 方式のパワーコンディショナにおいて、「LVRT 機能」を付加するためには APD 方式における低力率動作特性を検証する事が重要となる。

2.5 受電点電圧上昇抑制機能

2012年7月より家庭用太陽光発電の固定価格買取制度が導入された[18]。これにより、各家庭の太陽光パネルで発電した電力の余剰分を系統に売電する事が可能となった。その結果、家庭用太陽光発電の導入が進んでいるが、一方で系統への売電が可能になると、

系統電圧が上昇してしまう問題が生じる。系統へ電力を売電する時には、配線抵抗や配線インダクタンスによって、パワーコンディショナから見た系統の電圧が上がってしまう。電気事業法により、系統電圧の許容変動範囲は標準電圧100V系では $101 \pm 6V$ 、標準電圧 200V では $202 \pm 20V$ と定められている[19]が、太陽光発電システムの普及により各過程が一斉に余剰電力を系統に売電すると、系統電圧は許容変動範囲を超えてしまう可能性がある。例えば、日照時間の長い昼頃には太陽光パネルでの発電量は高いにもかかわらず、昼ごろの家庭での消費電力は一日の中でも低くなる。その結果多くの家庭で余剰電力が発生し、系統へ電力を売電するようになり系統の電圧上昇を引き起こしてしまう。系統電圧が許容変動範囲を逸脱すると、パワーコンディショナは停止し、系統電圧が許容範囲に戻るまで太陽光パネルからの電力供給が出来なくなってしまう恐れがある。図 2-17 変電所からの距離に対する受電点電圧に、変電所までの距離に対する受電点電圧のグラフを示す。

図 2-17 変電所からの距離に対する受電点電圧図 2-17 の赤線に示すように系統からの電力供給時には、変電所までの距離に対して、受電点電圧は減少していく。一方で、

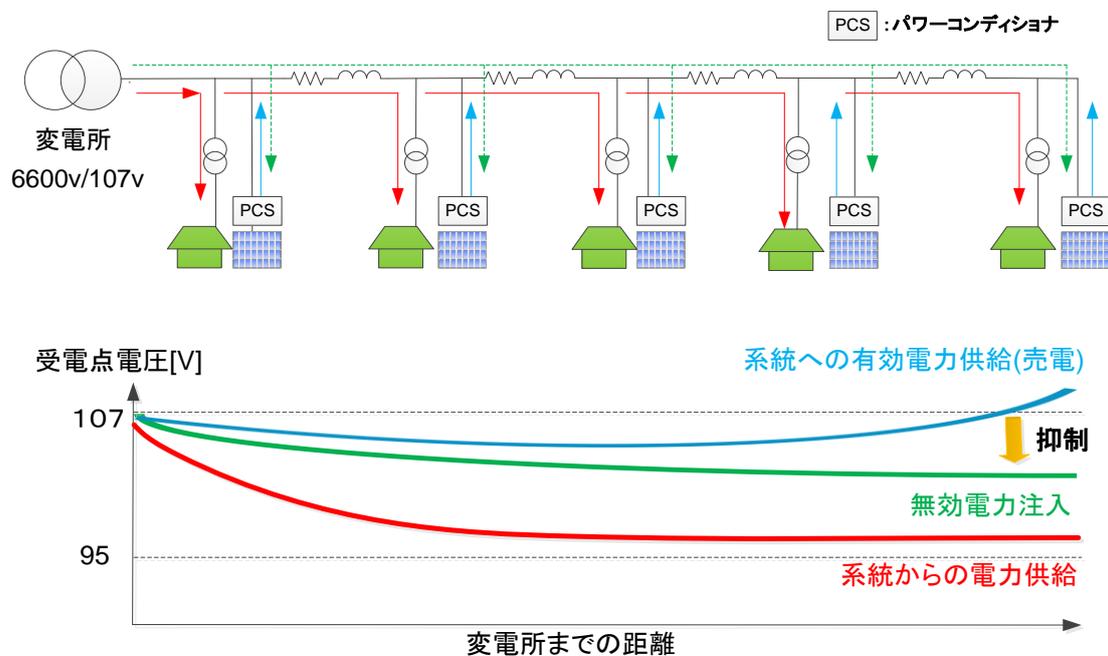


図 2-17 変電所からの距離に対する受電点電圧

青線に示すように、パワーコンディショナから系統へ有効電力供給、即ち売電が一斉に行われると、受電点電圧は上昇しパワーコンディショナが停止してしまう。

そのため、パワーコンディショナには系統の電圧上昇を抑制するために、「受電点電圧上昇抑制機能」が要求されている。具体的には、系統の電圧上昇時に各家庭のパワーコンディショナが低力率で運転し、無効電力を発生させることで系統の電圧上昇を抑制する事が可能となる。無効電力の注入によって、配線抵抗や配線インダクタンスでの電圧降下の振幅や位相が調節可能となるため、系統インピーダンスでの電圧降下振幅が小さくなるような力率で運転する事で、系統電圧の上昇を抑制する事が出来る。

以上の事より、パワーコンディショナには低力率運転により系統インピーダンスでの電圧降下を調節する事が要求される。従来の PPD 方式では、力率制御可能なパワーコンディショナ等も導入され、「LVRT 機能」や「受電点電圧上昇抑制機能」等が付加されているが、APD 方式のパワーコンディショナでは、低力率運転下における動作検証がなされていない。「MPPT 制御」かつ「長寿命化」が可能な APD 方式において、「LVRT 機能」や「受電点電圧上昇抑制機能」を付加するためには、APD 方式のパワーコンディショナにおける低力率動作検証が極めて重要となる。

2.6 まとめ

本章では、家庭用太陽光発電のパワーコンディショナに要求される機能について纏めた。単相系統連系インバータの入力部に脈動電力が発生する原理を理論的に述べ、入力部の電力脈動が太陽光パネルの MPPT 制御に悪影響を及ぼす事を説明した。その MPPT の制御性と長寿命化を両立するために、APD 方式のパワーコンディショナが適する理由を述べ、更に APD 方式の欠点である回路変換効率を改善するために、先行研究で取り組まれた APD 方式の高効率化手法について説明した。一方で、系統電圧の瞬低に対するパワコンの機能として「LVRT 機能」「無効電力注入方式」が要求されることを示し、またそのために低力率運転が要求されることを示した。そこから、APD 方式のパワーコンディショナにおける低力率運転の検証が必要である事を述べた。

第 3 章

主回路構成と動作原理

本章では、提案されるパワーデカップリング形パワーコンディショナの回路構成とその力率 1 及び低力率状態での動作原理について説明する。初めに、主回路構成と、各箇所の構成とその設計方法について述べ、次に、力率 1 及び低力率における動作原理を示す。最後に、ゲート駆動回路と各制御対象の検出回路の構成を示す。

3.1 主回路構成

図 3.1 に提案回路の主回路構成、表 3.1 に回路定数、表 3.2 に使用した半導体素子の一覧をそれぞれ示す。主回路構成は、太陽光パネルを模擬した直流入力部、入力電力の脈動を吸収するパワーデカップリング回路、直流電力を交流電力に変換する単相インバータ、LCL で構成されるローパスフィルタと系統によって構成されている。但し、系統インピーダンスは考慮しないものとする。直流入力部は直流電源 V_{DC} 、入力抵抗 R_{DC} で構成されており太陽光パネルを模擬している。パワーデカップリング回路は昇降圧チョッパ回路で構成されており、 C_{DC} と C_X にはフィルムコンデンサが適用されている。その他、追加スイッチ S_{X3} 、 S_{X4} や追加ダイオード D_{G1} 、 D_{G2} で構成される。パワーデカップリング回路ではスイッチ S_{X1} を動作させることで、入力電力の脈動をデカップリングコンデン C_X に充電し、また、放電する時には、放電用スイッチ S_{X2} を動作させることにより、放電電力を系統に供給する。単相インバータの出力は LCL フィルタで構成されており、その後系統の模擬電源に接続されている。

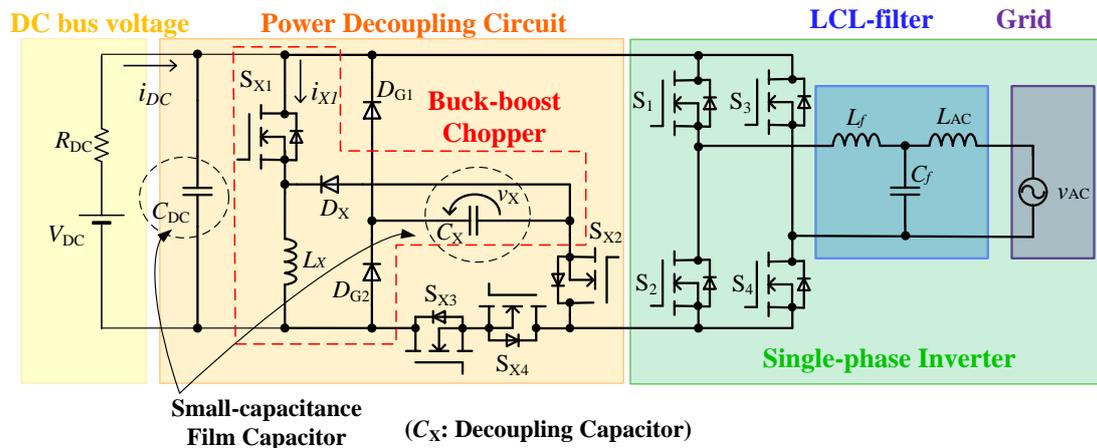


図 3-1 主回路構成

表 3-1 回路定数

直流入力電圧, V_{DC}	2 V
出力電力, P_{AC}	1 kW
出力電圧, V_{AC}	100 V
出力周波数, f_{AC}	50 Hz
キャリア周波数, f_{sw}	20 kHz
入力フィルタキャパシタンス, C_{DC}	30 μ F
デカップリングインダクタンス, L_X	500 μ H
デカップリングキャパシタンス, C_X	50 μ F
出力フィルタインダクタンス, L_f	2 mH
出力フィルタキャパシタンス, C_f	6.3 μ F
出力フィルタインダクタンス, L_{AC}	1.4mH

実験に用いた回路構成を図3.2に、回路写真を図3.3にそれぞれ示す。実験では、スイッチの保護としてS1にRCDクランプスナバ(R_{S1} , C_{S1} , D_{S1}), S2にRCDクランプスナバ(R_{S2} , C_{S2} , D_{S2}), インバータにRCD一括スナバ(R_{S3} , C_{S3} , D_{S3})を接続している。また、入力電圧 V_{DC} には直流電源はPWR1600M(KIKUSUI, 320 V, 25 A, 1600 W)を使用し、系統連系実験では、系統模擬電源としてシステム交流電源4400(メーカー：エヌエフ回路設計ブロック)を接続する。抵抗負荷実験では、出力に負荷抵抗(R_{AC})として、負荷抵抗器盤(メーカー：二和電気)を接続する。

3.2 主回路の動作原理

次に、主回路の動作原理について述べる。力率1及び低力率状態において、それぞれ主回路に流れるパワーフローを示し、パワーデカップリング回路が機能し入力電力脈動が低減できる事を示す。

3.2.1 力率1における主回路の動作原理

図3-2に力率1における出力電力特性を示す。瞬時出力電力波形 P_{AC} は式(2.3)によって描かれ平均電力波形 P_{DC} は式(2.3)の第1項から描かれる。力率1における回路動作は瞬時電力波形 P_{AC} と平均電力波形 P_{DC} の大小関係より、mode I ($P_{AC} < P_{DC}$)とmode II ($P_{AC} > P_{DC}$)に分けて動作を行う。図3-3にmode Iにおける電力フロー、図3-4にmode IIにおける電力フローを示す。mode Iでは、青のパワーフローで示すように S_{X3}, S_{X4} のスイッチを常にオン状態にする事で瞬時電力 P_{AC} を入力から系統へ供給する。更に、赤のパワーフローで示すように昇降圧チョップスイッチ S_{X1} を動作させることにより、入力からデカップリングコンデンサ C_X へ($P_{DC} - P_{AC}$)に相当する電力を充電する。mode IIでは、青のパワーフローで示すように S_{X3}, S_{X4} のスイッチを動作させることで P_{DC} を入力から系統へ供給する。更に、緑のパワーフローで示すように、放電用スイッチ S_{X2} を動作させることでデカップリングコンデンサ C_X の電力を放電し系統へ供給する。mode IIでは、 S_{X3}, S_{X4} と S_{X2} が同時にオン状態になってしまうと、デカップリングコンデンサ C_X から入力部へ電力が回生するパワーフローが出来てしまうために、 S_{X3}, S_{X4} と S_{X2} のゲート信号は時分割に制御される必要がある。mode I, mode IIにおいて入力からの供給電力は常に P_{DC} となり、入力電力一定で動作可能である。

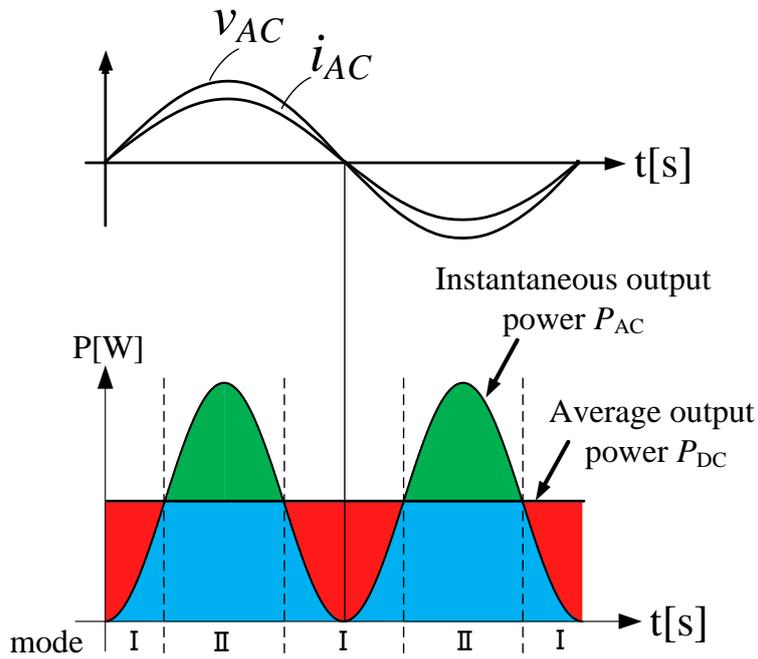


図 3-2 力率 1 における出力電力特性

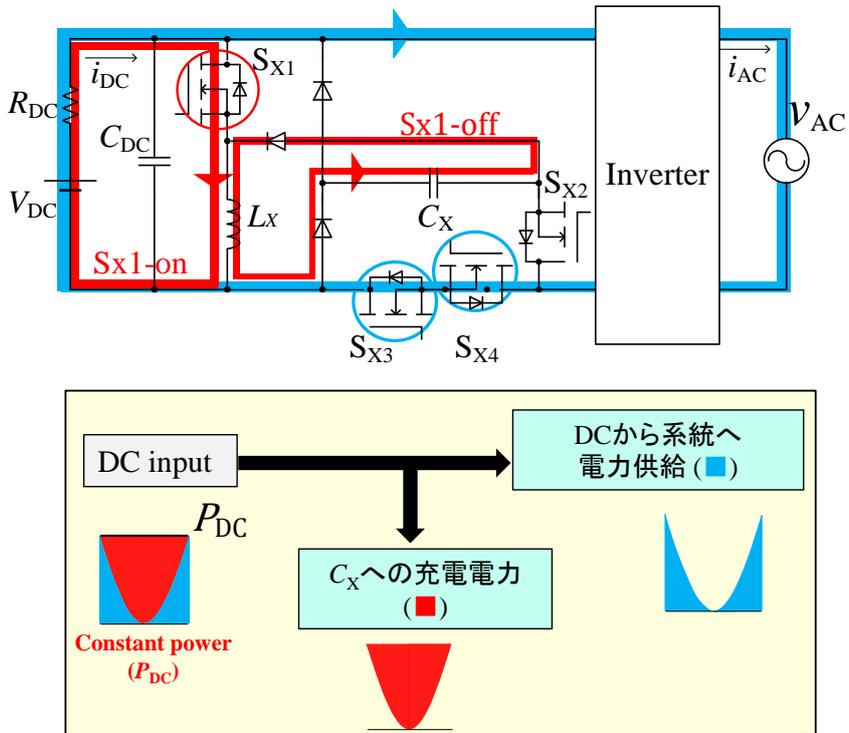


図 3-3 力率 1 におけるパワーフロー(mode I)

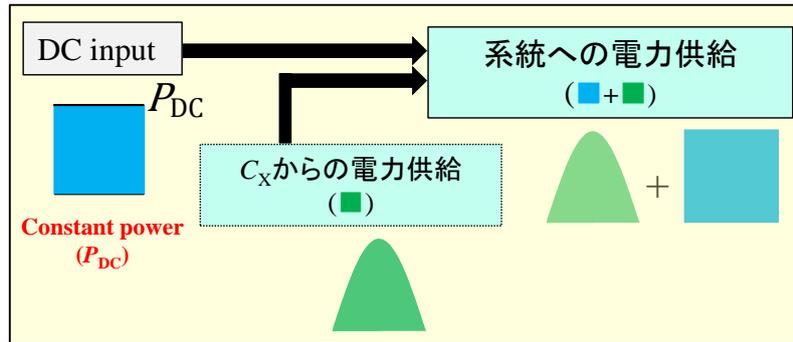
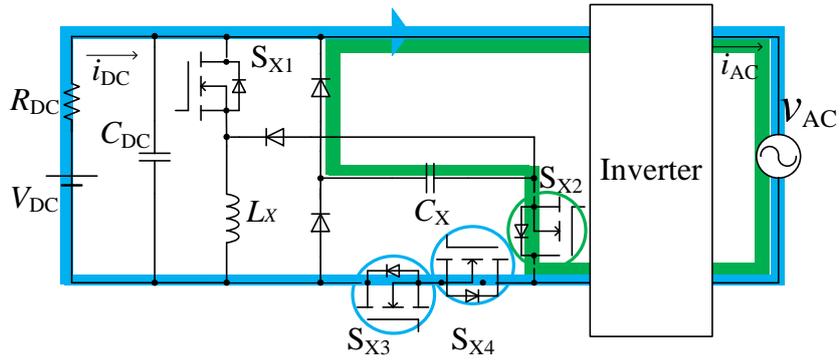


図 3-4 力率 1 におけるパワーフロー(mode II)

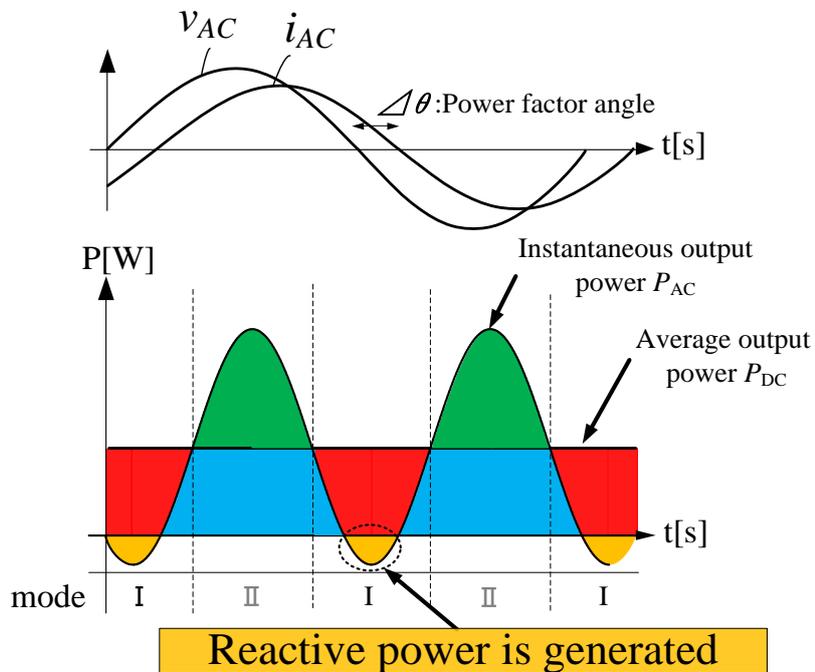


図 3-5 低力率における出力電力特性

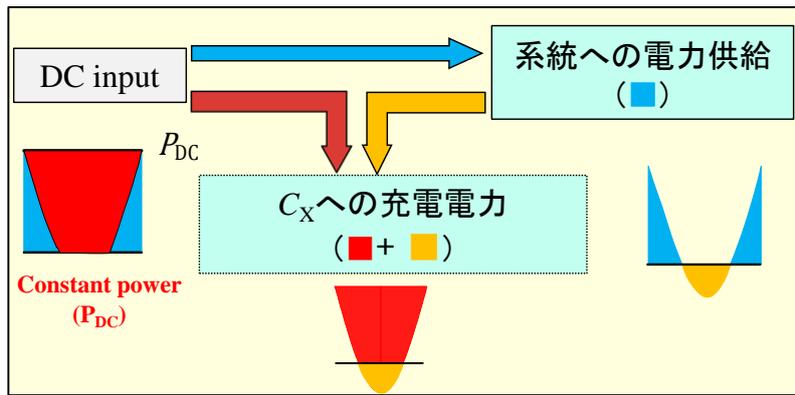
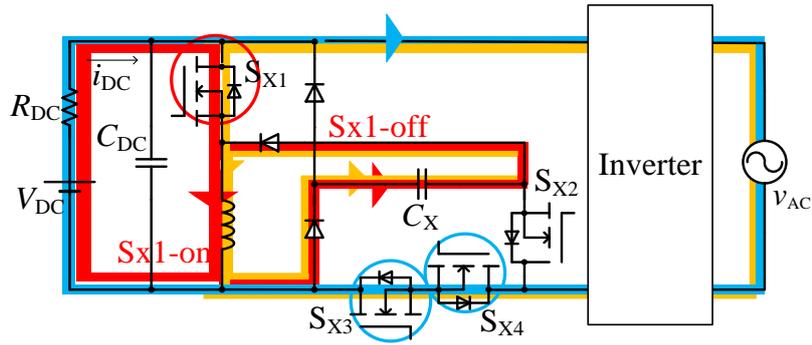


図 3-6 低力率におけるパワーフロー(mode I)

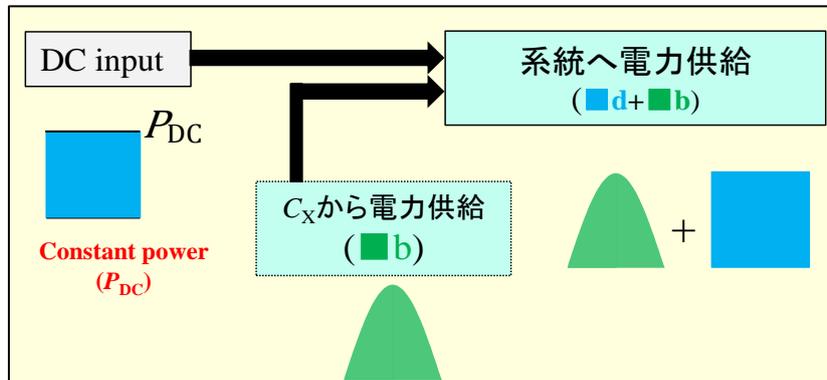
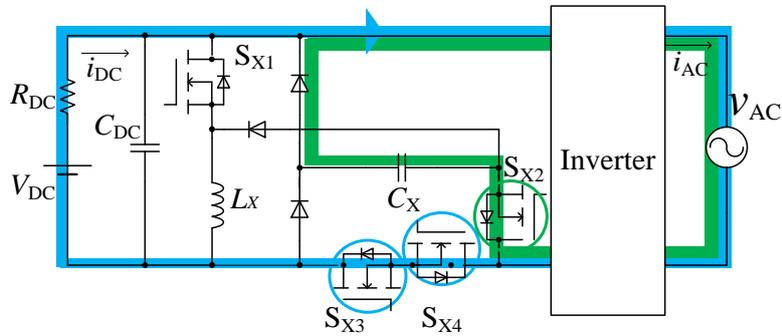


図 3-7 低力率におけるパワーフロー(mode II)

3.2.2 低力率における主回路の動作原理

図3-5に低力率における出力電力特性を示す。瞬時出力電力波形 P_{AC} は式(2.5)によって描かれ平均電力波形 P_{DC} は式(2.5)の第1項から描かれる。低力率の場合、力率1とは異なり無効電力が発生する区間が存在するため、無効電力の扱いが重要となる。低力率における回路動作は力率1と同様に、瞬時電力波形 P_{AC} と平均電力波形 P_{DC} の大小関係より mode I ($P_{AC} < P_{DC}$)と mode II ($P_{AC} > P_{DC}$)に分けて動作を行う。図3-6にmode I における電力フロー、図3-7にmode II における電力フローを示す。mode I では、青のパワーフローで示すように S_{X3}, S_{X4} のスイッチを常にオン状態にする事で瞬時電力 P_{AC} を入力から系統へ供給する。更に、赤と黄のパワーフローで示すように、昇降圧チョップスイッチ S_{X1} を動作させることにより、入力からの有効電力と、系統からの無効電力を合わせてデカップリングコンデンサ C_X へ充電する。mode II では、力率1と同様に、青のパワーフローで示すように S_{X3}, S_{X4} のスイッチを動作させることでPDCを入力から系統へ供給する。更に、緑のパワーフローで示すように、放電用スイッチ S_{X2} を動作させることでデカップリングコンデンサ C_X の電力を放電し系統へ供給する。この結果、低力率状態においてもmode I とmode II を通して、入力電力は P_{DC} で一定となるため、入力電力の脈動を低減できる。

以上より、提案回路は力率1及び低力率状態においてパワーデカップリング回路が機能し、入力電力の脈動を低減できる事を述べた。低力率において、無効電力が発生するのはmode I の区間であるため、mode I において入力からの有効電力と系統からの無効電力を合わせてデカップリングコンデンサ C_X に充電するように充電電力を制御する事が重要となる。

3.3 主回路素子の役割と設計

ここでは、追加スイッチ素子 S_{X3}, S_{X4} 、ダイオード D_{G1}, D_{G2} 、デカップリングコンデンサ C_X やインダクタ L_X, LCL フィルタの設計方法等について述べる。まず初めに、各スイッチとダイオードの役割について述べ、次にパワーデカップリング回路を構成するコンデンサ C 及びインダクタ L の設計方法を説明する。その後、インバータ出力側の LCL フィルタの設計手法と、実験回路で使用されるスナバ回路の設計手法について述べる。

3.3.1 スイッチ素子とダイオードの役割

ここでは、スイッチ素子とダイオードの役割について説明する。スイッチ素子には MOSFET 素子を適用しており pn 接合ダイオードが内蔵されている。ダイオードは全て pn 接合ダイオードを適用している。

ここで各素子の使用素子について述べる。スイッチ S_{X1} にかかる最大電圧は $(V_{DC} + v_X)$ であるために、全ての半導体素子の中で最も最大電圧が高くなる。そのため、このスイッチには IPW90R120C3 (Fuji Electric 耐圧 900V, オン抵抗 120m Ω) を選定した。その他の MOSFET においては FMW79N60S1FDHF (Fuji Electric 耐圧 600V オン抵抗 35m Ω) を選択した。また、ダイオードは全て MUR3060PTG (Sirectifier 耐圧 600V, 定格電流 30A) を選択した。

- スイッチ $S_1 \sim S_4$

スイッチ $S_1 \sim S_4$ は単相フルブリッジインバータ部におけるスイッチであり、直流—交流変換に用いられる。 $S_1 \sim S_4$ のゲート信号はインバータ電流制御から得られる変調信号 λ_X と 20kHz のキャリア信号を比較し、PWM 変調によって得られる。図 3-8 にインバータスイッチ動作を示す。左レグ (S_1, S_2) スイッチはキャリア周波数と同じ 20kHz で動作するのに対し、右レグスイッチ (S_3, S_4) スイッチは商用周波数と同じ 50Hz で動作する。 $\lambda_X > 0$ の時は、スイッチ S_4 は常にオン状態であり、 S_1 と S_2 は交互に動作する。一方で $\lambda_X < 0$ の時は、スイッチ S_3 は常にオン状態であり、 S_1 と S_2 は交互に動作する。

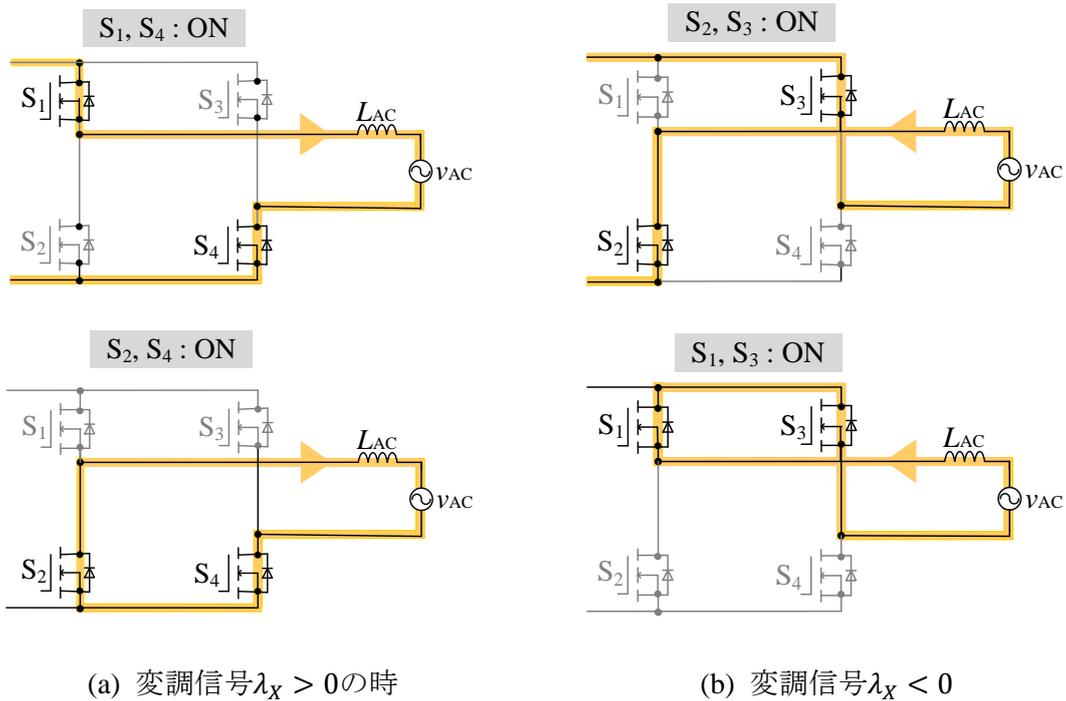


図 3-8 インバータのスイッチングパターン

- 充電用スイッチ S_{X1}

スイッチ S_{X1} はパワーデカップリング回路部における昇降圧チョッパ回路のスイッチであり、入力電力脈動をデカップリングコンデンサ C_X に充電するためのスイッチである。 S_{X1} がオンの時には、インダクタ L_X にエネルギーを蓄え、 S_{X1} がオフの時には、インダクタ L_X からデカップリングコンデンサ C_X にエネルギーを送る。パワーデカップリング回路では、入力部からデカップリングコンデンサ C_X へ供給する充電電力量を制御しており、 S_{X1} のゲート信号は、その制御により得られる変調信号とキャリア波を比較し、PWM変調によって得られる。

- 放電用スイッチ S_{X2}

スイッチ S_{X2} はパワーデカップリング回路部における追加スイッチで、デカップリングコンデンサ C_X に充電されている脈動電力を系統に放電するためのスイッチである。 S_{X2} をオンする事で、脈動電力を系統に放電するが、デカップリングコンデンサ C_X と系統が導通するインバータスイッチパターンで S_{X2} をオンにする必要がある。そのため、 S_{X2} の

ゲート信号は、インバータの変調信号に同期した変調信号とキャリア波を比較し、PWM変調により生成される必要がある。

- ダイオード D_X

ダイオード D_X は昇降圧チョッパ回路に適用されるダイオードであり、 S_{X1} オフ時にインダクタ L_X からキャパシタ C_X エネルギーが伝送される時に用いられる。しかし、 S_{X2} がオン状態においてデカップリングコンデンサ C_X が放電する際、 v_X が降圧されている場合にはダイオード D_X がオフする事により、図 3-9 に示す電流ループを妨げることが出来るが、 v_X が昇圧されている場合にはダイオード D_X がオン状態となり、図 3-9 に示す電流ループによって入力電力に脈動が現れてしまう。そのために、現状では、電力放電時に v_X が昇圧状態にならないように動作する必要がある。

- ダイオード D_{G1}

デカップリングコンデンサ電圧 v_X が電源電圧 V_{DC} より降圧されている時において、電源からデカップリングインダクタ L_X を充電する時や系統へ電力を供給する際に図3-10の経路で電源電流を分散するのを防ぐために接続する。ダイオード D_{G1} が無い場合、デカップリングコンデンサ C_X には脈動電力以上の電力を充電してしまうために、制御が上手くいかず、入力電力に脈動が現れてしまう。

- ダイオード D_{G2}

モードIIIにおいて S_{X2} がオン状態になりデカップリングコンデンサ C_X から系統へ電力を放電する際に、ダイオード D_{G2} が無い場合図3-11の経路で電源を介する電流ループが出来てしまう。このために、ダイオード D_{G2} を適用する事で、放電時に電源を介する電流ループを妨げることが出来る。

- 追加スイッチ S_{X4}

デカップリングコンデンサ電圧 v_X が電源電圧 V_{DC} より降圧している時には、ダイオー

ド D_{G1} には逆バイアス電圧がかかるために、 C_X から電力放電が出来なくなる。そこで、追加スイッチ S_{X4} を図3-12に示すように適用する事で、降圧モードにおいても放電が可能になる。 S_{X2} を動作させて C_X から電力を放電する時には、追加スイッチ S_{X4} をオフ状態にする事で入力部のグラウンドラインと放電経路のグラウンドラインを分離し、放電経路を確保する事ができる。 S_{X2} がオフ状態の時は、追加スイッチ S_{X4} はオン状態にして、入力から系統への電流ループを確保する。

● 追加スイッチ S_{X3}

デカップリングコンデンサ電圧 v_X が電源電圧 V_{DC} より昇圧している時には、デカップリングコンデンサ C_X からの電力放電の際に、図3-13に示すように、電流ループが出来てしまう。そこで、 S_{X4} に対して内蔵ダイオードを逆に付ける形でスイッチ S_{X3} を追加する必要がある。これにより、デカップリングコンデンサ C_X からの電力放電の際には、 S_{X2} をオン状態にし追加スイッチ S_{X3}, S_{X4} をオフ状態にする事で、 v_X の昇圧降圧に関わらず電力放電ループが確保される。また、 S_{X2} がオフ状態の時は、追加スイッチ S_{X3}, S_{X4} は常にオン状態にする事で、入力から系統へ電力供給が可能となる。

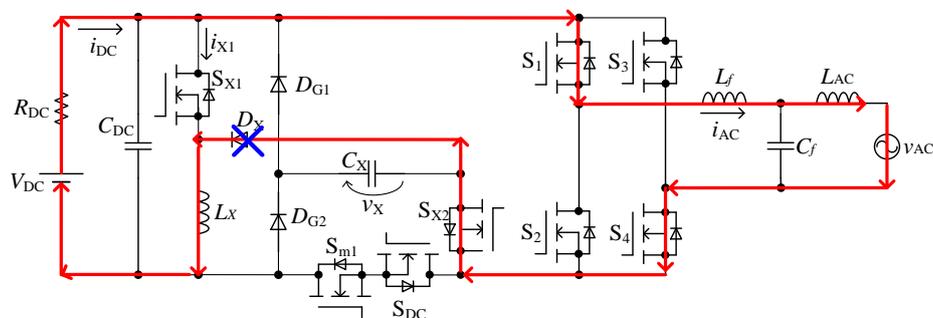


図 3-9 ダイオード D_X の役割

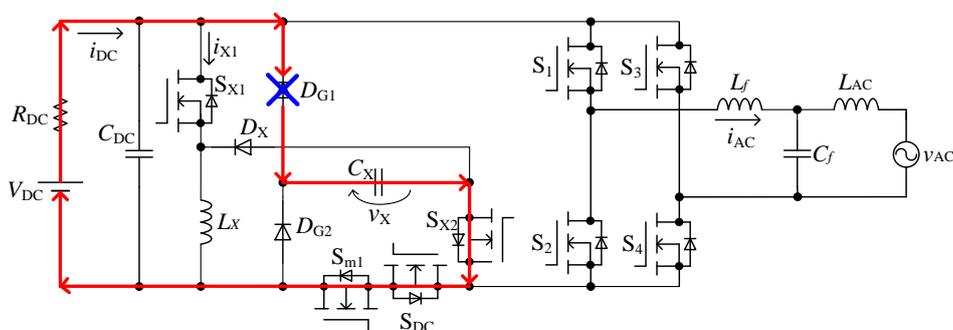


図 3-10 ダイオード D_{G1} の役割

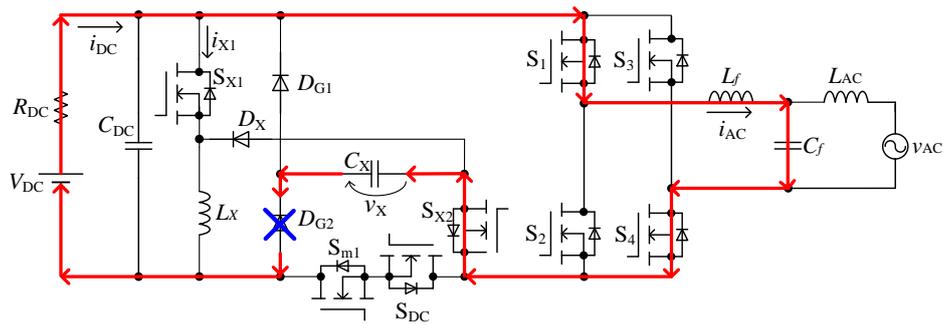


図 3-11 ダイオード D_{G2} の役割

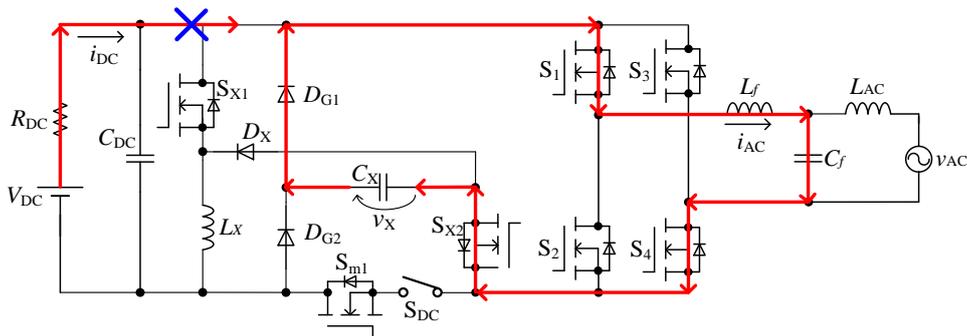


図 3-12 スイッチ S_{X4} の役割

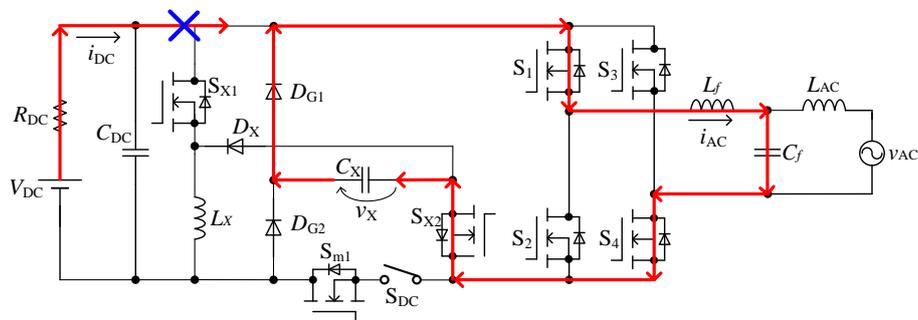


図 3-13 スイッチ S_{X3} の役割

3.3.2 パワーデカップリング回路の L_X と C_X の設計

次にパワーデカップリング回路におけるデカップリングインダクタ L_X , およびデカップリングコンデンサ C_X の設計方法について述べる。

まず初めに、デカップリングコンデンサ C_X について述べる。 C_X にはフィルムコンデンサが適用されており、 C_X の静電容量の増加によって装置体積が増加してしまうため、 C_X の上限値は装置体積によって決定される。また、 C_X に充電される脈動電力のエネルギー

は式(2.12)で表されるため、デカップリングコンデンサ電圧 v_X が一定とすると C_X の減少に反比例して v_X のリプルが増大する事となる。図 2-11 デカップリングコンデンサ容量と電圧の関係にも示されるように、 C_X の減少によって v_X のリプルは増大するため、 v_X の最大電圧の増加より、耐圧の高い素子が必要となるため回路効率が低下する。そのため、パワーコンディショナの回路効率の観点から C_X の許容下限値が決まる。今回の実験では、図 3-14 に示すように PPD 方式と同体積程度としながらもなるべく大きな静電容量を選択した結果、 C_X には $50\mu\text{F}$ のものを適用している。また、入力側のスイッチングリプル除去用のフィルムコンデンサには $30\mu\text{F}$ のものを適用している。

次にデカップリングインダクタ L_X のインダクタンス設計について述べる。一般にインダクタンスは、電流リプル率や体積、磁気飽和等を考慮して設計を行う必要がある。今回は、制御安定性の面から定格出力時に断続通流となるように、 $500\mu\text{H}$ のインダクタンスを選択した。断続通流ではスイッチング毎に必ずインダクタを流れる電流が 0A まで下降するため、制御安定性の面において好都合となるからである。しかし、定格出力時のデカップリングインダクタ電流は最大で $I_{L_X,max}=10\text{A}$ に達し、この時の磁束密度 B が飽和磁束密度を超えないように注意が必要である。磁束密度が飽和磁束密度を超えるとインダクタの磁気飽和を引き起こし、パワーデカップリング回路に大電流が流れて周辺の素子の破壊を招く。

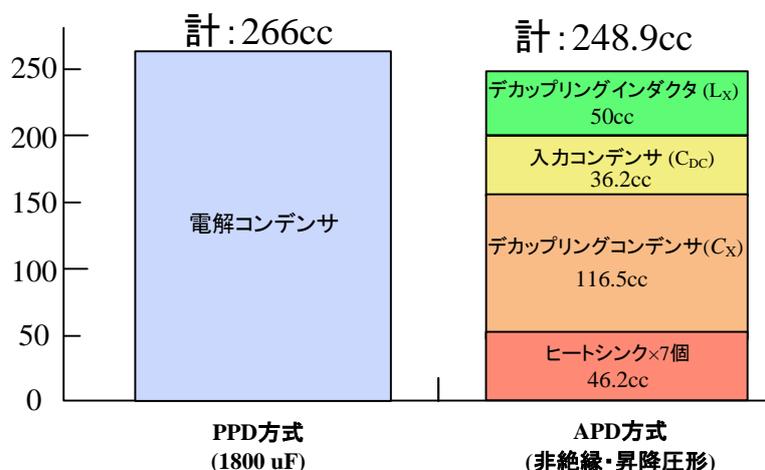


図 3-14 PPD 方式と APD 方式の受動素子体積比較

3.3.3 LCLフィルタ設計

次に、LCL フィルタの設計手法について述べる。系統連系インバータにおける LCL フィルタの設計は、「フィルタカットオフ周波数」「パーセントインピーダンス」「基本波に対するリップル率」によって決定される。以下に設計手順を示す。

- a : LCL フィルタのカットオフ周波数の導出
- b : 系統に対するパーセントインピーダンスの設定
- c : 出力電流 i_i の基本波に対するリップル率(r_i)について立式 $\Rightarrow L_f$ を定式化
- d : コンデンサ電圧 v_{Cf} の基本波に対するリップル率(r_v)について立式 $\Rightarrow C_f$ を定式化
- e : 系統電流 i_g の基本波に対するリップル率(r_g)について立式 $\Rightarrow L_{AC}$ を定式化
- f : L_f, C_f, L_{AC} の選定

3.3.3.a LCL フィルタのカットオフ周波数の導出

図 3-15 に LCL フィルタの回路図、図 3-16 に LCL フィルタのブロック線図を示す。まず初めに、図 3-16 のブロック線図よりインバータ電圧 V_i に対する系統電流 i_g の伝達関数を求める。式(3.1)にその伝達関数を示す。また、インバータ電圧 V_i に対するインバータ出力電流 i_{AC} の伝達関数を式(3.2)に示す。

$$\frac{i_g}{V_i} = \frac{1}{s \left(s^2 + \frac{L_f + L_{AC}}{L_f C_f L_{AC}} \right)} \quad (3.1)$$

$$\frac{i_i}{V_i} = \frac{1}{L_f} \frac{s^2 + \frac{1}{L_{AC} C_f}}{s \left(s^2 + \frac{L_f + L_{AC}}{L_f C_f L_{AC}} \right)} \quad (3.2)$$

$$f_{res} = \frac{1}{2\pi} \sqrt{\frac{L_f + L_{AC}}{L_f C_f L_{AC}}} \quad (3.3)$$

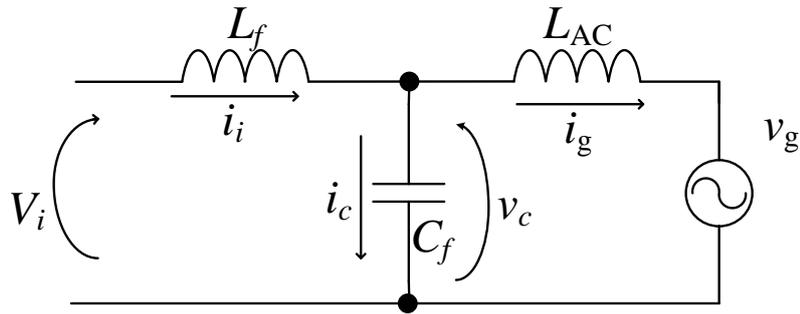


図 3-15 LCL フィルタ回路図

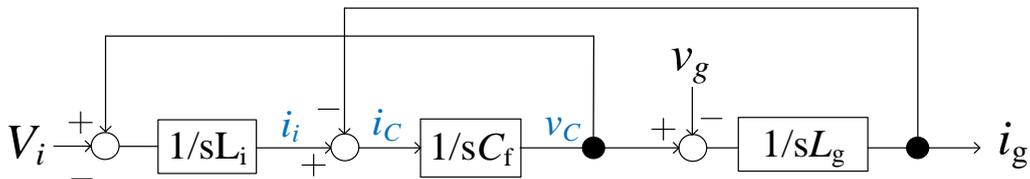


図 3-16 LCL フィルタにおけるブロック線図

この時、式(3.1)及び式(3.2)において分母=0 となる点が共振周波数 f_{res} となるため、 f_{res} は式(3.3)で表される。この共振周波数 f_{res} は一般的に、スイッチング周波数の 2 分の 1 以下かつ商用周波数の 10 倍以上とするために、式(3.4)で示す範囲で定義される。

$$10f_1 \leq f_{res} \leq \frac{1}{2}f_{sw} \quad (3.4)$$

ここで、 f_1 は商用周波数、 f_{sw} はスイッチング周波数を表している。

3.3.3.b 系統に対するパーセントインピーダンスの設定

次に、系統に対するインダクタンス $L(L_f + L_{AC})$ とコンデンサ C_f のパーセントインピーダンスを求め、 L 及び C_f の上限値を求める。

まず初めに、系統インピーダンス Z_g は式(3.5)で表される。また、今回は定格条件でのフィルタ設計を行うため、系統電圧 $v_g = 100V_{rms}$ 出力電力 $P_{AC} = 1kW$ とする。

$$Z_g = \frac{v_g^2}{P_{AC}} \quad (3.4)$$

フィルタインダクタンス L の系統に対するパーセントインピーダンスは 10% として設計すると、インダクタンス L の上限値は式(3.5)で示す不等式で表される。

$$L = L_f + L_{AC} \leq \frac{0.1Z_g}{2\pi f_1} \quad (3.5)$$

式(3.5)より、フィルタインダクタ L の上限値は 3.18mH となる。

次に、コンデンサ C_f の系統に対するパーセントインピーダンスは 5% として設計すると、コンデンサ C_f の上限値は式(3.6)に示す不等式で表される。

$$C_f \leq \frac{0.05}{2\pi f_1 Z_g} \quad (3.6)$$

式(3.6)より、フィルタコンデンサ C_f の上限値は 15.9 μ F となる。

3.3.3.c 出力電流 i_i の基本波に対するリプル率 (r_i) について立式

続いて、インバータ出力電流 i_i の基本波に対するリプル率 r_i について考える。まず初めにインバータのスイッチングにより生じる正弦波出力電流 i_i のリプルの最大値 Δi_{imax} を計算により求め、次に定格条件における出力電流の最大値 i_{imax} を求める。その後、基本波に対するリプル率 r_i について立式し、インバータ側インダクタ L_f を定式化する。インバータのスイッチングにより生じる電流リプル Δi_i について考察する。図 3-17 にインバータの出力電圧 V_i 、出力電流 i_i の波形を示す。図 3-17 から、例えばスイッチ S_1 、 S_4 がオン状態にある時は、インバータ出力電圧 V_i はインバータ入力電圧 V_{DC} と等しくなるため、出力電流 i_i は上昇する。この時、式(3.7)が成り立つ。

$$V_{DC} = L_f \frac{\Delta i_i}{m_a T_s} + v_c \quad (3.7)$$

ここで、 m_a はスイッチの Duty 比を表しており、 T_s はスイッチング周期を表している。一方で、スイッチ S_2 、 S_4 がオン状態にある時は、インバータ出力電圧 V_i は 0V となるため、出力電流 i_i は減少する。この時、式(3.8)が成り立つ。

$$V_{DC} = -L_f \frac{\Delta i_i}{(1 - m_a) T_s} + v_c \quad (3.8)$$

式(3.7)と式(3.8)を連立し、 V_{DC} を消去する事により、式(3.9)に示すように、電流リプル式が導出される。

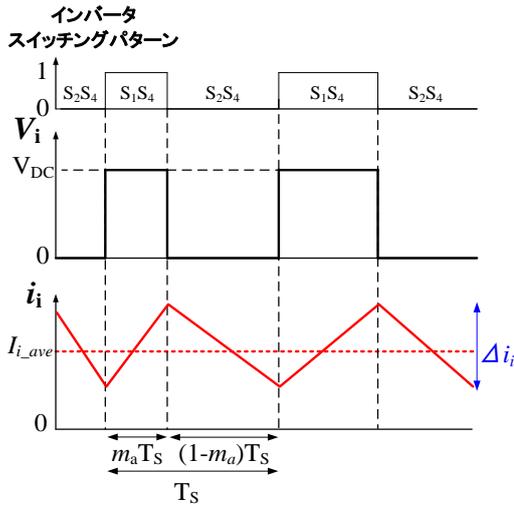


図 3-17 インバータ出力電圧・電流波形

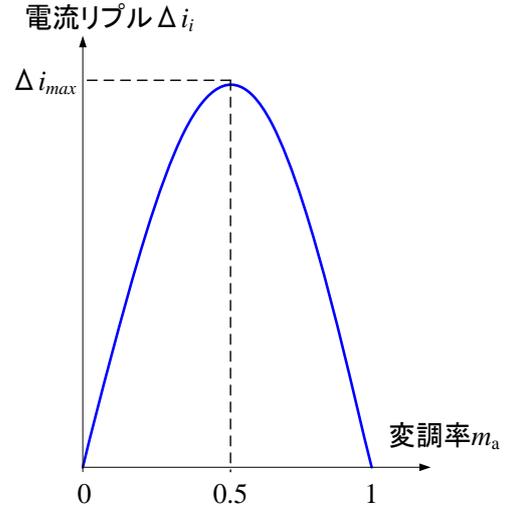


図 3-18 Duty 比に対する電流リップル量

$$\Delta i_i = \frac{V_{DC} T_s}{L_f} m_a (1 - m_a) \quad (3.9)$$

ここで、式(3.9)の Δi_i と m_a の関係を図 3-18 に示す。図 3-18 より、電流リップル Δi_i は m_a の二次関数で表され $m_a = 0.5$ の時に、電流リップル Δi_i は最大となることが分かる。よって、最大リップル電流 Δi_{imax} は式(3.10)で表される。

$$\Delta i_{imax} = \frac{V_{DC}}{4L_f f_{sw}} \quad (3.10)$$

次に、定格条件における出力電流の最大値 i_{imax} は式(3.11)で表される。

$$i_{imax} = \frac{P_{AC}}{v_c} \times \sqrt{2} \quad (3.11)$$

最後に、式(3.10)及び式(3.11)から、基本波電流に対するリップル率 r_i は式(3.12)式で求まる。

$$r_i = \frac{\Delta i_{imax}}{i_{imax}} = \frac{V_{DC} v_c}{4\sqrt{2} L_f f_{sw}} \quad (3.12)$$

式(3.11)を L_f について解く事で、式(3.13)で表されるように、 L_f を定式化できる。

$$L_f = \frac{V_{DC} v_c}{4\sqrt{2} r_i f_{sw}} \quad (3.13)$$

3.3.3.d コンデンサ電圧 v_c の基本波に対するリプル率(r_v)について立式

次に、コンデンサ電圧 v_c の基本波に対するリプル率 r_v について考える。ここでは、ブロック線図によりリプル率 r_v を求める。フィルタコンデンサに生じるリプル電圧 Δv_c はインバータ出力電圧リプル ΔV_i や電流リプル Δi_i によって生じるため、 ΔV_i 、 Δi_i に対する Δv_c を伝達関数により求める。そのため、ここで用いるブロック線図は高周波リプルに着目したブロック線図を用いる。系統電圧や L_{AC} には高周波電圧・電流は生じないものとする、高周波リプルに着目したブロック線図は図 3-19 のように示される。

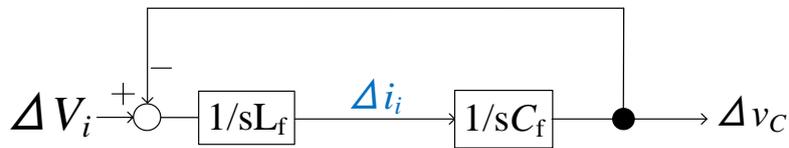


図 3-19 高周波電圧リプルに着目した LCL フィルタブロック線図

図 3-19 より、インバータ出力電圧リプル ΔV_i に対するコンデンサリプル電圧 Δv_c の伝達関数 $G_{ic}(s)$ は式(3.14)で表される。また、この時のインバータ出力電圧リプル ΔV_i と電流リプル Δi_i の関係式(3.15)に示され、更に式(3.12)を用いて変形することが出来る。

$$G_{ic}(s) = \frac{\Delta v_c}{\Delta V_i} = \frac{1}{1 + \omega_{sw}^2 L_f C_f} \quad (3.14)$$

$$\begin{aligned} \Delta V_i &= \omega_{sw} L_f \Delta i_i \\ &= \omega_{sw} L_f \frac{\sqrt{2} P_{AC}}{v_c} \end{aligned} \quad (3.15)$$

式(3.14)と式(3.15)よりコンデンサ電圧 v_c の基本波に対するリプル率 r_v は式(3.16)に示す形で表せる。また、式(3.16)をコンデンサ容量 C_f について解く事により、式(3.17)に示すように C_f を定式化できる。

$$\begin{aligned} r_v = \frac{\Delta v_c}{v_c} &= \frac{1}{1 + \omega_{sw}^2 L_f C_f} \frac{\Delta V_i}{v_c} \\ &= \frac{\sqrt{2} P_{AC} \omega_{sw} L_f}{v_c^2 (1 + \omega_{sw}^2 L_f C_f)} \end{aligned} \quad (3.16)$$

$$C_f = \frac{\sqrt{2} P_{AC} r_i (\pi V_{DC} - 2 \omega_{sw}^2 r_v v_c)}{\pi r_v v_c^2 \omega_{sw} V_{DC}} \quad (3.17)$$

3.3.3.e 系統電流 i_g の基本波に対するリプル率(r_g)について立式

最後に、微小ではあるが系統電流 i_g の基本波に対するリプル率(r_g)について立式し、そこから系統側インダクタ L_{AC} について定式化する。図 3-20 にインバータ側の高周波リプル電流 Δi_i に対する高周波系統電流リプル Δi_g のブロック線図を示す。図 3-20 より、 Δi_i に対する Δi_g の伝達関数 $G_{ig}(s)$ が導出できる。式(3.18)にその式を示す。

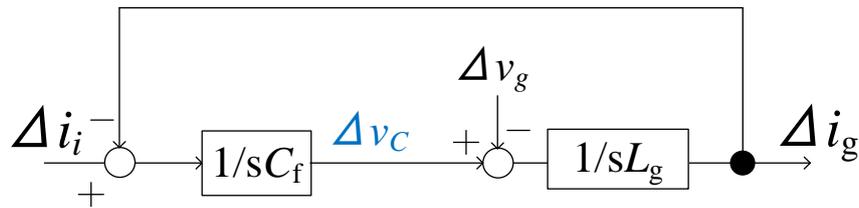


図 3-20 高周波電流リプルに着目した LCL フィルタブロック線図

$$G_{ig}(s) = \frac{\Delta i_g}{\Delta i_i} = \frac{r_g i_{imax}}{r_i i_{imax}} = \frac{1}{1 + \omega_{SW}^2 L_g C_f} \quad (3.18)$$

ここで、式(3.18)に式(3.17)を代入することで、系統側インダクタ L_{AC} が定式化できる。 L_{AC} の式は式(3.19)で表される。

$$L_{AC} = \frac{\pi V_{DC} v_c^2 r_v (r_i - r_g)}{\sqrt{2} \omega_{SW} r_i r_g P_{AC} (\pi V_{DC} - 2 r_v v_c)} \quad (3.19)$$

3.3.3.f L_f , C_f , L_{AC} の選定

以上より、(c)(d)(e)の過程で得られた L_f, C_f, L_{AC} についての式(3.13)式(3.17)式(3.19)より L_f, C_f, L_{AC} を導出する。 L_f, C_f, L_{AC} の決定にあたって、定格条件には $P_{AC} = 1kW, V_{DC} = 200V, v_c = 108V, f_1 = 50Hz, f_{SW} = 20kHz$ とする。また、各電圧電流リプル率 r_i, r_v, r_g について、 r_g は $r_g = 0.003(0.3\%)$ で固定する。また、 r_i は10%以内に収まるように設計し、 r_v は $r_v = 0.05(5\%)$ 以内に収まるように設計した。計算結果より、 $L_f = 2.0mH, C_f = 6.3\mu F, L_{AC} = 1.4mH$ となった。この時の各リプル率は $r_i = 9.54\%, r_v = 1.45\%, r_g = 0.30\%$ となっている。図 3-21 にインダクタ及びコンデンサの写真を示す。また、この時式(3.5)に示すインダクタンスの上限値を超えてしまっているため、フィルタインダクタンス L の系統に対するパーセントインピーダンスは10%を超えてしまう。



(a) L_f



(b) C_f



(c) L_{AC}

図 3-21 LCL フィルタのインダクタ・コンデンサ写真

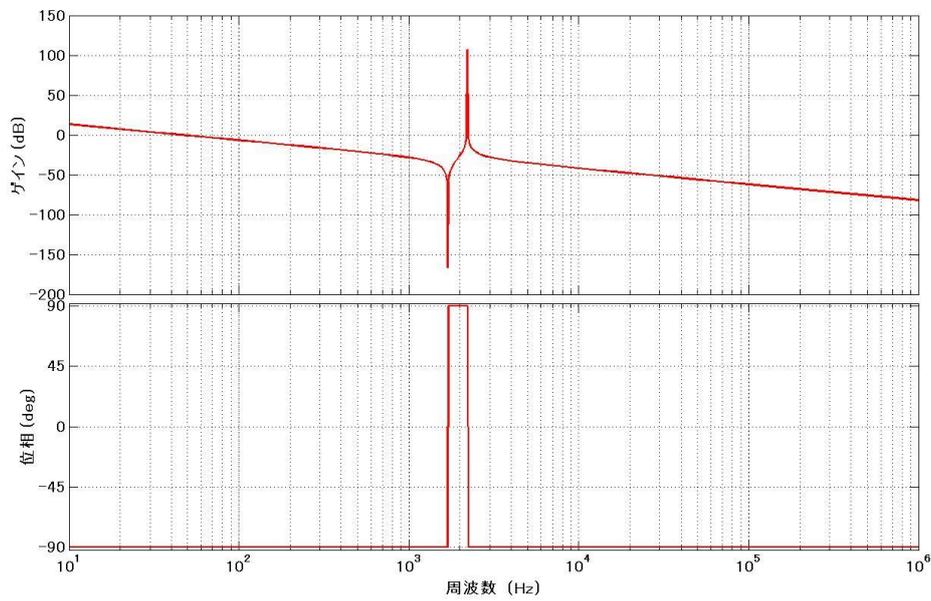
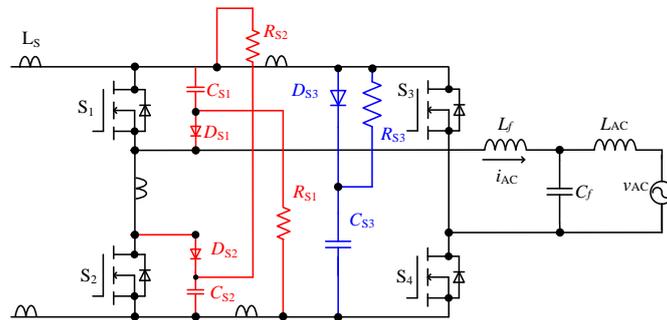


図 3-22 LCL フィルタボード線図（上：Gain 特性 下：位相特性）

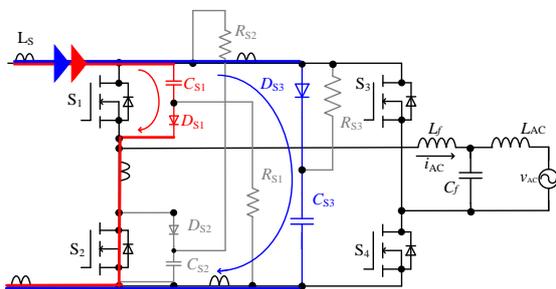
この時のフィルタのカットオフ周波数は式(3.3)により 2.2kHz と求まる。図 3-21 に LCL フィルタのボード線図を示す。図 3-22 より LCL フィルタの共振周波数はカットオフ周波数と同様計算通り 2.2kHz となっている。

3.3.4 スナバ回路設計

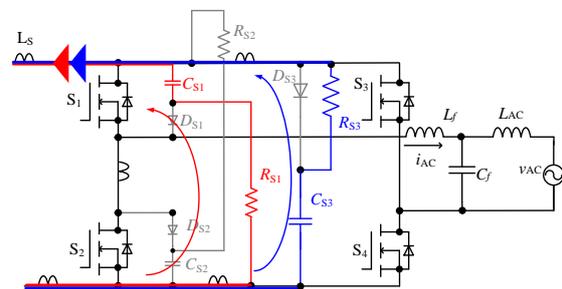
スナバ回路とは、スイッチ素子を保護するための回路である。主回路のスイッチングによって電流経路が遮断される時に、配線インダクタンス L_S と電流変化率 $\frac{di}{dt}$ によって半導体スイッチ素子にサージ電圧 $L\frac{di}{dt}$ が瞬時的にかかる。特にインバータや降圧チョップ回路では、ダイオードのリカバリ特性によって瞬間的に短絡状態となるため、電流変化率 $\frac{di}{dt}$ も高く、非常に高いサージ電圧が発生する。このサージ電圧を低減するために、スナバ回路をスイッチ素子に並列して取り付ける事でサージ電圧の抑制が可能となる。一般にスナバ回路はいくつかの種類があるが、サージで電圧が低減できる一方で、多くのスナバ回路には抵抗を要するため、スナバ回路での損失が発生し電力変換効率が低下してしまう事がデメリットとなる[22]。本研究ではインバータスイッチ $S_1\sim S_4$ の保護の



(a) 提案回路におけるスナバ回路図



(b) 充電時



(c) 放電時

図 3-23 提案回路におけるスナバ回路図

ために RCD クランプスナバ回路を取り付ける。 S_1 と S_2 には個別に RCD クランプスナバ、

PN 間電圧のサージ抑制のために PN 間に RCD クランプスナバ回路を取り付ける。図 3-23 にそのスナバ回路図を示す。

図 3-23(b)及び図 3-23(c)に、提案回路における RCD クランプスナバ回路の回路動作を示す。スイッチ S_1 がターンオフして、 S_1 を通る電流経路が遮断されサージ電圧が発生する。充電時には、ダイオードとコンデンサを通る電流経路で、遮断電流をコンデンサに流すことで電流変化率 $\frac{di}{dt}$ を低減する。コンデンサ電圧が電源電圧よりも高くなると、ダイオードはオフ状態となり、コンデンサと抵抗を通る電流経路で放電する。

以下に、コンデンサ容量 C_S と抵抗 R_S の設計方法を示す。まず初めに、配線インダクタンス L_S で生じるエネルギー量をスナバコンデンサ C_S が吸収するため、式(3.20)で表されるエネルギー式を用いる。また、コンデンサが放電する際には、次のターンオフまでに放電を完了する必要がある。放電時定数は $C_S R_S$ で決定されるため、式(3.21)で示されるように、放電時定数をスイッチング周期の半周期以内とする。

$$\frac{1}{2}L_S I^2 = \frac{1}{2}C_S V_{peak}^2 \quad (3.20)$$

$$C_S R_S < \frac{1}{2} T_S \quad (3.21)$$

ピーク電流 $I = 40A$ 、サージ電圧量 $V_{peak} = 100V$ 、スイッチング周期 $T_S = 50\mu s$ とする。PN 間スナバは、入力側からの配線で生じるサージ電圧を吸収するために、配線インダクタンスを $L_S = 1\mu H$ 程度と見積もると、式(3.20)と式(3.21)から $C_{S3} = 0.22\mu F$ 、 $R_{S3} = 200\Omega$ のものを選定した。 S_1, S_2 に取り付けてある個別スナバは、レグ間の配線インダクタンスによるサージ電圧を抑制するために、配線インダクタンスは $0.1\mu H$ 程度と見積もる。その結果式(3.20)、式(3.21)から $0.022\mu F$ 、 $R_{S3} = 500\Omega$ とした。

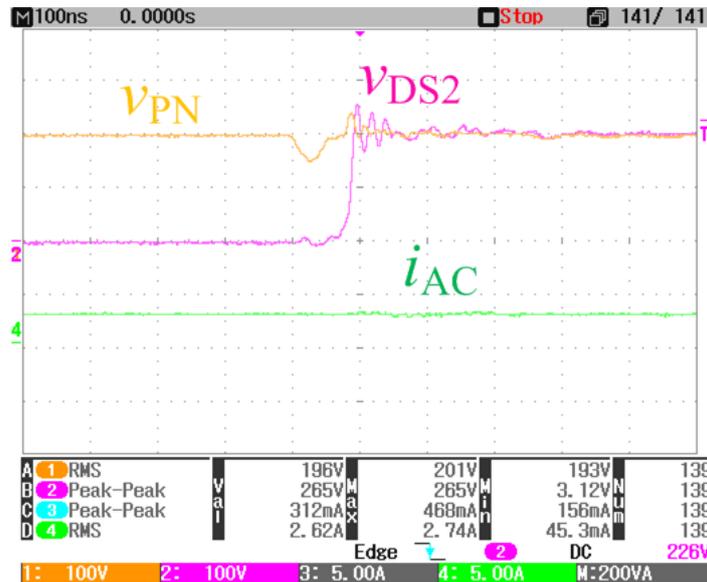


図 3-24 スナバ回路の適用によるサージ抑制

図 3-24 に、スナバ回路適用によるスイッチ S_2 のドレインソース波形を示す。入力電圧 $V_{DC} = 200V$ 時において、スナバ回路の適用によって、サージ電圧が 100V 程度に抑制されている事が確認できる。

3.4 検出回路

提案回路では、系統に任意の電流波形を供給し、パワーデカップリング回路を正常に機能させるにあたり制御システムの構築が必要不可欠となる。提案する制御システムについては第 4 章にて詳細を述べるが、ここでは、フィードバック制御に必要な検出回路について述べる。フィードバック制御では、制御対象を検出し、指令値と比較を行う。その後、制御器を乗したものを変調信号として PWM 変調し、MOSFET のゲート信号として出力する事で制御が可能となる。提案回路においては、制御システムを構築するにあたり系統電圧 v_{AC} 、インバータ出力電流 i_{AC} 、入力電圧 V_{DC} 、デカップリングコンデンサ電圧 v_X 、パワーデカップリング入力電流 i_{X1} の検出が必要となるため、これらの検出回路の構成について述べる。

3.4.1 v_{AC} の検出回路

系統電圧 v_{AC} の検出回路の回路図を図 3-25 に示す。系統電圧 v_{AC} は 50/60Hz の正弦波であるため、電圧検出回路には絶縁トランス(Myrra44202)を用いる。絶縁トランスは 2 次側へ直流成分を通さないため直流電圧検出回路には適用できないが、同時にコモンモードノイズを除去するため交流電圧の検出に対しては有効な絶縁器であると言える。44202 では 1,5 番ピンが一次電圧、6,7 番ピンと 9,10 番ピンが二次側となっており、それぞれにトランスの巻き数比に応じた電圧が発生する。

使用絶縁トランスは一次側電圧 230V に対して二次側では 15V が出力される。その後、抵抗によって分圧され、RC のローパスフィルタを通して制御器に出力される。RC ローパスフィルタのカットオフ周波数は 10kHz としている。制御器の入力電圧定格は $\pm 5V$ であるため、本研究では検出回路での入出力ゲイン $G_{v_{AC}} = 0.01$ となるように可変抵抗を調節した。即ち、系統電圧 v_{AC} の最大値 $100\sqrt{2}$ に対して検出回路の出力 v_{AC_out} の最大値は $\sqrt{2}$ となる。基板実装用トランス 44202 の特徴としては、50/60 Hz の系統電圧の検出を想定して設計されており、アイソレーションアンプと比較して 1 次側電圧定格が高いことや駆動用電源が必要ないことから、少ない素子数で検出回路を構成でき、コストも抑制できる。

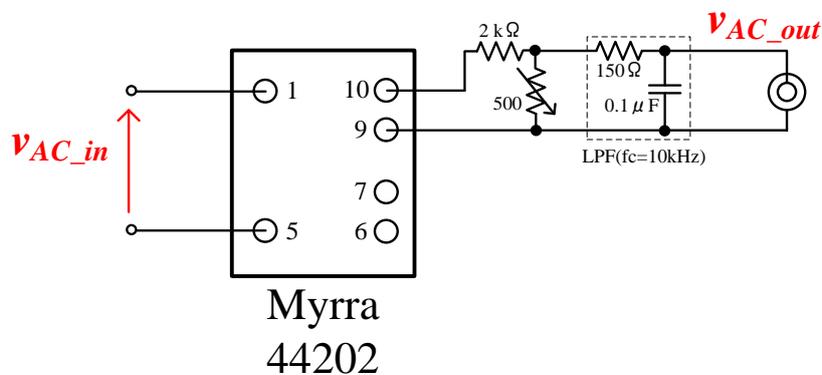


図 3-25 v_{AC} の検出回路

3.4.2 v_X, V_{DC} の検出回路

図 3-26 に v_X, V_{DC} の検出回路を示す。初めに図 3-26 に示すような電圧検出回路を製作した。 v_X はオフセットが重畳した正弦波電圧であり、 V_{DC} は直流電圧であるため、絶縁には直流・交流の双方に対応したアイソレーションアンプ AD202 を用いる。AD202 は 20, 21 番ピンに駆動電圧 15V を印加する事で駆動する。入力電圧 v_{X_in} を検出し、抵抗 R_1, R_2 により分圧する。その後、抵抗 R_3, R_4 と可変抵抗 R_5 、AD202 の内蔵オペアンプによって反転増幅を行い、AD202 から出力された電圧は外部のオペアンプで反転増幅して極性を戻し、RC で構成されるローパスフィルタを通過した後制御系に取り込む。検出ゲイン G_{vx} は v_{AC} と同様に、0.01 となるよう可変抵抗を調節する。また、ローパスフィルタのカットオフ周波数は v_X や V_{DC} の基本波周波数成分を落とさず、位相遅れが制御系

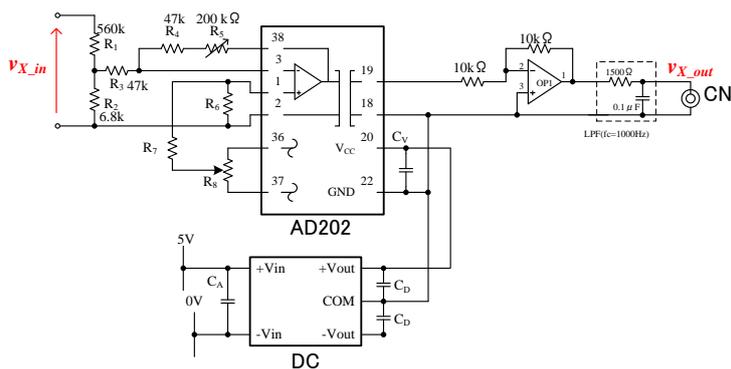


図 3-26 AD202 を用いた v_X, V_{DC} の検出回路

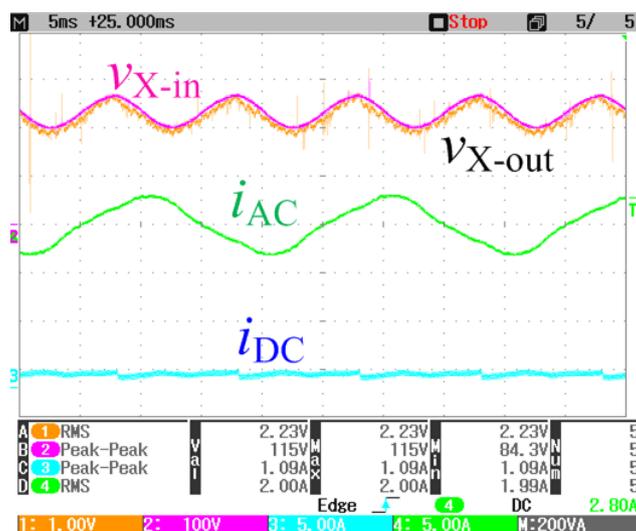


図 3-27 AD202 を用いた v_X 検出波形

に悪影響を及ぼさないよう 1000Hz として設計した。図 3-27 にこの検出回路における v_x の検出波形を示す。検出回路の入力電圧波形 v_{x_in} に対して、出力電圧波形 v_{x_out} には高調波ノイズに加え、低周波の脈動が現れている。これによりインバータの出力電流 i_{AC} にも脈動が現れているため、改善が必要である。この脈動の原因はアイソレーションアンプにおいてコモンモードノイズがディファレンシャルモードノイズに転化し、波形に現れている可能性が考えられる。そこで、製作した電圧検出回路に替わって、Myway 製の電圧センサユニット MWPE-VS-01 を使用する。図 3-28 図 3-29 に MWPE-VS-01 の回路写真及び回路図を示す。また、図 3-30 に MWPE-VS-01 の検出回路を用いた時の波形を示す。

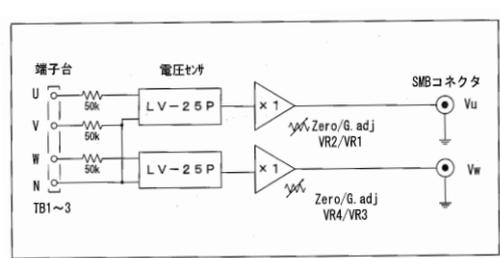


図 3-28 myway 製電圧検出回路「写真」

図 3-29 myway 製電圧検出回路「回路図」

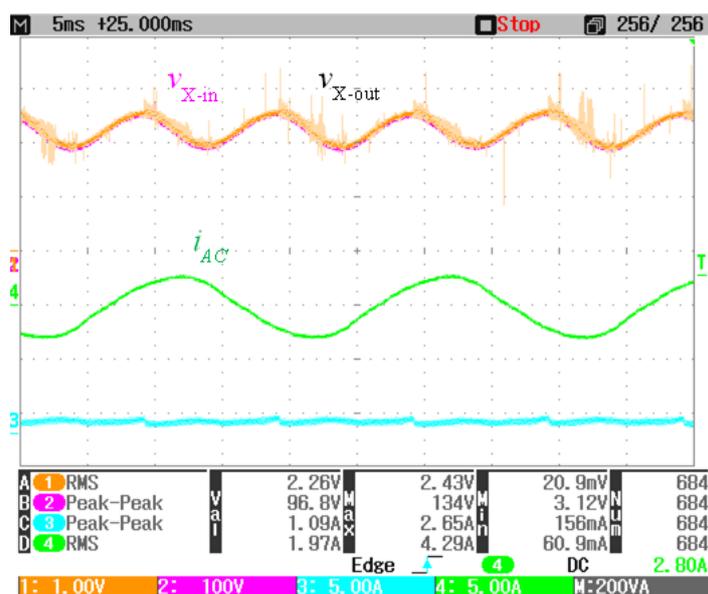


図 3-30 myway 製の電圧検出回路を用いた v_x 検出波形

図 3-28 図 3-29 に示すように、MWPE-VS-01 は三相交流の電圧検出を対象としているが、絶縁素子 LV-25P は DC 及び AC の電流に対応しているため v_X や V_{DC} の電圧検出回路として適用可能である。図 3-30 より、製作した電圧検出回路に比べ、myway 製の電圧検出回路を用いた場合の出力電圧波形 v_{X_out} は低周波の脈動が現れていない事が分かる。このため、 v_X, V_{DC} の電圧検出回路には myway 製の MWPE-VS-01 を用いる。

3.4.3 i_{X1}, i_{AC} の検出回路

i_{AC} は正弦波電流であり、 i_{X1} は AC 成分と DC 成分が重畳した波形であるため、AC 及び DC 電流に対応した絶縁トランス LA25-NP を用いる。図 3-31 に製作した電流検出回路を示す。入力電流 I_{AC_in} に対して巻線比によって M ピンから電流が出力される。出力電流をシャント抵抗 R_{C1}, R_{C2} によって電圧値とし、RC ローパスフィルタを通して制御器に出力する。LA25-NP において、1 ピンから 10 ピンの配線を変更する事で巻線比を変更する事が出来る。また、LA25-NP の定格出力電流は 25mA であり、巻線比の変更によって入力電流 I_{AC_in} の許容電流を変更する事が出来る。電流検出回路では、検出ゲイン G_{IAC} は 0.1 として可変抵抗を調節する。

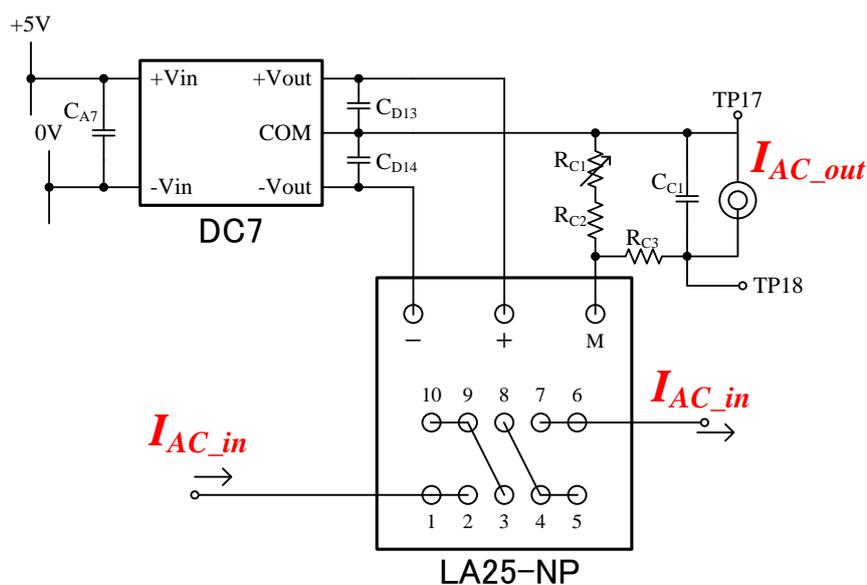


図 3-31 i_{AC}, i_{X1} の電流検出回路

3.5 まとめ

本章では、主回路構成とその動作原理、主回路素子の設計手法について述べた。主回路構成については、各部の役割について述べ、動作原理では動作モード毎にパワーフローを示すことで全ての力率においてパワーデカップリングが正常に機能し、入力電力の脈動が低減できる事を示した。また、主回路を構成する半導体素子の役割について述べ、その後、パワーデカップリング回路の受動部品 L_X, C_X の設計手法について示した。さらにインバータ出力部の LCL フィルタ設計手法について示した。出力電流リップルや電圧リップルの低減率を定める事で L_{AC}, L_f, C_f の設計が可能となる事を示した。また、主回路動作にあたり、制御システムの構築が必要である事を述べ、そのために検出回路が必要である事を示した。検出回路では、検出する波形によって使用する絶縁素子を検討し、可変抵抗によって検出ゲインを容易に調節できるように設計した。

第 4 章

制御系の開発と安定性解析

提案回路を正常に動作させるためには、制御系を開発とその安定性解析が必要不可欠となる。例えば、系統連系インバータ部では制御器によって系統に供給する電流の位相を調節可能となるため、力率可変が実現可能となる。また、パワーデカップリング回路部においても、制御器での動作モードの切り替えや脈動電力量の推定が重要となる。そのために、本章ではすべての力率においてパワーデカップリング機能を実現可能な制御システムの詳細を述べる。更に制御システムに用いる制御ゲインの設計とフィードバック制御系の安定性解析を行ったので、そちらについても述べていく。

4.1 主回路と制御の関係

初めに、主回路と制御回路の関係について述べる。本研究では提案回路を動作するにあたり、インバータ出力電流 i_{AC} やデカップリングコンデンサ電圧 v_x 、パワーデカップリング入力電流 i_{x1} のフィードバック制御が必要となる。これらの制御のために、DSP や FPGA 等の制御器を用いる。まず、制御器に必要なパラメータを取り込むために、検出回路を用いて主回路から各パラメータを連続時間系で検出する。その後、制御器内で A/D 変換を行い、デジタル信号として各パラメータを演算する。その後、コンパレータや論理回路を通して、PWM 変調やパルス分配を行う。生成したパルス信号をゲート駆動回路に出力する事で各スイッチ素子が各パルス幅で駆動する。例えば、インバータの出力電流制御 i_{AC} のフィードバック制御においては、 i_{AC} の検出信号を指令値 i_{AC}^* と比較する事によりゲート信号を生成する。 i_{AC} が指令値に比べ小さい場合は、ゲート信号のパ

ルス幅を大きくすることで、電流量を増やす方向に制御される。一方で i_{AC} が指令値に比べ大きい場合は、ゲート信号のパルス幅を小さくする事で、電流量を減らす方向に制御される。

図 4-1 に先行研究における実験全体図を示す。先行研究において用いた制御器は Myway 製の DSP (PE-Expert4) を用いている。PE-Expert4 では、様々な機能を持ったボードを各ラックに取り付ける事で、様々な用途に利用できる制御器である。図 4-3 PE-Expert4 本体との各ボード写真を示す。先行研究ではアナログ信号を取り入れる PEV ボード(MWPE4-PEV), アナログ信号を出力する DAC ボード(MWPE4-DAC), パソコンとの通信やプログラム演算を行う DSP ボード(MWPE4-C6657)の 3 つのボードを使用していた。PE-Expert4 で演算を行った後、外部回路にて PWM 変調とパルス分配し、ゲート駆動回路に出力する。先行研究ではこのシステムで実験を行っていたが、主回路のスイッチングに起因するノイズや回路動作の安定性に問題が生じていたため、本研究では、ノイズへの影響が減少するように実験システムを変更した。

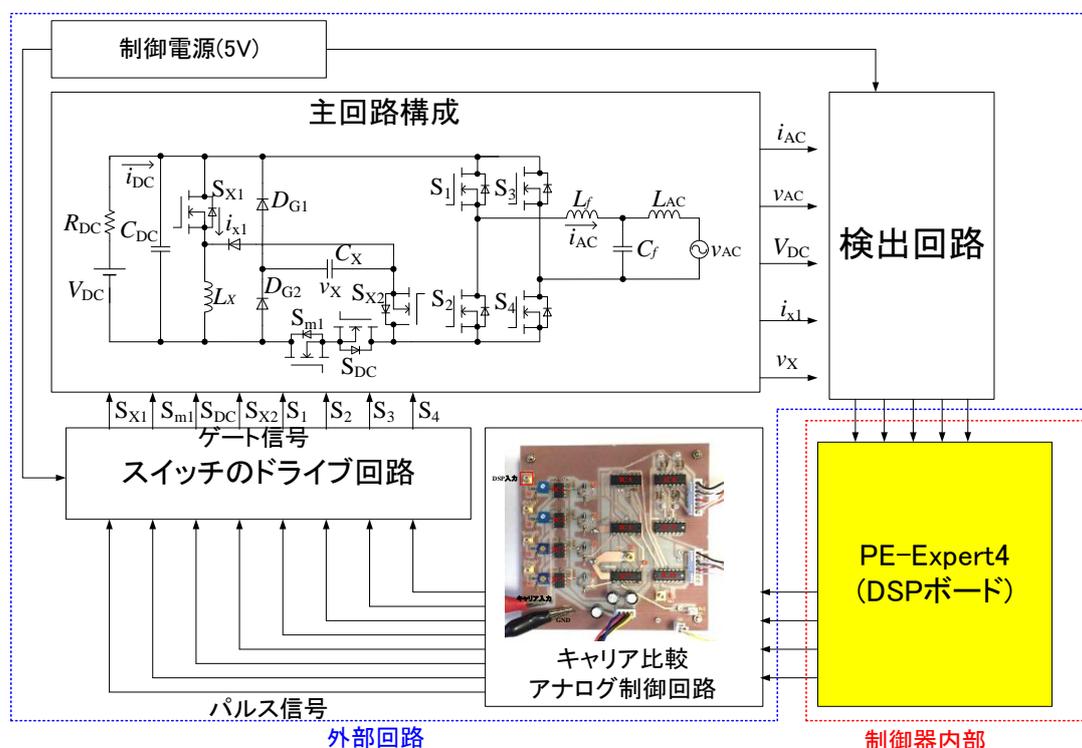


図 4-1 先行研究における実験全体図

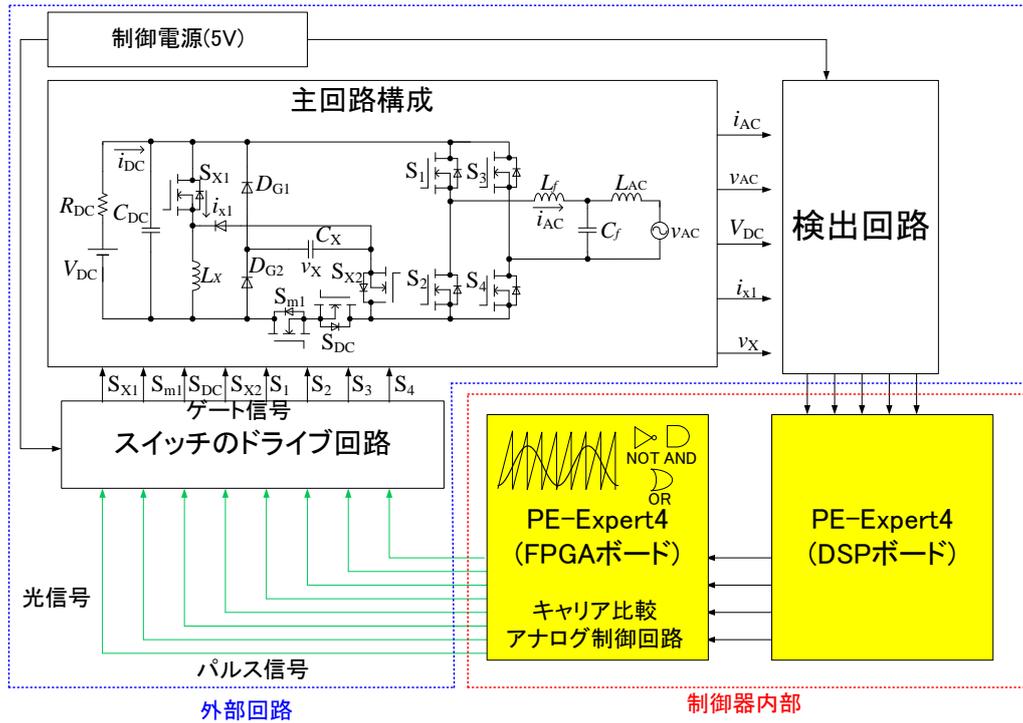


図 4-2 FPGA 導入における実験全体図

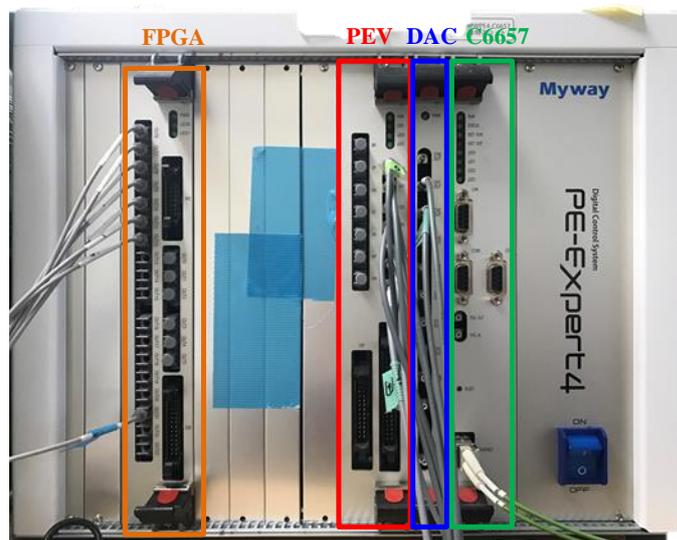


図 4-3 PE-Expert4 本体との各ボード写真

図 4-2 に本研究における実験全体図を示す。大きな変更点は、PE-Expert4 での演算後の PWM 変調及びパルス分配を、外部回路での処理から PE-Expert4 の FPGA ボード (MWPE4-FPGA24)での処理に変更した事である。即ち、PE-Expert4における DSP と FPGA

双方のデジタル信号処理プラットフォームを用いる事で、精度の高い制御が実現可能となる。外部回路での処理においては、アナログ信号の処理になるため、配線による遅延やヒステリシス設計等の詳細な検討を必要とし、さらにノイズの影響を受けやすく主回路の誤動作に繋がる可能性もある。一方で FPGA ボードによる処理では、デジタル信号での処理になるため、設計が容易でありノイズの影響も受けにくくなる。また、外部回路や搬送波生成のための発振器等を必要としないため、先行研究に比べ実験装置の小型化が実現されている。更に、FPGA ボードで生成した信号を光信号によって出力する事で、配線でのノイズ等の影響を受けなくなっている。これにより、DSP での演算結果から、精度の高いゲート信号がゲート駆動回路に入力されるため、正確かつ安定な回路動作に繋がる。

4.2 制御ブロック図

図 4-4 に提案する制御ブロック図を示す。提案ブロック図は大きく「Phase Lock Loop(PLL)部」, 「出力電流制御部」, 「パワーデカップリング制御部」, 「変調補正」, 「パルス分配部」の 5 つに分ける事が出来る。ここでは、「Phase Lock Loop(PLL)部」, 「出力電流制御部」, 「パワーデカップリング制御部」, 「パルス分配部」このつの制御部についてそれぞれ詳細を述べる。「変調補正」については 4.3 章で詳細に述べる。

4.2.1 PLL部

PLL とは、位相同期回路の事で、PLL の入力部と出力部の位相を同期する機能を持つ。家庭向け太陽光発電用パワーコンディショナでは、系統電圧とインバータ出力電流の位相を同期させることで、系統へ発電電力を最大限供給できるため、PLL が必要となる。また、第 2 章で示したように LVRT 機能や受電点電圧上昇抑制機能を付加するために低力率運転が要求される。力率を調節する際には、系統電圧の位相に対して、出力電流の位相を力率に応じて遅らせる(進ませる)ため、PLL による系統電圧の位相検出が必要と

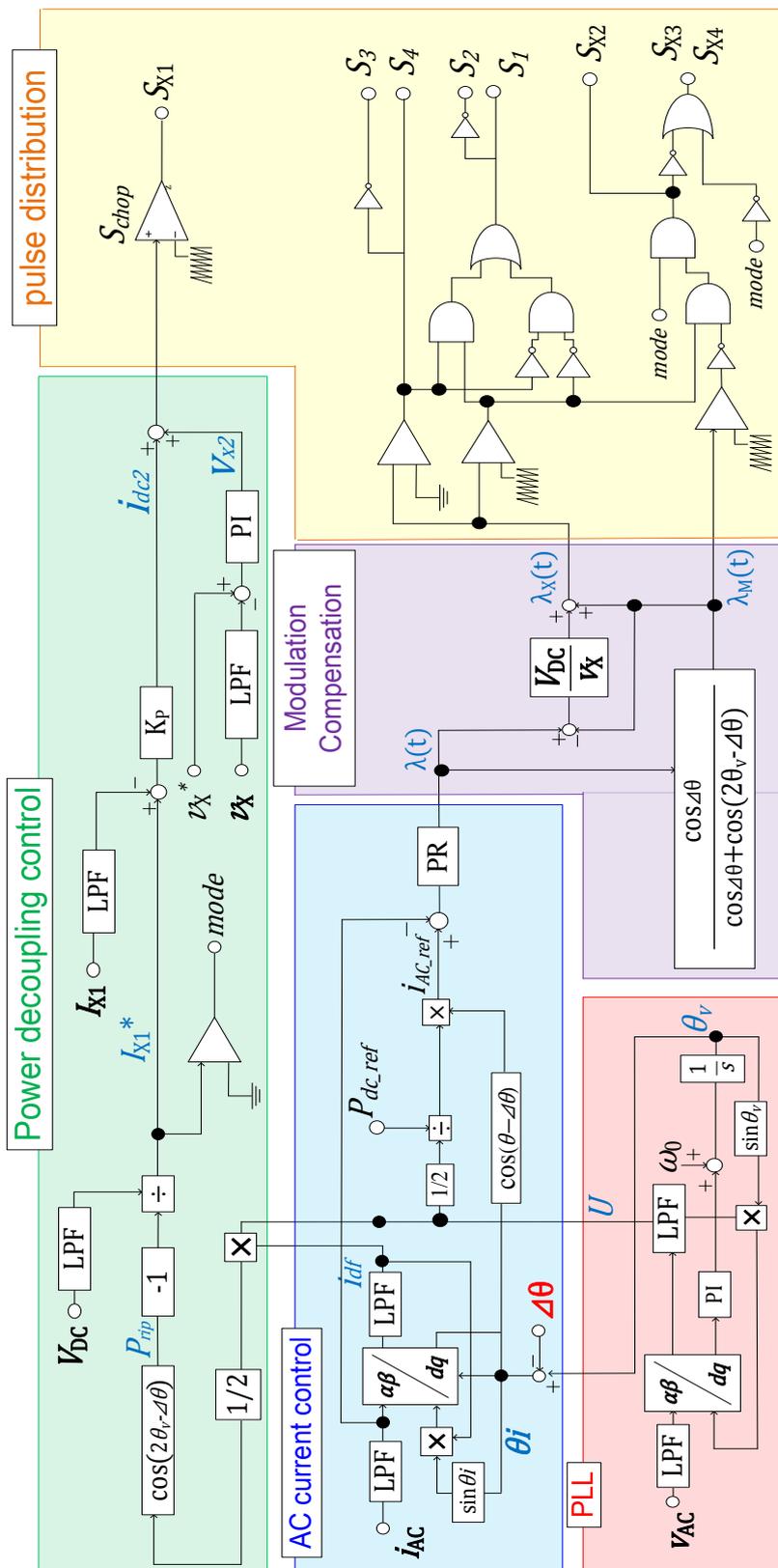


図 4-4 制御ブロック図

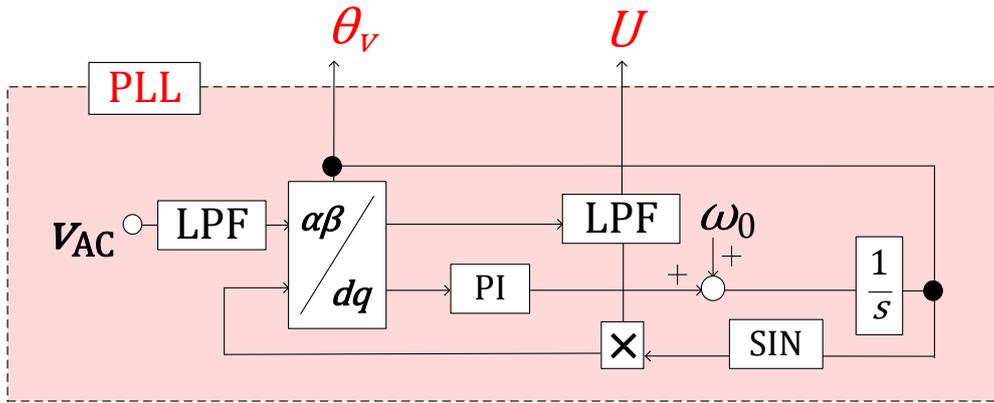


図 4-5 PLL 制御ブロック図

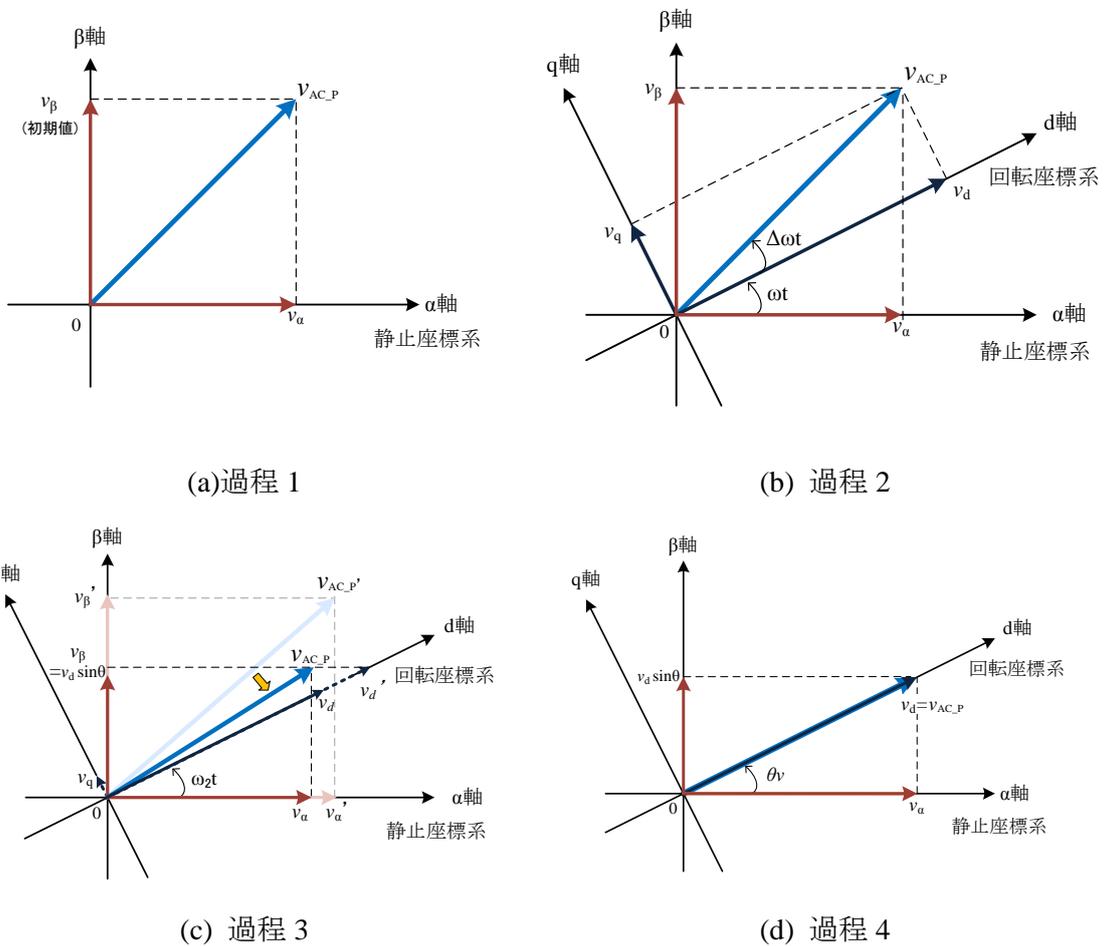


図 4-6 フェーザ図による PLL の位相・振幅検出過程

なる。図 4-5 PLL 制御ブロック図，図 4-6 フェーザ図による PLL の位相・振幅検出過程を示す。図 4-5 に示すように，系統電圧 v_{AC} を PLL 制御回路に入力し，系統電圧

の振幅 U と位相 θ_v が出力される。系統電圧の振幅と位相の検出には、回転座標変換を用いる。回転座標変換とは、実軸(α 軸)と虚軸(β 軸)の静止座標系から、式(4.1)に示す回転行列式によってd軸とq軸の回転座標系に変換する事である。系統電圧等の時間的に変化する

交流量は静止座標系においては実軸(α 軸)量と虚軸(β 軸)量は時間的に変化してしまうが、系統電圧の位相角で座標を回転する事で、d軸には常に系統電圧振幅、q軸には常に0の値が得られる。即ち、時間的に変化する交流量に対して回転座標変換を用いる事によって、交流の振幅を直流量として得る事が出来る。とりわけ、PLLでは、回転座標変換の回転角 θ を系統電圧位相 θ_v に同期するために、回転座標系におけるq軸量を用いて位相追従制御を行っている。これによって回転角 θ が θ_v に同期するため、回転座標変換によって系統電圧振幅 U を得ることが出来る。

$$\begin{bmatrix} v_d \\ v_q \end{bmatrix} = \begin{bmatrix} \cos \theta & \sin \theta \\ -\sin \theta & \cos \theta \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (4.1)$$

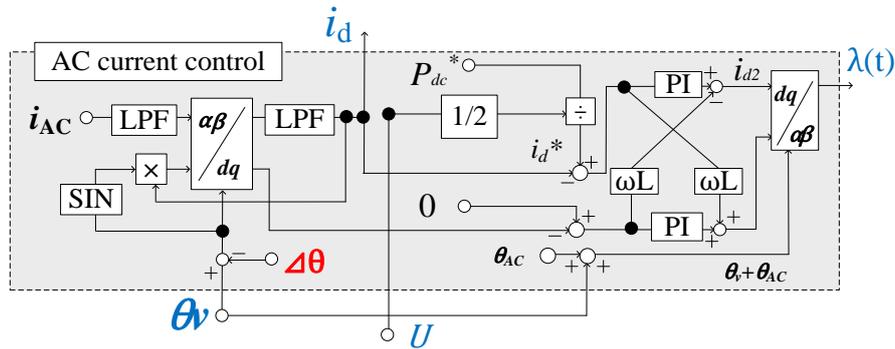
図4-6のPLL位相・振幅検出過程について説明する。まず初めに、図4-6(a)に示すように、静止座標系の α 軸量を系統電圧 v_{AC} の瞬時値 v_α 、 v_β の初期値を β 軸量とする事で、系統電圧 v_{AC} のフェーザ図を見積もる。次に、図4-6(b)に示すように回転角 ωt で回転座標変換を行い、d軸量とq軸量を得る。ここで、d軸量(v_d)と回転角 ωt を用いて、 $v_d \sin(\omega t)$ を計算し、次の静止座標系の β 軸量(v_β)とする。また、q軸量(v_q)を指令値としてPI制御により位相追従制御を行う。例えば、 $v_q > 0$ の場合には、次のPLLで用いる回転角 $\omega_2 t$ を $\omega_2 t > \omega t$ とする。一方で $v_q < 0$ の場合には、次のPLLで用いる回転角 $\omega_2 t$ を $\omega_2 t < \omega t$ とする。図4-6(c)では、 β 軸量 $v_\beta = v_d \sin(\omega t)$ とし、回転角を $\omega_2 t$ として座標変換を行い、 v_d と v_q を得る。この結果図4-6(b)と比べ、 v_d は大きくなり、 v_q は小さくなる。この過程(b)と過程(c)を繰り返すことで、図4-6(d)が得られる。図4-6(d)は定常状態における系統電圧ベクトル図であり、 v_d は系統電圧振幅 U に一致し、 v_q は0に一致する。また、この時の回転角は系統電圧位相 θ_v に一致する。

PLLは電圧振幅や位相誤差の過渡追従特性が優れていることが示されており [23][23]、本研究ではこの手法により系統電圧の振幅及び位相の検出を行う。

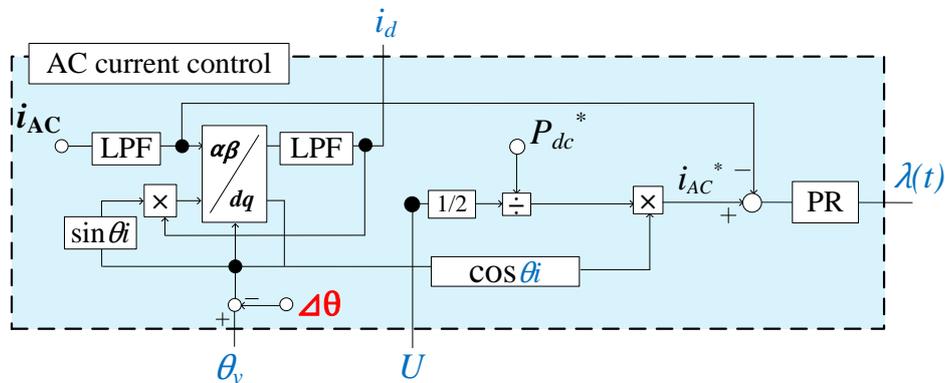
4.2.2 出力電流制御部

図 4-7(a)に回転座標変換(dq 変換)方式による制御ブロック図, 図 4-7(b)に PR 補償器を用いた交流制御方式による制御ブロック図を示す。出力電流制御部では, 出力電流 i_{AC} を検出し, 電流指令値との差分を取り補償器を乗じて変調信号とする。ここで, $\Delta\theta$ は力率角を表しており, 出力電流の位相 θ_i は($\theta_i = \theta_v - \Delta\theta$)で表される。力率角 $\Delta\theta$ の調節により低力率での運転が実現可能となる。

dq 変換による制御方式では, dq 変換によって出力電流を直流量として制御しているが, この方式では, 低力率運転により制御安定性が悪化する事を確認した。また, 回転座標変換を用いる事によって d 軸と q 軸の干渉が生じるため, それを補うための干渉項が必要となる。干渉項等によって制御系の安定性解析も複雑化するため, 解析が困難と



(a) 回転座標変換(dq変換)による制御方式



(b) PR 補償器を用いた交流制御

図 4-7 出力電流制御ブロック図

なる。そのため、本研究では、PR 補償器を用いた交流量での制御方式を採用する。この方式では、低力率においても安定性の悪化は確認されなかった。また、出力電流フィードバック制御系の安定性解析も容易となる。

式(4.2)に電流フィードバック制御における電流指令値 i_{AC}^* を示す。ここで、 P_{DC}^* は平均電力指令を表しており、 θ_v は系統電圧位相、 $\Delta\theta$ は力率角を表している。系統電圧振幅 U と電力指令 P_{DC}^* は一定とすると、電流指令の振幅は力率に依らず一定となる。低力率においては $\Delta\theta$ が変化するため、電流指令は位相のみが変化する。

$$i_{AC}^* = \frac{P_{DC}^*}{\frac{1}{2}U} \cos(\theta_v - \Delta\theta) \quad (4.2)$$

次に、PR 補償器について述べる。一般にパワーエレクトロニクス機器におけるフィードバック制御には、比例(P)補償器や比例積分(PI)補償器等が幅広く使われている。これらの補償器は直流量の制御に対しては有効であるが、交流量の制御に対しては、指令値の位相に対して位相遅れが生じてしまうために、有効な手段とは言い難い。

そこで本研究では、交流量の制御に対しても、位相遅れが生じにくい比例共振(PR)補償器を適用する。PR 補償器では特定の周波数においてゲイン増幅と位相補正が可能であるため、P 補償器や PI 補償器における残留偏差や位相遅れの問題を解消する事が出来る[24][25][26]。

$$G_{PR}(s) = \frac{V_2}{V_1} = K_P + K_R \frac{s}{s^2 + \omega_0^2} \quad (4.3)$$

$$G_{PR2}(s) = \frac{V_2}{V_1} = K_P + K_R \frac{2\omega_c s}{s^2 + 2\omega_c s + \omega_0^2} \quad (4.4)$$

図 4-8 に PR 補償器のブロック図を示し、式(4.3)及び式(4.4)に PR 補償器の伝達関数を示す。図 4-8(a)と式(4.3)は理想的な PR 補償器におけるブロック図と伝達関数であり、図 4-8(b)と式(4.4)は、帯域幅を考慮した PR 補償器のブロック図と伝達関数である。 K_P は比例ゲイン、 K_R は共振ゲインを表しており、 ω_0 はゲイン増幅する角周波数を表している。 ω_c はゲイン増幅周波数 ω_0 の帯域幅を決定するパラメータである。制御対象となる周波数は 50Hz であるため、 $\omega_0 = 2 * \pi * 50$ 、 $\omega_c = 2 * \pi * 10$ と設定する。

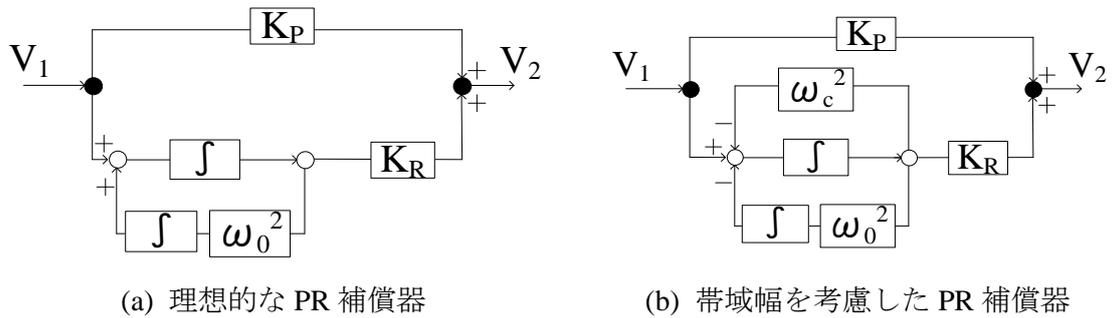


図 4-8 PR 補償器のブロック図

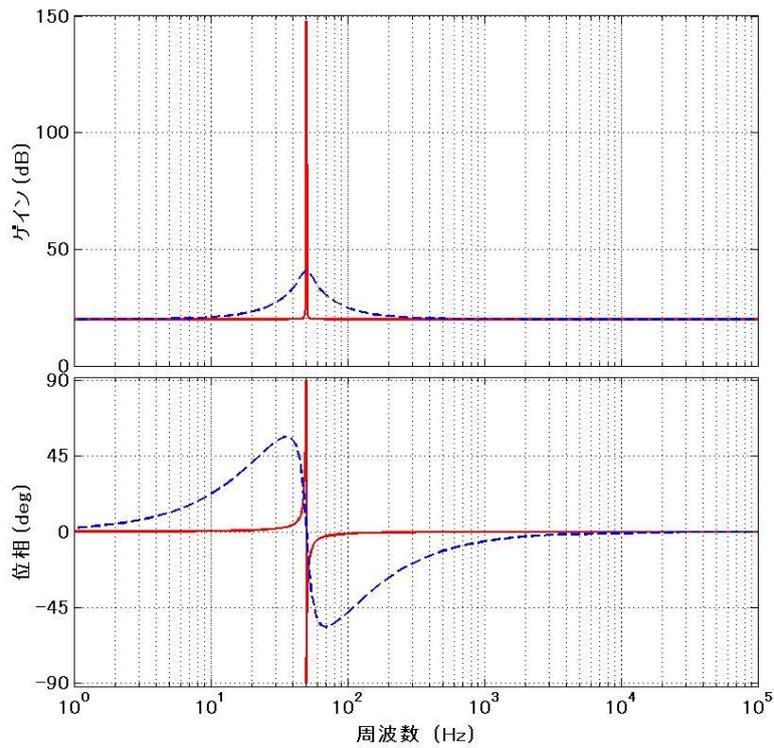


図 4-9 PR 補償器のボード線図
(a) ゲイン特性 (b) 位相特性

図 4-9 に、 $G_{PR}(s)$ と $G_{PR2}(s)$ のボード線図を示す。図 4-9 (a) に示すゲイン特性より ω_0 の周波数でゲインが増幅されていることが分かる。また、図 4-9(b) に示す位相特性においても、 ω_0 の周波数の位相特性が 0 になっていることが分かる。インバータ出力電流制御では、変調補正等のズレによって、出力電流に周辺周波数が重畳する場合があるため、

本研究では、帯域幅 ω_c によって周辺周波数のゲインも増幅する事の出来る PR 補償器を採用する。

また、パワーデカップリング制御では瞬時脈動電力を演算するために、出力電流の振幅 i_d を検出する必要がある。そのため、出力電流制御ブロックでは、dq 変換を用いる。電流位相角 θ_i で回転座標変換を行う事で、電流振幅 i_d を検出可能となる。

4.2.3 パワーデカップリング制御部

図 4-10 にパワーデカップリング制御ブロック図を示す。パワーデカップリング回路は mode I においては、脈動電力の充電、mode II においては脈動電力の放電を行うように動作する。そこで、パワーデカップリング制御部では、mode 切替信号の生成と充電電流フィードバック制御、更にデカップリングコンデンサ平均電圧のフィードバック制御を行う。mode 切替信号の生成と充電電流の推定には、瞬時電力電力脈動 P_{rip} を計算する必要がある。力率 1 及び低力率状態における瞬時脈動電力は式(2.6)、式(2.7)で表されるため、PLL 部で得られた系統電圧振幅 U 、及び位相 θ_v 、出力電流制御部で得られた出力電流振幅 i_d 、及び位相 θ_i を用いて、瞬時脈動電力 P_{rip} が計算される。ここで、パワーデカップリング回路は昇降圧チョッパ回路で構成されているため、充電電流は、昇降圧チョッパの入力電流となる。そのため、充電電流 i_{x1} の指令値 i_{x1}^* は式(4.5)で表される。また、この時の各波形を図 4-11 に示す。

$$i_{x1}^* = \frac{P_{rip}}{V_{DC}} = \frac{U i_d}{2V_{DC}} \cos(2\theta_v - \Delta\theta) \quad (4.5)$$

式(4.5)において、 $\Delta\theta$ は力率角を表しており、力率 1 の場合は $\Delta\theta = 0$ とする。図 4-11 に示すように、この充電電流指令値 i_{x1}^* によって mode 切替信号が生成され、更に充電電流 i_{x1} のフィードバック制御が行われる。充電電流の制御は充電期間 mode I でのみ制御

が行われる。また、充電電流 i_{x1} は昇降圧チョッパ回路の入力電流であるため、検出した後にデジタルローパスフィルタを通してスイッチング周波数を除去する必要がある。デカップリングコンデンサ電圧 v_x は脈動電力の充放電により脈動するが、 v_x が系統電圧 v_{AC} よりも下回ってしまうと脈動電力を系統に放電できなくなってしまうため

v_X が v_{AC} より常に高い電圧をなるようにその平均電圧 \bar{v}_X を制御する必要がある。そのため、パワーデカップリング制御部では \bar{v}_X のフィードバック制御も行っている。 \bar{v}_X のフィードバック制御は mode I と mode II の双方で常に制御される。

この充電電流 i_{X1} とコンデンサ平均電圧 \bar{v}_X の制御に要求される指令値追従性について述べる。 i_{X1} の制御応答性については、商用周波数の2倍の正弦波指令値に追従する必要があるが、ゲイン不足や位相遅れがあると、脈動が正確に充電されずパワーデカップリング回路の機能性悪化につながる。そのため、 i_{X1} の制御ゲインは高く設定し、ゲイン不足や位相遅れが生じないようにする必要がある。一方で、 \bar{v}_X の制御応答性については、任意の平均電圧指令値 v_X^* は一定値であるため、 i_{X1} に比べ、制御ゲインは低く設定可能である。

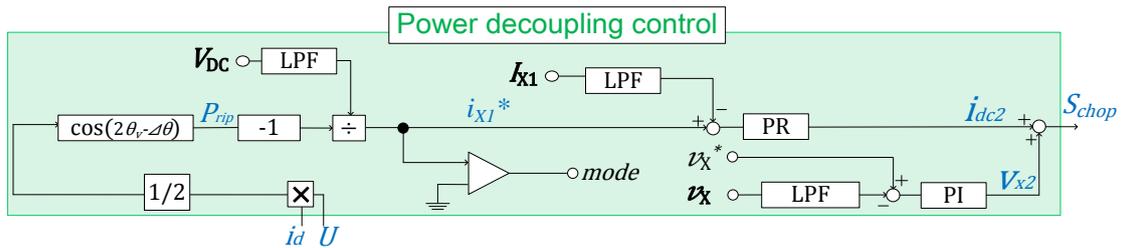


図4-10 パワーデカップリング制御ブロック図

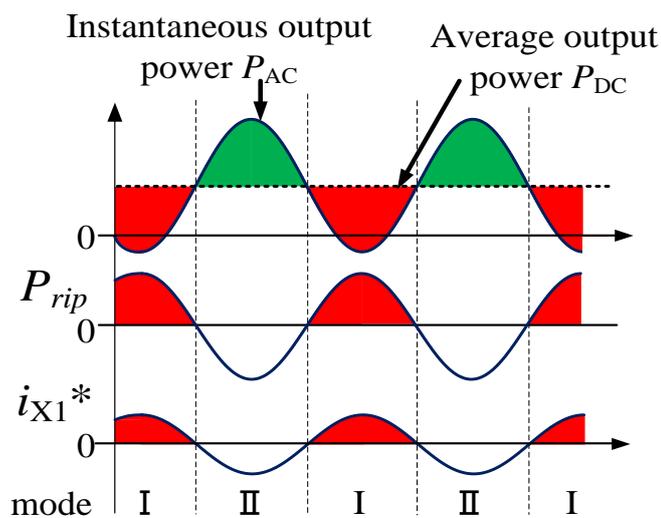


図4-11 パワーデカップリング制御部における各波形

4.3 変調方式

提案するパワーデカップリング形パワーコンディショナは mode I ($P_{DC} < P_{AC}$) と mode II ($P_{DC} > P_{AC}$) の区間に分ける事で動作する。ここでは、そのための変調方式について述べる。mode I においては、インバータスイッチは出力電流制御から得られる変調信号 $\lambda(t)$ とキャリア信号の PWM 変調によって駆動する。更に、入力電流での脈動を除去するためにパワーデカップリング回路の充電電流制御信号とキャリア信号の PWM 変調によって昇降圧チョップスイッチ S_{X1} を駆動する。これにより mode I での入力電力脈動を除去できる。一方で mode II においては、パワーデカップリング回路の放電スイッチ S_{X2} を介して、系統に脈動電力を放電し、更に入力からは一定電力を供給するように、追加スイッチ S_{X3}, S_{X4} を駆動させる。これにより mode II においても入力電力脈動を低減できる。提案回路がこのように動作するために、先行研究では各スイッチ信号を生成する変調信号について検討された。本研究では、先行研究で開発された力率 1 における変調信号の生成方法を発展させ、低力率運転に対応した変調信号の生成方法について検討した。まず初めに mode II において入力電力脈動を低減するための変調補正について述べ、その後パワーデカップリング回路の放電のための変調補正、インバータの変調方式について述べる。

4.3.1 入力脈動低減のための変調補正

ここでは、入力脈動低減のための変調補正について述べる。図 4-12(a) に示すように、一般的なインバータにおいてはインバータスイッチ $S_1 \sim S_4$ を生成するための変調信号 $\lambda(t)$ は正弦波となるため、インバータスイッチ $S_1 \sim S_4$ のゲートパルス幅は正弦波状に変化する。そのため、入力電流はインバータのパルス幅に依存してしまい、入力側に脈動が現れる。そこで、本研究では追加スイッチ S_{X3}, S_{X4} に適用する変調信号について検討した。mode II において追加スイッチ S_{X3}, S_{X4} が入力電流量を調節可能であるため、この 2 つに用いる変調信号を検討する事で、mode II における入力電流の脈動を低減する事が出来る。追加スイッチ S_{X3}, S_{X4} の変調信号には、変調信号 $\lambda(t)$ を補正した $\lambda_M(t)$ を用いる。

この $\lambda_M(t)$ の生成方法について述べる。

系統連系インバータにおける瞬時出力電力の式は、式(2.5)で表されるため、入出力電力が一致する事から、変調補正前の入力電流 i_{DC} は式(4.6)で表される。

$$i_{DC} = \frac{P_{AC}}{V_{DC}} = \frac{V_{AC}I_{AC}(\cos\Delta\theta + \cos(2\omega t - \Delta\theta))}{2V_{DC}} \quad (4.6)$$

式(4.6)から、変調補正前の入力電流 i_{DC} は商用周波数の2倍で脈動する成分を持っている事が確認できる。一方で、変調補正後の入力電流 i'_{DC} は式(4.6)に対して脈動電力分が除去されるべきであるため、瞬時脈動電力式の直流成分項を用いて式(4.7)で表される。ここで、 $\lambda(t)$ は補正前の変調信号、 $\lambda_M(t)$ は補正後の変調信号を示す。

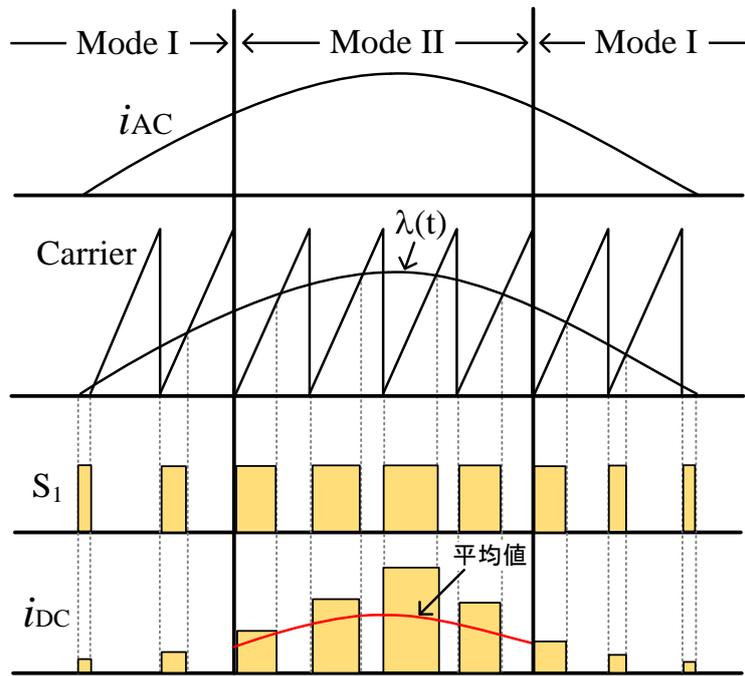
$$i'_{DC} = i_{DC} \frac{\lambda_M(t)}{\lambda(t)} = \frac{V_{AC}I_{AC}\cos\Delta\theta}{2V_{DC}} \quad (4.7)$$

変調信号の振幅比率 $\frac{\lambda_M(t)}{\lambda(t)}$ が Duty 比の変化率となるため、補正前の入力電流 i_{DC} に対して、 $\frac{\lambda_M(t)}{\lambda(t)}$ を乗じる事で、補正後の入力電流 i'_{DC} となる。式(4.6)と式(4.7)を連立する事により、式(4.8)を得ることが出来る。

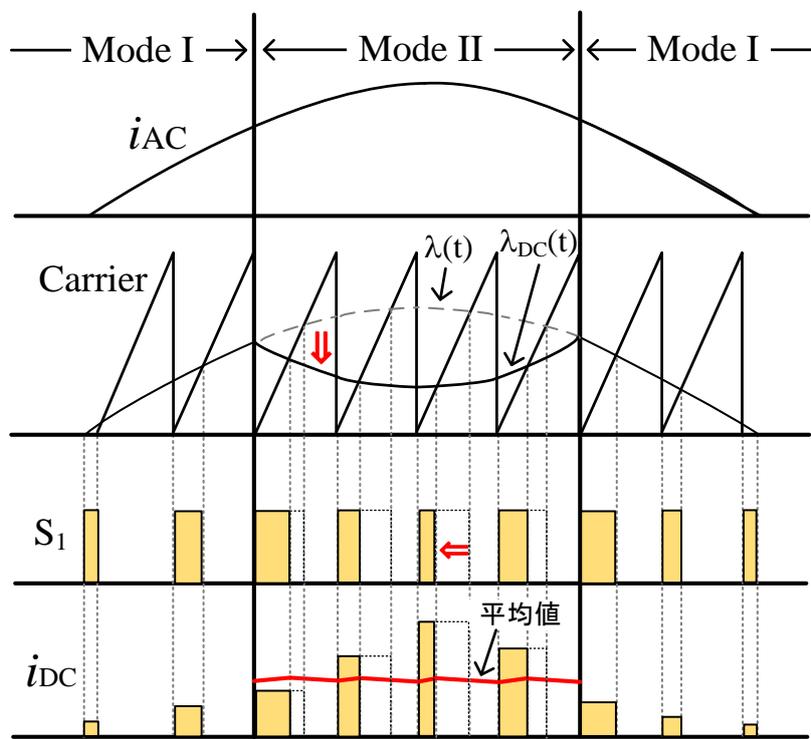
$$\frac{\lambda_M(t)}{\lambda(t)} = \frac{i'_{DC}}{i_{DC}} = \frac{\cos\Delta\theta}{(\cos\Delta\theta + \cos(2\omega t - \Delta\theta))} \quad (4.8)$$

よって式(4.7)が変調補正項となる。補正前の変調信号 $\lambda(t)$ に対して、式(4.8)で表される補正項を乗じる事で、補正後の変調信号 $\lambda_M(t)$ を得ることが出来る。 $\Delta\theta$ は力率角を表しており、力率1の時は $\Delta\theta = 0$ とする。

図 4-12(b)にその補正後の変調信号を適用した場合の変調方式を示す。インバータスイッチ $S_1 \sim S_4$ のパルス生成に用いる変調信号 $\lambda(t)$ のまま、追加スイッチ S_{X3}, S_{X4} のパルス生成に用いる変調信号に $\lambda_M(t)$ を用いる事で入力電流の脈動を低減できる。



(a) 一般的なPWM変調方式



(b) 提案変調方式

図 4-12 各変調方式におけるゲート信号と入力電流波形

4.3.2 パワーデカップリングの放電に伴う変調補正

次に、パワーデカップリング回路の放電に伴う変調補正について述べる。図 4-13 に示すように、mode II では入力からの電力供給とパワーデカップリング回路の電力放電を行うが、入力電力供給のためのスイッチ S_{X3} , S_{X4} とパワーデカップリング回路の放電用スイッチ S_{X2} は同時にオンしてしまうと、図に示すような電流ループが発生してしまう。その結果、デカップリングコンデンサの蓄積エネルギーが入力に回生されてしまう。そのため、追加スイッチ S_{X3} , S_{X4} と放電用スイッチ S_{X2} はインバータスイッチ $S_1 \sim S_4$ のオン期間で時分割に制御される必要がある。

図 4-14 にインバータスイッチ $S_1 \sim S_4$ 及び放電用スイッチ S_{X2} の変調補正図を示す。図 4-14(a)に示すように、デカップリングコンデンサ電圧が入力電圧と等しい($v_X = V_{DC}$)場合には、補正前の変調信号 $\lambda(t)$ から得られるインバータスイッチ $S_1 \sim S_4$ に対して追加スイッチ S_{X3} , S_{X4} と放電用スイッチ S_{X2} は時分割に制御される。しかし、提案回路におけるパワーデカップリング回路は昇降圧チョッパ回路で構成されているため、デカップリングコンデンサ電圧 v_X は入力電圧 V_{DC} に対して昇圧、あるいは降圧状態となる。例えばコンデンサ電圧 v_X が入力電圧 V_{DC} より昇圧されている($v_X > V_{DC}$)時に、変調信号 $\lambda(t)$ によりインバータスイッチ $S_1 \sim S_4$ 及び放電用スイッチ S_{X2} を制御した場合、 V_{DC} に対する v_X の昇圧比に応じた過剰電力を出力に供給することになる。一方で、 v_X が V_{DC} より降圧されている($v_X < V_{DC}$)時には、放電電力は不足してしまう。

そのため、図 4-14(b)に示すように、インバータスイッチ $S_1 \sim S_4$ 及びデカップリングスイッチ S_{X2} に与える変調信号 $\lambda_X(t)$ をコンデンサ電圧 v_X と入力電圧 V_{DC} の比に応じて調整しなければならない。 v_X と V_{DC} の電圧比を考慮した変調信号 $\lambda_M(t)$ を式(4.9)に示す。

$$\lambda_X(t) = (\lambda(t) - \lambda_M(t)) \times \frac{V_{DC}}{v_X} + \lambda_M(t) \quad (4.9)$$

本研究では、補正後の変調信号 $\lambda_X(t)$ から得られるインバータスイッチ $S_1 \sim S_4$ に対して、 S_{X3} , S_{X4} と S_{X2} を時分割に制御する。

また、キャリア信号を鋸歯状波にする事で、スイッチングのターンオンをそろえることが出来るため、mode II の放電の際にはキャリア波として鋸歯状波を適用する事で、

三角波に比べ、スイッチング回数を減らすことができる。

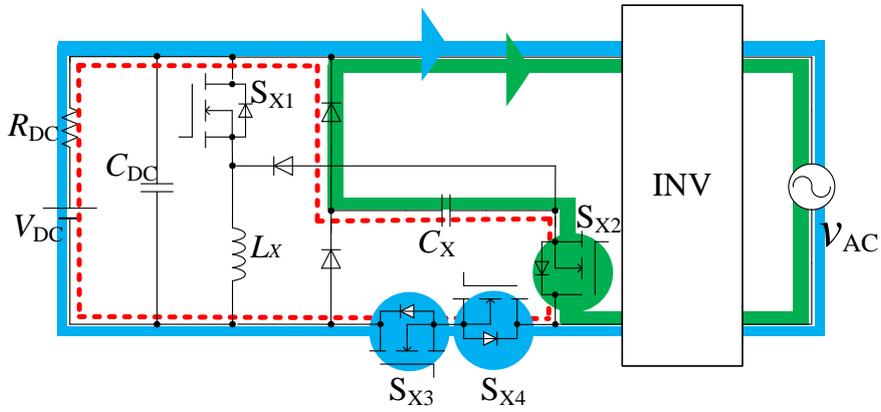
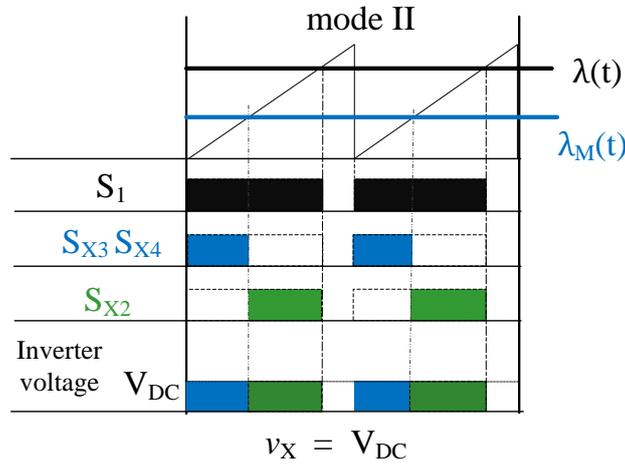
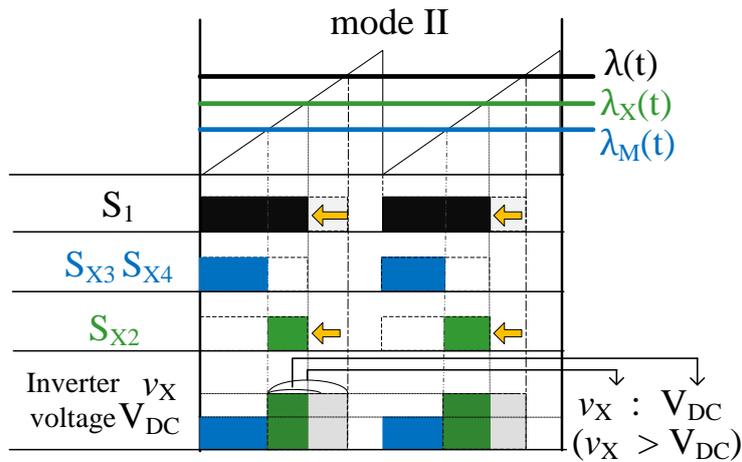


図4-13 S_{X2} と S_{X3}, S_{X4} の同時オンによる電流経路



(a) $v_X = V_{DC}$ の場合の変調方式



(b) v_X と V_{DC} の電圧比を考慮した変調方式

図 4-14 インバータスイッチ $S_1 \sim S_4$ 及び放電用スイッチ S_{X2} の変調補正

4.3.3 インバータ部における変調方式

図 4-15 にインバータスイッチ $S_1 \sim S_4$ の変調方式について示す。本研究ではインバータの左レグと右レグで異なるスイッチング周波数とする事で、通常のユニポーラ変調と比較してスイッチング損失を低減している。左レグスイッチ S_1, S_2 はキャリア周波数でスイッチングするが、右レグスイッチ S_3, S_4 は商用周波数でスイッチングする事で、右レグでのスイッチング周波数を低減することが出来る。

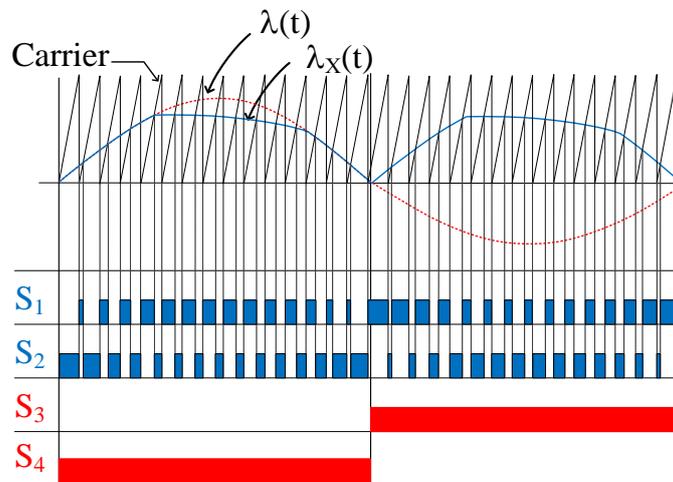


図4-15 インバータスイッチ $S_1 \sim S_4$ の変調方式

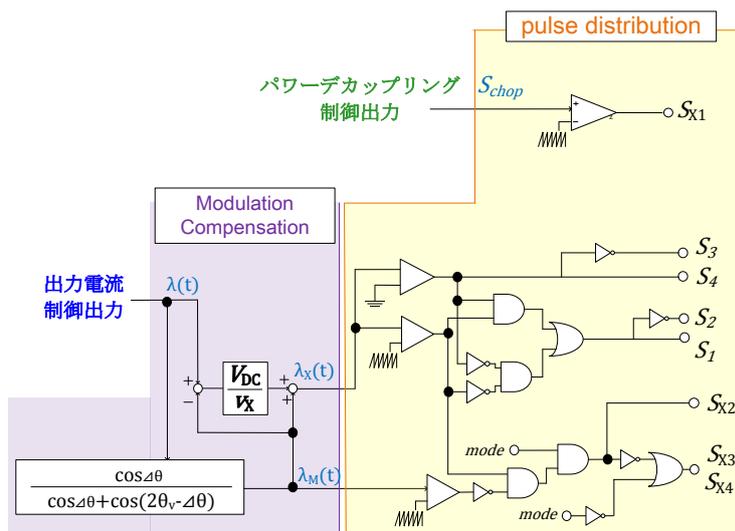


図4-16 変調補正とPWM変調・パルス分配のブロック図

4.4 サンプリング手法とデッドタイム設計

図 4-17 に DSP ボードと FPGA ボードの役割について示す。DSP の演算速度は最大で $5\mu\text{s}$ であるのに対して、FPGA の処理速度は 10ns であるため、キャリア信号の生成やパルス分配の生成等は処理速度の速い FPGA で処理する必要がある。一方で、演算など複雑な処理は DSP で処理する。ここでは、FPGA で処理が行われるサンプリング手法とデッドタイム設計について述べる。本研究では、キャリア同期サンプリングを適用している。ランダムサンプリングの場合、スイッチングのタイミングでサンプリングしてしまうと、スイッチングノイズの重畳した検出波形を用いて演算処理が行われるため、誤ったゲート信号が生成される可能性がある。そのため、スイッチングのタイミングでのサンプリングを避けるため、キャリア同期サンプリングを適用する。

図 4-18 に本研究におけるサンプリング方法を示す。本研究では、キャリア周波数に同期してサンプリングを行う。キャリア波には鋸歯状波を用いており、鋸歯状波においては、鋸歯状波の頂点のタイミングで各スイッチがターンオンするため、頂点でサンプリングするとスイッチングノイズによる誤動作を招く可能性がある。そのため、サンプリングは鋸歯状波が振幅の 0.8 倍となったところでサンプリングを行うように、サンプルクロックを生成する。

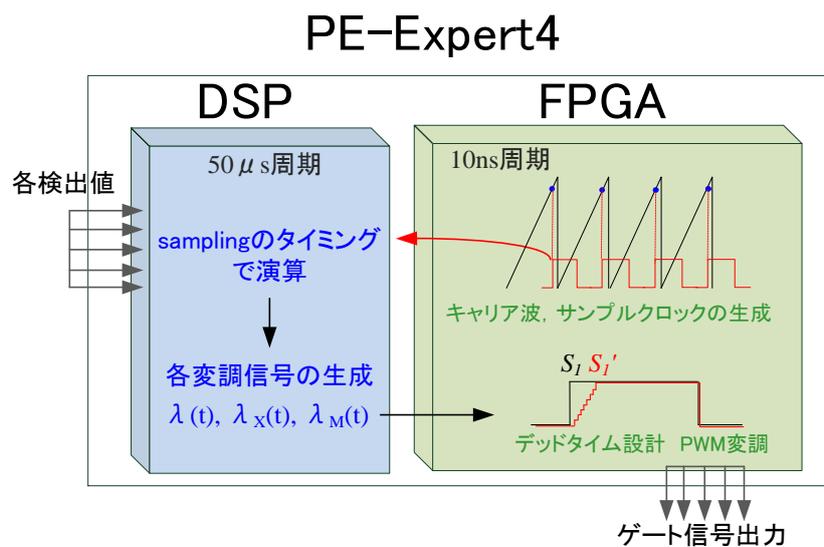


図 4-17 DSP ボードと FPGA ボードの役割

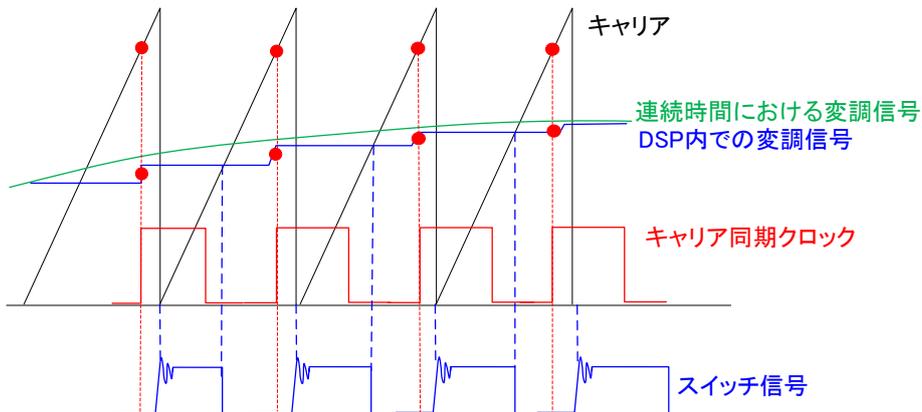


図4-18 提案回路におけるサンプリング手法



図4-19 デッドタイム設計手法

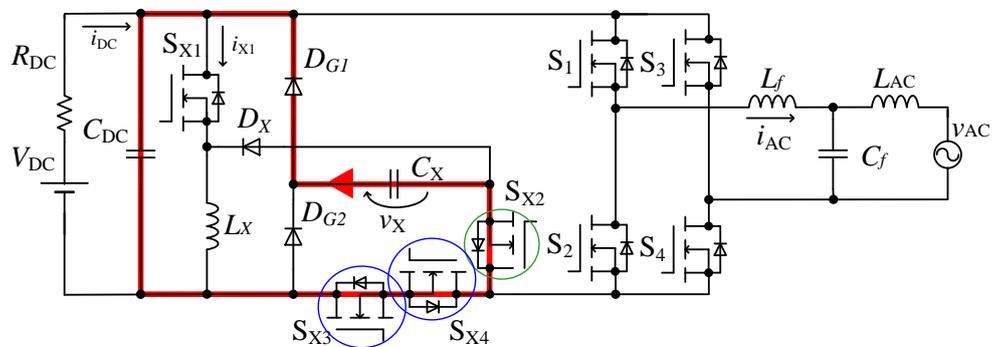


図4-20 デッドタイム設計手法

一方で、ターンオフのタイミングは、キャリア振幅と変調信号の振幅比率（変調率）により変化する。変調率の増加によって、ターンオフタイミングは鋸歯状波の頂点に近づくため、変調率が0.8以上になると、スイッチのターンオフタイミングとサンプリングが重なり、スイッチングノイズによる誤動作を招く恐れがある。よって、変調率は0.8未満となるようにする必要がある。

次にデッドタイム設計について述べる。インバータの上下アーム等では、スイッチの

ゲート信号は反転しているため交互にスイッチが行われるが、この時に、瞬間的に上下スイッチともにオン状態となると、インバータはアーム短絡を起こす。アーム短絡によって素子破壊を招く恐れがあるため、交互にスイッチングをするスイッチには、スイッチング毎に双方がオフ状態となるデッドタイム期間を設ける事が望まれる。図 4-19 にデッドタイム設計手法を示す。一般的にデッドタイム期間を設ける場合は、双方のスイッチのターンオン期間を削る。本研究では使用する MOSFET のスイッチング速度とゲート抵抗等から設計し、デッドタイム期間が 500ns となるように設計した[28]。デッドタイムはインバータの上下アーム(S_1 と S_3 , S_2 と S_4)で適用する。更に、図 4-14 に示すように、パワーデカップリングの放電量スイッチ S_{X2} と追加スイッチ S_{X3} , S_{X4} においても同時にオン状態となりターンオンする可能性がある。これらのスイッチが同時にオンする事により、図 4-20 に示すような経路で短絡電流が流れるため、これらのスイッチに対してもデッドタイムを設ける必要がある。

4.5 インバータ出力電流制御系の安定性解析

提案する制御システムは、インバータ部において出力電流フィードバック制御とパワーデカップリング部において充電電流及びコンデンサ平均電圧のフィードバック制御を行っている。一般にフィードバック制御系は安定性が確保されない場合があるため、ボード線図や根軌跡による安定性解析が必要不可欠となる。また、安定性を保持できる範囲で補償器のゲインを設計する必要があるため、提案制御システムのフィードバック制御系の安定性解析と補償器のゲイン設計を行う。

ここでは、まず初めにインバータ部における出力電流フィードバック制御の安定性解析と補償器のゲイン設計を行う。また、ここでは出力電流制御に PI 補償器を用いた場合と PR 補償器を用いた場合を比較し、PR 補償器の評価を行う。まず初めに、図 4-21 図 4-22 に提案する制御システムの回路図とブロック線図を図に示す。また、表 4-1 に制御系の設計条件を示す。

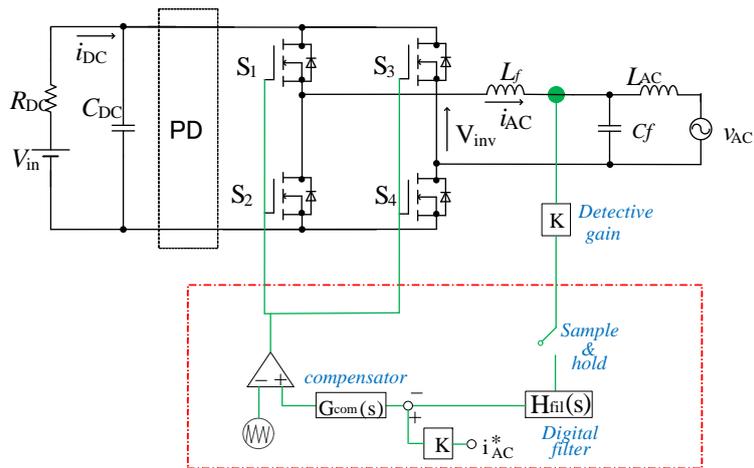


図 4-21 インバータ出力電流制御系の回路図

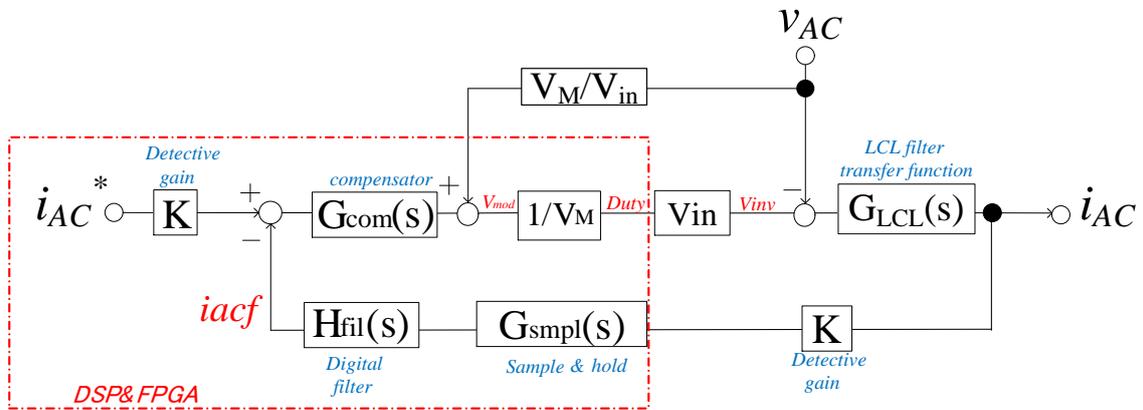


図 4-22 インバータ出力電流制御系 制御ブロック図

表 4-1 設計条件

入力電圧 V_{in}	200V
系統電圧 v_{AC}	100V
検出ゲイン K	0.1
サンプリング周期 T_s	50us
キャリア振幅 V_M	200V
フィルタインダクタ L_f	2.0mH
フィルタキャパシタ C_f	6.3 μ F
フィルタインダクタ L_{AC}	1.4mH

ここで、図 4-22 の制御ブロック図における各ブロックの伝達関数について示す。制御に用いる補償器は PI 補償器と PR 補償器を用いるため、PI 補償器の伝達関数 $G_{com1}(s)$ は式(4.10)、PR 補償器の伝達関数 $G_{com2}(s)$ は式(4.11)で表される。PR 補償器にはゲイン増幅周波数の帯域幅を考慮したものをを用いる。

$$G_{com1}(s) = K_p + K_I \frac{1}{s} \quad (4.10)$$

$$G_{com2}(s) = K_p + K_R \frac{2\omega_c s}{s^2 + 2\omega_c s + \omega_0^2} \quad (4.11)$$

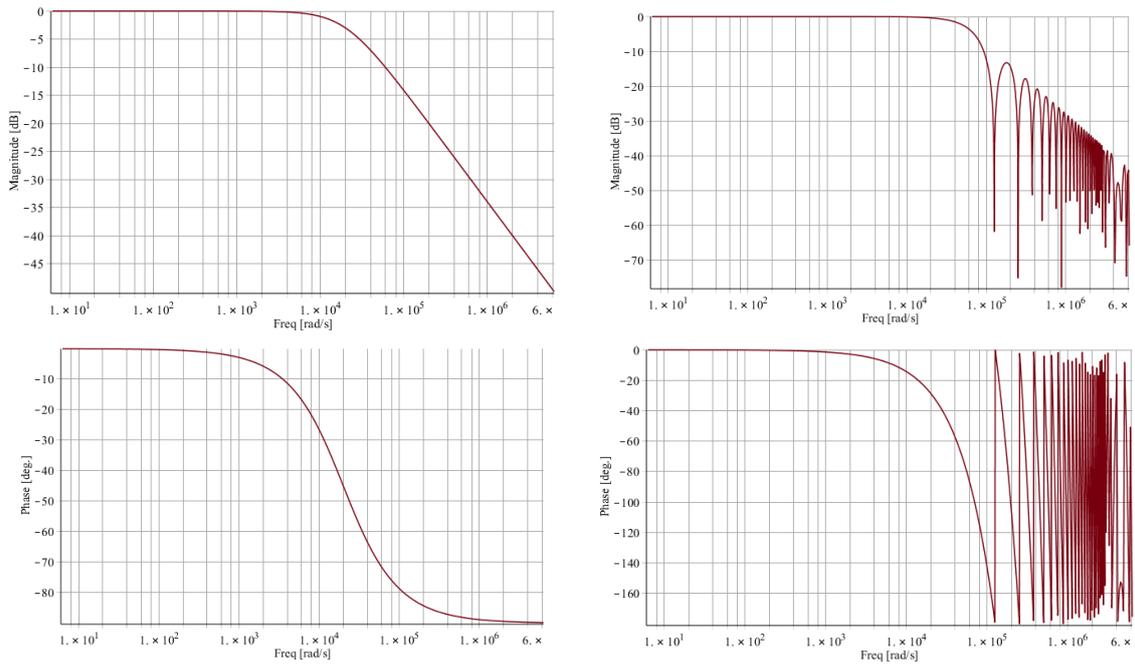
次に $G_{LCL}(s)$ は LCL フィルタにおける伝達関数を表している。具体的には、インバータの出力電圧 V_{inv} に対する出力電流 i_{AC} の応答特性を表す。 $G_{LCL}(s)$ は式(4.12)で表される。

$$G_{LCL}(s) = \frac{i_{AC}}{V_{inv}} = \frac{1}{L_f s} \frac{s^2 + \frac{1}{L_{AC} C_f}}{s^2 + \frac{L_f + L_{AC}}{L_f C_f L_{AC}}} \quad (4.12)$$

$G_{smp1}(s)$ はサンプリングによる伝達関数を示す。本研究ではキャリア同期サンプリングを適用しており、サンプリングによる遅延によって制御系の安定性が悪化する可能性がある。式(4.13)に $G_{smp1}(s)$ の式を示す。式(4.13)には、零次ホールドサンプリングの伝達関数と、その一次遅れ系近似の伝達関数を表している。本研究では、制御系解析にあたり簡単化のため一次遅れ系近似の零次ホールド伝達関数を用いる。また、図 4-23(a) 図 4-23(b)に零次ホールドの伝達関数と一次遅れ近似の伝達関数の周波数特性を示す。図 4-23 より高周波での特性は異なるが、低周波及びカットオフ付近の周波数帯の特性は概ね等しいことが確認できる。

$$G_{smp1}(s) = \frac{1 - e^{-sT_s}}{sT_s} \cong \frac{1}{1 + sT_s} \quad (4.13)$$

$H_{fil}(s)$ はデジタルフィルタの伝達関数である。出力電流制御系において、検出した信号 i_{AC} にはスイッチングリップルが重畳しているため、スイッチングリップル除去のためにデジタルフィルタを通す必要がある。また、検出信号 i_{AC} に急峻なパルス電流が重畳した場合にデジタルフィルタを通す事で高周波パルス電流に依存せず運転することが出来る。式(4.14)に $H_{fil}(s)$ の式を示す。



$$(a) G_{smpl}(s) = \frac{1}{1+sT_s}$$

$$(b) G_{smpl}(s) = \frac{1-e^{-sT_s}}{sT_s}$$

図 4-23 サンプリング伝達関数の周波数特性(上：ゲイン特性 下：位相特性)
式(4.14)においてフィルタのカットオフ周波数 ω_f は $\omega_f = 1000\text{Hz}$ とする。

$$H_{fil}(s) = \frac{1}{1+sF} \quad (F: \frac{1}{\omega_f}) \quad (4.14)$$

ここで、図 4-22 に示す制御ブロック図における前向き伝達関数 $G_{open}(s)$ と一巡伝達関数 $G_{ground}(s)$ 、閉ループ伝達関数 $G_{close}(s)$ を式(4.15)、式(4.16)、式(4.17)に示す。

$$G_{open}(s) = G_{com}(s) * \frac{V_{in}}{V_M} * G_{LCL}(s) * K * G_{smpl}(s) * H_{fil}(s) \quad (4.15)$$

$$\begin{aligned} G_{ground}(s) &= \frac{i_{ACf}}{i_{AC}^*} \\ &= \frac{G_{com}(s) * \frac{V_{in}}{V_M} * G_{LCL}(s) * K * G_{smpl}(s) * H_{fil}(s)}{1 + G_{com}(s) * \frac{V_{in}}{V_M} * G_{LCL}(s) * K * G_{smpl}(s) * H_{fil}(s)} \end{aligned} \quad (4.16)$$

$$\begin{aligned} G_{ground}(s) &= \frac{i_{AC}}{i_{AC}^*} \\ &= \frac{G_{com}(s) * \frac{V_{in}}{V_M} * G_{LCL}(s)}{1 + G_{com}(s) * \frac{V_{in}}{V_M} * G_{LCL}(s) * K * G_{smpl}(s) * H_{fil}(s)} \end{aligned} \quad (4.17)$$

ここで、式(4.16)で表される一巡伝達関数 $G_{\text{round}}(s)$ を用いて、インバータ出力電流制御系の安定性解析を行う。一般的に、安定性解析には根軌跡やボード線図・ラウスの安定判別やフルビッツの安定判別法が適用されるが、本研究では離散系での伝達関数表現が複雑化する事から連続時間系で安定性解析を行うために、ボード線図を用いた安定性解析を行う。一般的にボード線図による安定性解析ではゲイン余裕 (GM) や位相余裕 (PM) の評価を行う。

図 4-24 に、PI 補償器を用いた場合の一巡伝達関数の周波数特性を示す。図 4-25 には、PR 補償器を用いた場合の一巡伝達関数の周波数特性を示す。補償器のゲインは表に示すような値とする。今回は積分ゲイン K_I や共振ゲイン K_R はボード線図では大きな影響を与えないために一定とし、比例ゲインの変化によってどのように GM や PM が変化するかを確認する。

表 4-2 補償器パターン表

	パターン①	パターン②	パターン③
PI 補償器 (K_P, K_I)	(10, 1000)	(100, 1000)	(500, 1000)
PR 補償器 (K_P, K_R)	(10, 1000)	(100, 1000)	(500, 1000)

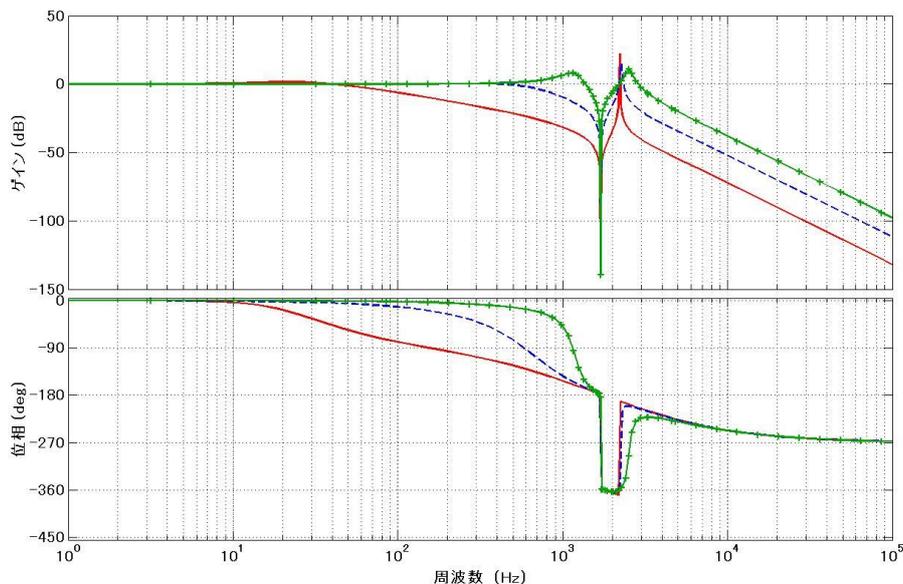


図 4-24 出力電流制御系の $G_{\text{round}}(s)$ ボード線図 (PI 補償器)
(a) ゲイン特性 (b) 位相特性

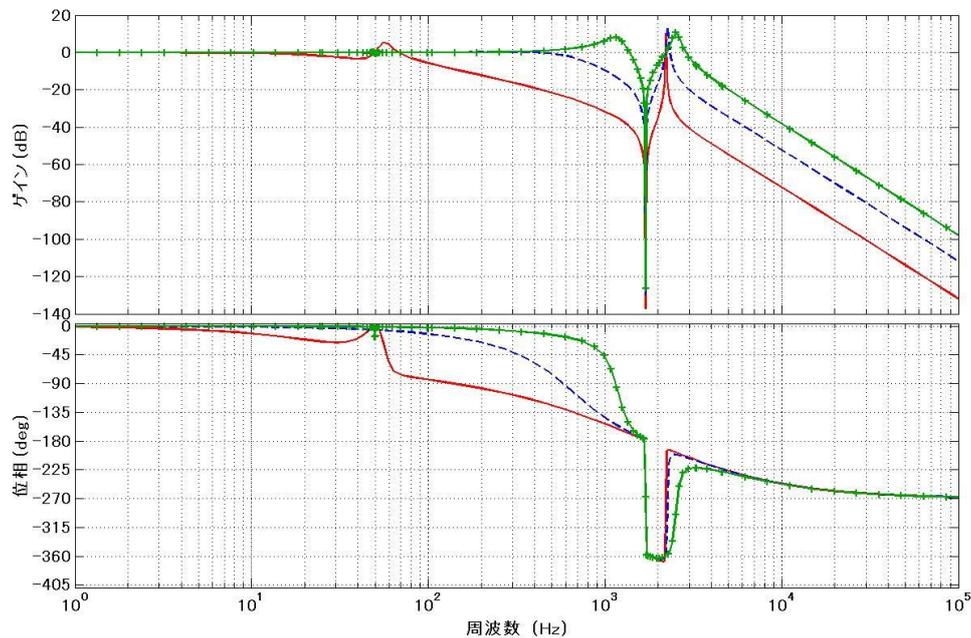


図 4-25 出力電流制御系の $G_{\text{round}}(s)$ ボード線図 (PR 補償器)

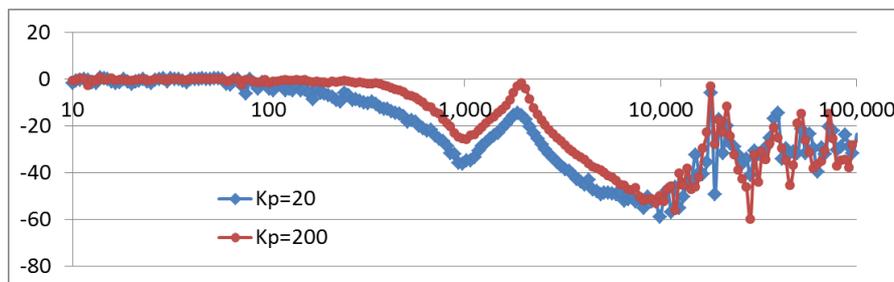
(a) ゲイン特性 (b) 位相特性

図 4-24, 図 4-25 のボード線図から GM について考察する。まず初めにボード線図上には 2.2kHz 付近において共振現象が確認できるが、この周波数は LCL フィルタでの共振周波数である。図 4-24, 図 4-25 に示すように、パターン①においては、位相が 180° をまわる周波数帯でのゲインは 0dB をほぼ超えてないために、ゲイン余裕 GM は確保されていると言える。一方でパターン②及びパターン③においては位相が 180° をまわる周波数帯でのゲインは 0dB を超えてくるために制御系は不安定になると考えられる。不安定状態になると、LCL の共振周波数成分が出力波形に重畳し、波形が歪むと考えられる。そのため、補償器の比例ゲインは $K_p < 100$ で設計する必要がある事が分かる。

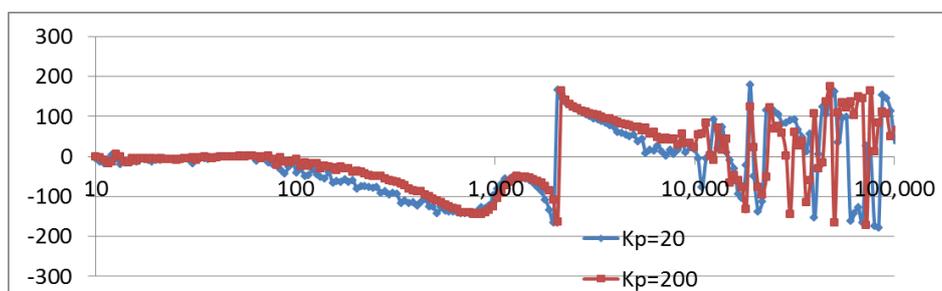
図 4-24, 図 4-25 のボード線図から PI 補償器と PR 補償器を比較する。PI 補償器を用いた $G_{\text{round}}(s)$ ボード線図では、制御対象の周波数である 50Hz 付近においてゲイン特性は 0dB となっているため、出力電流の振幅は指令値通りに制御可能であることを示している。一方で、位相特性は全てのパターンにおいて位相遅れが確認できる。 K_p の上昇により位相遅れは改善されるが、 K_p の上昇により制御系は不安定となるため、 K_p を上

げる事は出来ない。PR 補償器を用いた $G_{\text{round}}(s)$ ボード線図では、 K_p が低いパターン①でも 50Hz 付近の位相特性は 0° となっている。また、ゲイン特性も 50Hz 付近は 0dB となっているため、PR 補償器において比例ゲイン K_p を低く設計する事で、制御系の安定性と指令値への高い追従性の双方を確保できることが分かる。以上より、本研究では PR 補償器を用い、PR 補償器の比例ゲインを $K_p < 100$ で設計する。

次に実験にてインバータの出力電流フィードバック制御系の周波数特性を確認する事で、解析結果が正しい事を確認する。図 4-26 に実験回路における出力電流フィードバック制御系のボード線図を示す。ボード線図を描画する際には、周波数特性解析装置 (PSM3750<岩通株式会社>)を用いた。図 4-26 よりゲイン特性・位相特性が計算結果と概ね一致している事が分かる。実験においては比例ゲイン $K_p = 200$ となる時にゲイン余裕 GM がおおよそ 0dB となっているため、 $K_p < 200$ 以下で運転する必要があることが分かる。最後に実験において、PI 補償器を用いた場合と PR 補償器を用いた場合の出力電流波形を比較する。図 4-27 に力率 1 における出力電流波形図を示す。図 4-27(a)に示すように PI 補償器において比例ゲイン K_p を小さく設定した場合、力率 1 状態にもかかわらず出力電流の位相が遅れてしまう事が確認できる。

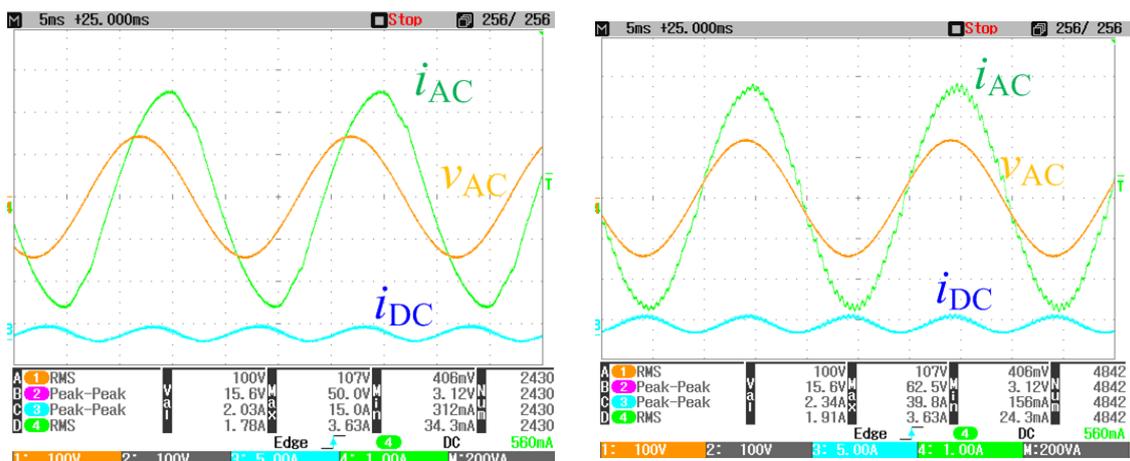


(a) ゲイン特性



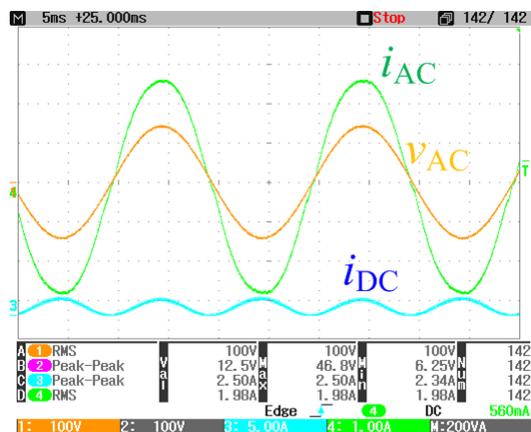
(b) 位相特性

図 4-26 実験における出力電流制御系のボード線図 (PR 補償器)



(a) PI 補償器($K_p = 50, K_i = 200$)

(b) PI 補償器($K_p = 150, K_i = 200$)



(c) PR 補償器($K_p = 50, K_i = 200$)

図 4-27 PI 補償器と PR 補償器における出力電流波形比較

しかし、図 4-27(b)に示すように比例ゲイン K_p を大きくすると、位相遅れは改善されるが出力電流波形に LCL 共振周波数成分が重畳してくることが確認できる。一方で、図 4-27(c)に示すように PR 補償器を用いると低いゲインでも安定かつ位相遅れ無しで制御されている事が確認できる。

4.6 パワーデカップリングの充電電流制御系の安定性解析

パワーデカップリング回路では充電電流制御とデカップリングコンデンサ平均電圧制御がなされているが、デカップリングコンデンサ平均電圧制御は充電電流制御に比べ制御応答速度が必要とされないために、安定性を保ちやすい。そのため、ここではパワ

ーデカップリング回路の充電電流制御系の安定性解析を行う。提案回路におけるパワーデカップリング回路は昇降圧チョッパ回路で構成されているが、実動作上においては、パワーデカップリング回路は mode 切替によって動作が変化するため、昇降圧チョッパ回路の入力から見た出力の負荷は変化する。mode 切替を考慮した充電電流制御系の安定性解析は複雑化するため、本研究においてはまず初めに、パワーデカップリング回路の充電電流制御系を、昇降圧チョッパの入力電流制御へと近似し安定性解析を行う。

4.6.1 昇降圧チョッパの入力電流制御への近似

図 4-28 パワーデカップリング回路の充電電流制御回路図を示す。パワーデカップリング回路において、入力から見た出力の負荷は mode 切替によって変化する。例えば、mode I においては、放電用スイッチ S_{X2} は常にオフであるため、パワーデカップリング回路を構成する昇降圧チョッパの出力における負荷は、デカップリングコンデンサ C_X となる。一方で mode II においては、放電用スイッチ S_{X2} は動作するため、 S_{X2} がオンの時は昇降圧チョッパ回路の出力における負荷はデカップリングコンデンサ C_X とインバータ出力インピーダンスの並列負荷となる。mode 切替によって昇降圧チョッパ回路の出力負荷が変化するために、制御解析が困難となる。

そこで本研究では、昇降圧チョッパ回路の負荷をコンデンサ C_X と抵抗 R に置き換える事でパワーデカップリング回路動作が模擬可能であると考えた。例えば mode I において負荷抵抗は 0 に等しく、mode II においては抵抗値をインバータ側のインピーダンスに等しくする事で、パワーデカップリング回路動作を模擬できる。この場合は、負荷抵抗を可変抵抗とし、mode 切替によって抵抗値を変化させる必要があるが、簡単化のために、ここでは 100Ω の定抵抗として昇降圧チョッパの入力電流制御の安定性解析を行う。図 4-29 昇降圧チョッパ回路の入力電流制御回路図を示す。図 4-29(a)は補償器後にフィルタ $H_{fil2}(s)$ を用いない場合の制御回路図で、図 4-29(b)は補償器後にフィルタ $H_{fil2}(s)$ を用いる場合の制御回路図である。本研究では、図 4-29(a)と図 4-29(b)の 2 つの制御回路にてボード線図を描画し比較する事で、安定性の向上の観点から、図 4-29(b)

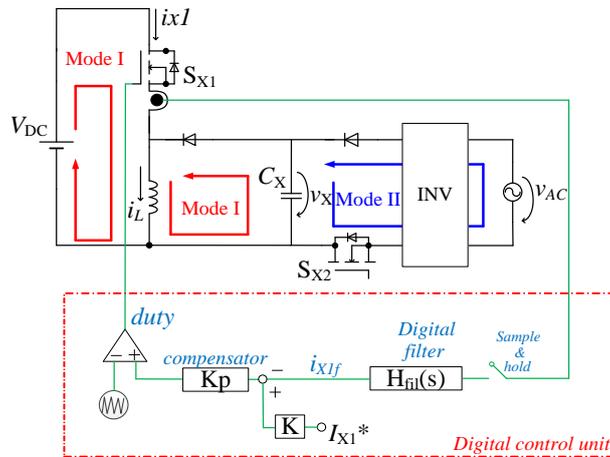
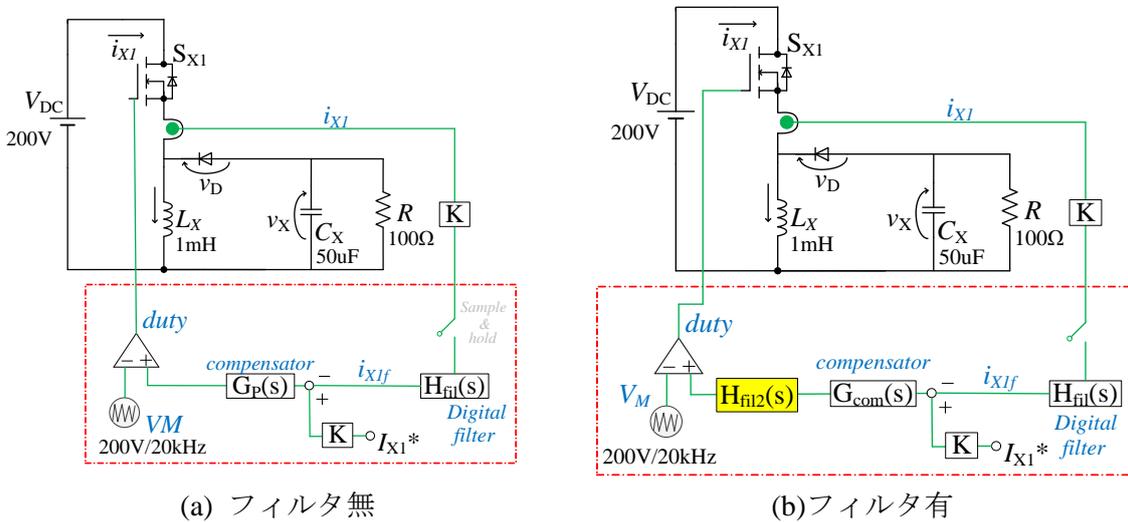


図 4-28 パワーデカップリング回路の充電電流制御回路図



(a) フィルタ無

(b) フィルタ有

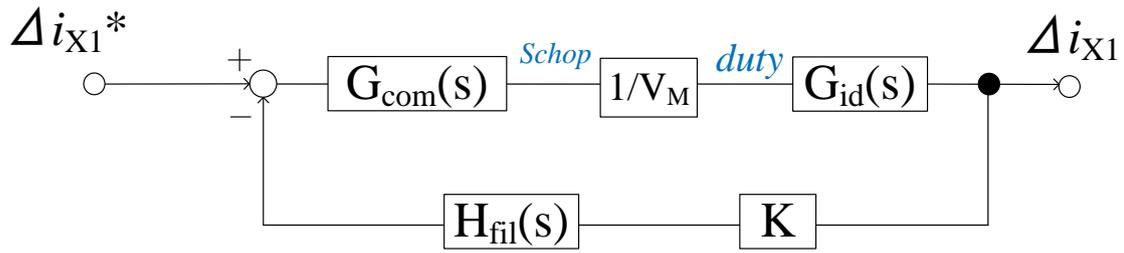
図4-29 昇降圧チョップ回路の入力電流制御回路図

に示すフィルタ $H_{fil2}(s)$ が必要となる事を示す。その後、図 4-29(b)に示す制御回路にて、P 補償器を用いた場合と PR 補償器を用いた場合を比較する。

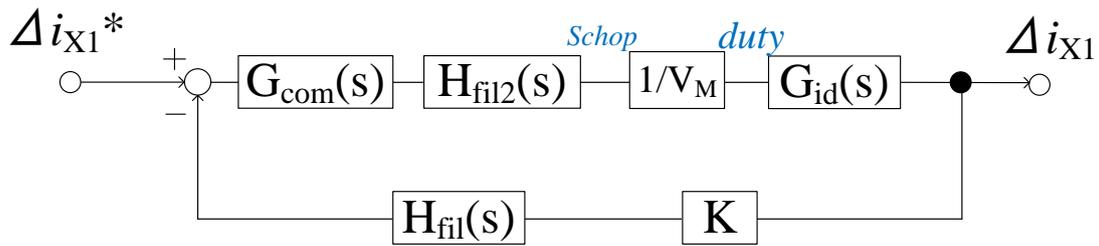
4.6.2 昇降圧チョップの入力電流制御系の安定性解析

4.6.2.a 伝達関数の導出

図 4-30(a)に $H_{fil2}(s)$ 無しの場合の制御ブロック図、図 4-30(b)に $H_{fil2}(s)$ 無しの場合の制御ブロック図を示す。初めに図 4-30(a)及び図 4-30(b)のブロック線図において、各ブロックの伝達関数について述べ、一巡伝達関数 $G_{round}(s)$ を導出する。 $G_{com}(s)$ は補償器の伝達関数を表している。今



(a) フィルタ無



(b) フィルタ有

図 4-30 昇降圧チョッパ回路の入力電流制御ブロック図

回は P 補償器と PR 補償器の 2 つを比較する。P 補償器の伝

達関数を式(4.18)に示し，PR 補償器の伝達関数を式(4.19)に示す。

$$G_{com1}(s) = K_p \quad (4.18)$$

$$G_{com2}(s) = K_p + K_R \frac{2\omega_c s}{s^2 + 2\omega_c s + \omega_0^2} \quad (\omega_c = 2\pi \cdot 0.1, \omega_0 = 2\pi * 100) \quad (4.19)$$

$H_{fil}(s)$, $H_{fil2}(s)$ はデジタルフィルタ伝達関数を表しており， $H_{fil}(s)$ は式(4.20)で表され， $H_{fil2}(s)$ は式(4.21)で表される。

$$H_{fil}(s) = \frac{1}{1+sA} \quad (4.20)$$

$$\text{ここで, } A = \frac{1}{\omega_f} = \frac{1}{2\pi f_f} \quad (f_f = 2kHz)$$

$$H_{fil2}(s) = \frac{1}{1+sB} \quad (4.21)$$

$$\text{ここで, } B = \frac{1}{\omega_{f2}} = \frac{1}{2\pi f_{f2}} \quad (f_c = 10kHz)$$

K は検出ゲインを表している。今回は検出ゲイン K を $K = \frac{1}{10}$ として設計する。

次にプラントの伝達関数 $G_{id}(s)$ について述べる。 $G_{id}(s)$ は Duty 比の変化 Δd に対する入力電流の変化 Δi_{x1} を表している。この伝達関数については状態平均化法を用いて考える。以下に状態平均化法による $G_{id}(s)$ の導出方法について述べる。

● 状態平均化法による $G_{id}(s)$ の導出

状態平均化法では、各パラメータを DC 小信号と AC 小信号に分けて考えることで、AC 小信号に対する伝達関数を求めていく。AC 小信号の伝達関数を得るため、各パラメータに DC 成分 AC 成分を式(4.22)から式(4.26)にそれぞれ定義する。

$$d(t)=D+\Delta d \quad (4.22)$$

$$i_L(t) = i_L + \Delta i_L \quad (4.23)$$

$$v_x(t) = v_x + \Delta v_x \quad (4.24)$$

$$v_{DC}(t) = V_{DC} + \Delta V_{DC} \quad (4.25)$$

$$v_D(t) = V_D + \Delta V_D \quad (4.26)$$

$d(t)$ は Duty 比の時間関数、 $v_D(t)$ はダイオード順方向電圧の時間関数を表している。式(4.22)から式(4.26)においてそれぞれ右辺の第一項が DC 小信号、第二項が AC 小信号を表している。状態平均化法では、昇降圧チョップスイッチ S_{x1} がオン時とオフ時のそれぞれの場合において、インダクタ電流変化率 $\frac{di_L}{dt}$ とコンデンサ電圧変化率 $\frac{dv_x}{dt}$ 、入力電流 i_{x1} について立式する。式(4.27)と式(4.28)に S_{x1} オン時の状態方程式を示す。

$$\begin{pmatrix} \frac{\Delta i_L}{\Delta t} \\ \frac{\Delta v_x}{\Delta t} \end{pmatrix} = A_1 \cdot \begin{pmatrix} i_L \\ v_x \end{pmatrix} + B_1 \cdot \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} = \begin{pmatrix} -\frac{r}{L} & 0 \\ 0 & 0 \end{pmatrix} \begin{pmatrix} i_L \\ v_x \end{pmatrix} + \begin{pmatrix} \frac{1}{L} & 0 \\ 0 & 0 \end{pmatrix} \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} \quad (4.27)$$

$$i_{x1} = C_1 \cdot \begin{pmatrix} i_L \\ v_x \end{pmatrix} + E_1 \cdot \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} = (1 \ 0) \begin{pmatrix} i_L \\ v_x \end{pmatrix} + (0 \ 0) \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} \quad (4.28)$$

次に、式(4.29)と式(4.30)に S_{x1} オフ時の状態方程式を示す。

$$\begin{pmatrix} \frac{\Delta i_L}{\Delta t} \\ \frac{\Delta v_x}{\Delta t} \end{pmatrix} = A_2 \cdot \begin{pmatrix} i_L \\ v_x \end{pmatrix} + B_2 \cdot \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} = \begin{pmatrix} 0 & \frac{1}{L} \\ -\frac{1}{C} & 0 \end{pmatrix} \begin{pmatrix} i_L \\ v_x \end{pmatrix} + \begin{pmatrix} 0 & -\frac{1}{L} \\ 0 & 0 \end{pmatrix} \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} \quad (4.29)$$

$$i_{x1} = C_2 \cdot \begin{pmatrix} i_L \\ v_x \end{pmatrix} + E_2 \cdot \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} = (0 \ 0) \begin{pmatrix} i_L \\ v_x \end{pmatrix} + (0 \ 0) \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} \quad (4.30)$$

ここで、 r は MOSFET の内部抵抗を表している。

次に、オン時の状態方程式とオフ時の状態方程式を統合する。式を統合する際には、各行列を統合する必要がある。ここでは A_1 と A_2 の2つの行列を統合して行列 A を生成する方法を述べる。Duty比を D とすると、オフ期間は $D' = 1 - D$ で表されるため、Duty比が Δd 変化した場合の統合行列 A は式(4.31)で表される。

$$A = (D + \Delta d)A_1 + (D' - \Delta d)A_2 = DA_1 + D'A_2 + (A_1 - A_2)\Delta d = \begin{pmatrix} -\frac{Dr}{L} & \frac{D'}{L} \\ -\frac{D'}{C} & 0 \end{pmatrix} \quad (4.31)$$

B, C, E の各行列においても統合行列を生成する事で、式の統合が可能となる。統合後の状態方程式を式(4.32)式(4.33)に示す。

$$\begin{pmatrix} \frac{\Delta i_L}{\Delta t} \\ \frac{\Delta v_X}{\Delta t} \end{pmatrix} = (DA_1 + D'A_2) \begin{pmatrix} \Delta i_L \\ \Delta v_X \end{pmatrix} + (DB_1 + D'B_2) \begin{pmatrix} \Delta V_{DC} \\ \Delta V_D \end{pmatrix} + \left\{ (A_1 - A_2) \begin{pmatrix} i_L \\ v_X \end{pmatrix} + (B_1 - B_2) \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} \right\} \Delta d \quad (4.32)$$

$$\begin{aligned} \Delta i_{x1} = & (DC_1 + D'C_2) \begin{pmatrix} \Delta i_L \\ \Delta v_X \end{pmatrix} + (DE_1 + D'E_2) \begin{pmatrix} \Delta V_{DC} \\ \Delta V_D \end{pmatrix} \\ & + \left\{ (C_1 - C_2) \begin{pmatrix} i_L \\ v_X \end{pmatrix} + (E_1 - E_2) \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} \right\} \Delta d \end{aligned} \quad (4.33)$$

ここで各行列式は式(4.34)～式(4.41)で表される。

$$DA_1 + D'A_2 = \begin{pmatrix} -\frac{Dr}{L} & \frac{D'}{L} \\ -\frac{D'}{C} & 0 \end{pmatrix} \quad (4.34)$$

$$DB_1 + D'B_2 = \begin{pmatrix} \frac{D}{L} & -\frac{D'}{L} \\ 0 & 0 \end{pmatrix} \quad (4.35)$$

$$DC_1 + D'C_2 = \begin{pmatrix} D & 0 \\ 0 & 0 \end{pmatrix} \quad (4.36)$$

$$DE_1 + D'E_2 = \begin{pmatrix} 0 & 0 \\ 0 & 0 \end{pmatrix} \quad (4.37)$$

$$A_1 - A_2 = \begin{pmatrix} -\frac{r}{L} & -\frac{1}{L} \\ \frac{1}{C} & 0 \end{pmatrix} \quad (4.38)$$

$$B_1 - B_2 = \begin{pmatrix} \frac{1}{L} & \frac{1}{L} \\ 0 & 0 \end{pmatrix} \quad (4.39)$$

$$C_1 - C_2 = \begin{pmatrix} 1 & 0 \\ 0 & 0 \end{pmatrix} \quad (4.40)$$

$$E_1 - E_2 = \begin{pmatrix} 0 & 0 \\ 0 & 0 \end{pmatrix} \quad (4.41)$$

今回は入力電圧 V_{DC} 及びダイオードの順方向電圧 V_D の AC 成分を 0 と仮定する ($\Delta V_{DC} = \Delta V_D = 0$)。この時、式(4.32)においてラプラス変換を用いて Δd に対する Δi_L 及び Δv_X の動特性を導出する式を導くと(4.42)式のようになる。

$$\begin{pmatrix} \frac{\Delta i_L}{\Delta d} \\ \frac{\Delta v_X}{\Delta d} \end{pmatrix} = (s - (DA_1 + D'A_2))^{-1} \cdot \left\{ (A_1 - A_2) \cdot \begin{pmatrix} i_L \\ v_X \end{pmatrix} + (B_1 - B_2) \cdot \begin{pmatrix} V_{DC} \\ V_D \end{pmatrix} \right\} \quad (4.42)$$

式(4.42)に各行列を代入する事で、式(4.43)および式(4.44)式に表される $\frac{\Delta i_L}{\Delta d}$, $\frac{\Delta v_X}{\Delta d}$ の伝達関数が得られる。

$$G_{iLd}(s) = \frac{\Delta i_L}{\Delta d} = \frac{1}{s^2 + \frac{1}{RC}s + \frac{D'^2}{LC}} \left\{ \frac{(V_{DC} - v_X) \left(s + \frac{1}{RC} \right)}{L} + \frac{D'^2}{LC} i_L \right\} \quad (4.43)$$

$$G_{vd}(s) = \frac{\Delta v_X}{\Delta d} = \frac{1}{s^2 + \frac{1}{RC}s + \frac{D'^2}{LC}} \left\{ \frac{-D'(V_{DC} - v_X)}{LC} + \frac{i_L}{C} s \right\} \quad (4.44)$$

また、式(4.33)に各行列を代入する事で、式(4.45)が導かれる。

$$\Delta i_{X1} = D\Delta i_L + i_L \Delta d \quad (4.45)$$

ここで、式(4.43)で表される $\frac{\Delta i_L}{\Delta d}$ を、式(4.45)に代入する事で式(4.46)が導かれ、微小 Duty 変動 Δd に対する入力電流の変動 Δi_{X1} の伝達関数 $G_{id}(s)$ が導かれる。

$$\begin{aligned} G_{id}(s) &= \frac{\Delta i_{X1}}{\Delta d} = D \frac{\Delta i_L}{\Delta d} + i_L \\ &= \frac{D}{s^2 + \frac{1}{RC}s + \frac{D'^2}{LC}} \left\{ \frac{(V_{DC} - v_X) \left(s + \frac{1}{RC} \right)}{L} + \frac{D'^2}{LC} i_L \right\} + i_L \end{aligned} \quad (4.46)$$

この式(4.46)で表される $G_{id}(s)$ について計算を進めていく。

式(4.46)中の、 $V_{in} - v_X$ 及び i_L については式(4.47)、式(4.48)で計算される。

$$V_{DC} - v_X = -\frac{D'}{D}v_X - v_X = -\frac{1}{D}v_X \quad (4.47)$$

$$i_L = -\frac{1}{D'R}v_X \quad (4.48)$$

式(4.46)に、式(4.47)及び式(4.48)を代入すると $G_{id}(s)$ は式(4.49)で表される。

$$G_{id}(s) = -\frac{v_X}{D'R} \frac{s^2 + \left(\frac{D'R^2C+L}{RLC}\right)s + \frac{2D'}{CL}}{s^2 + \frac{1}{RC}s + \frac{D'^2}{LC}} \quad (4.49)$$

以上の流れにより $G_{id}(s)$ は式(4.49)の通り求められた。

各ブロックの伝達関数を用いて制御系の伝達関数を導出する。図 4-30(a)に示す $H_{fil2}(s)$ 無しの制御ブロック図における前向き伝達関数 $G_{open}(s)$ 及び、一巡伝達関数 $G_{round}(s)$ 、閉ループ伝達関数 $G_{close}(s)$ は式(4.50)、式(4.51)、式(4.52)で表される。

$$G_{ope}(s) = G_{com}(s) \frac{1}{V_M} G_{id}(s) H_{fil}(s) K \quad (4.50)$$

$$G_{round}(s) = \frac{\Delta i_{X1f}}{\Delta i_{X1}^*} = \frac{G_{open}(s)}{1 + G_{open}(s)} \quad (4.51)$$

$$G_{close}(s) = \frac{\Delta i_{X1}}{\Delta i_{X1}^*} = \frac{G_{com}(s) \frac{1}{V_M} G_{id}(s) K}{1 + G_{open}(s)} \quad (4.52)$$

一方で、図 4-30(b)に示す $H_{fil2}(s)$ 有りの制御ブロック図における前向き伝達関数 $G_{open2}(s)$ 及び、一巡伝達関数 $G_{round2}(s)$ 、閉ループ伝達関数 $G_{close2}(s)$ は式(4.53)、式(4.54)、式(4.55)で表される。

$$G_{open2}(s) = G_{com}(s) \frac{1}{V_M} G_{id}(s) H_{fil}(s) H_{fil2}(s) K \quad (4.53)$$

$$G_{round2}(s) = \frac{\Delta i_{X1f}}{\Delta i_{X1}^*} = \frac{G_{open2}(s)}{1 + G_{open2}(s)} \quad (4.54)$$

$$G_{close2}(s) = \frac{\Delta i_{X1}}{\Delta i_{X1}^*} = \frac{G_{com}(s) \frac{1}{V_M} G_{id}(s) H_{fil2}(s) K}{1 + G_{open2}(s)} \quad (4.55)$$

4.6.2.b $H_{fil2}(s)$ の有無によるボード線図の比較

次に、式(4.51)及び式(4.54)より得られた閉ループ伝達関数 $G_{close}(s)$ 、 $G_{close2}(s)$ を用いてボード線図を描画する。また、ここでは比例補償器を用いてボード線図を描画した。

表 4-3 補償器パターン表に補償器パターン表を示す。

表 4-3 補償器パターン表

P 補償器 (K_P)	100	1000
-----------------	-----	------

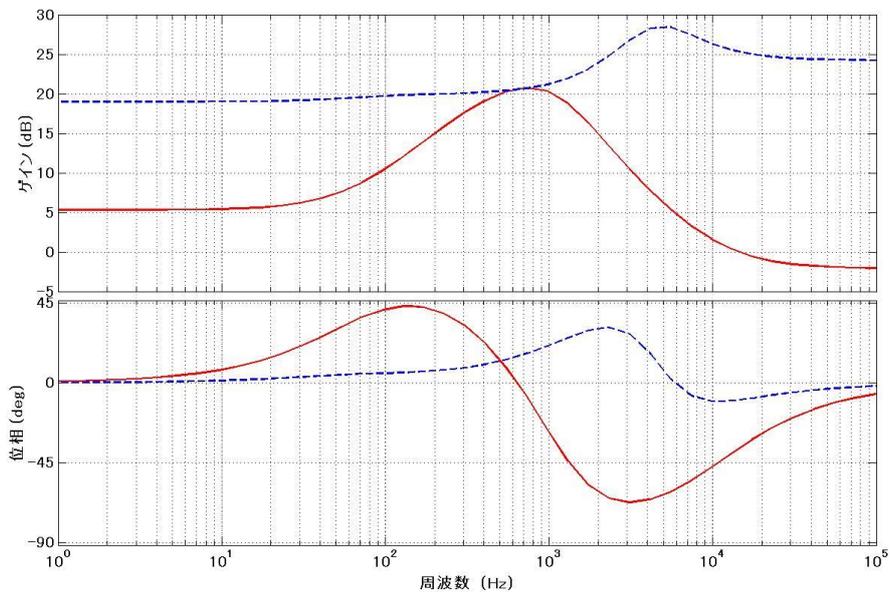


図 4-31 $H_{fil2}(s)$ 無しの場合における閉ループ伝達関数 $G_{close}(s)$ ボード線図

(a) ゲイン特性 (b) 位相特性

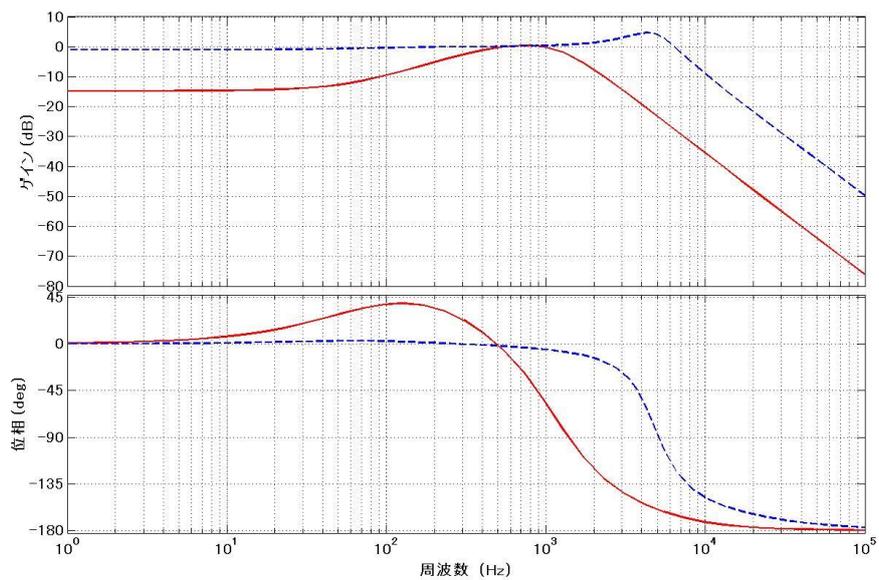


図 4-32 $H_{fil2}(s)$ 有りの場合における閉ループ伝達関数 $G_{close2}(s)$ ボード線図

(a) ゲイン特性 (b) 位相特性

図 4-31 に示す $H_{fil2}(s)$ 無しの場合におけるボード線図では、高周波領域においてもゲイン特性が正となっているため、高調波ノイズ等が指令値に重畳した場合にそれらの成分を増幅し、回路に悪影響を与える恐れがある。一方で、図 4-32 に示す $H_{fil2}(s)$ 有りの場合におけるボード線図では、 $H_{fil2}(s)$ によって高周波領域におけるゲインが減衰しているため、 $H_{fil2}(s)$ 無しの場合に比べ制御安定性が高まると言える。以上の事から、本研究では補償器後にデジタルフィルタ $H_{fil2}(s)$ を設けており、図 4-29(b)、図 4-30(b) に示す制御回路図とブロック図を用いて解析を行った。

4.6.2.c 提案制御回路における補償器の比較と安定性評価

次に、補償器の検討を行う。補償器 $G_{com}(s)$ には比例(P)補償器を用いた場合と比例共振(PR)補償器を用いた場合の一巡伝達関数 $G_{round2}(s)$ ボード線図を比較する事で、制御安定性の観点からどちらの補償器が適するかを検討する。図 4-33 に P 補償器を用いた場合の $G_{round2}(s)$ のボード線図を示す。また、図 4-34 に PR 補償器を用いた場合の $G_{round2}(s)$ のボード線図を示す。また、表 4-4 補償器パターン表を示す。

P 補償器を用いた場合は、ゲイン余裕(GM)・位相余裕(PM)共に確保されており、制御系は安定であると言える。しかし比例ゲイン $K_p=100$ の時には制御対象である 100Hz 付近においてゲイン特性が -10dB 程度となっている。そのため、指令値 i_{x1}^* に対して i_{x1} の振幅は減衰してしまう。また、この時位相特性では 30° 程度の位相進みが確認できる。一方で比例ゲインを $K_p=1000$ にすると 100Hz 付近においてゲイン特性・位相特性は改善されるが、この場合応答波形のオーバーシュート量が増加する。図 4-35 に提案する制御系の極配置を示し、図 4-36 にステップ信号を入力した場合の応答波形を示す。極配置より、 K_p の増加に伴って共役複素根の複素量が増加しているため、応答波形のオーバーシュート量は K_p の増加に伴い増大している。そのため K_p を増加させた場合には応答特性が良好でないとと言える。

表 4-4 補償器パターン表

	パターン①	パターン②
P 補償器 (K_p)	100	1000
PR 補償器(K_p, K_R)	(100, 1000)	(1000, 1000)

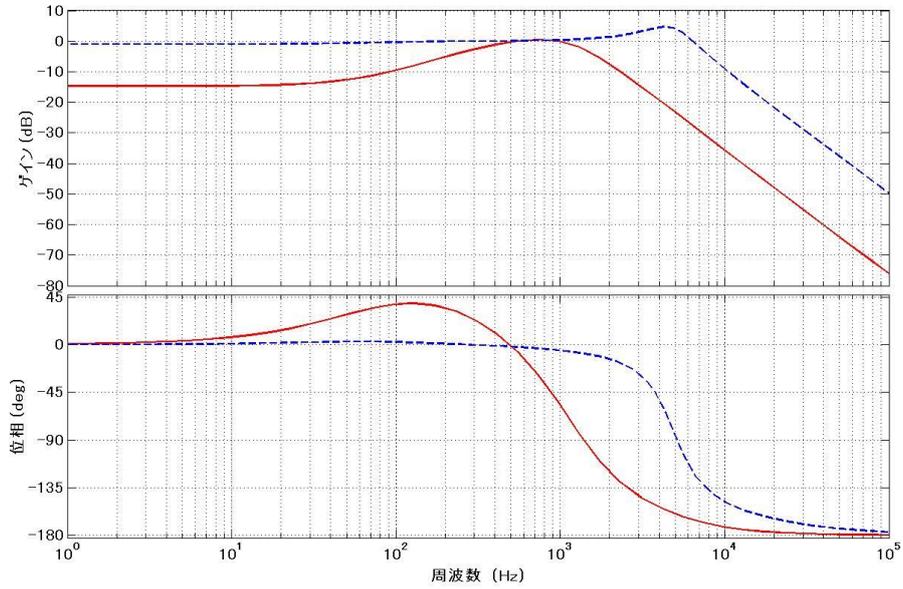


図 4-33 P 補償器を用いた場合の $G_{round2}(s)$ ボード線図
 (a) ゲイン特性 (b) 位相特性

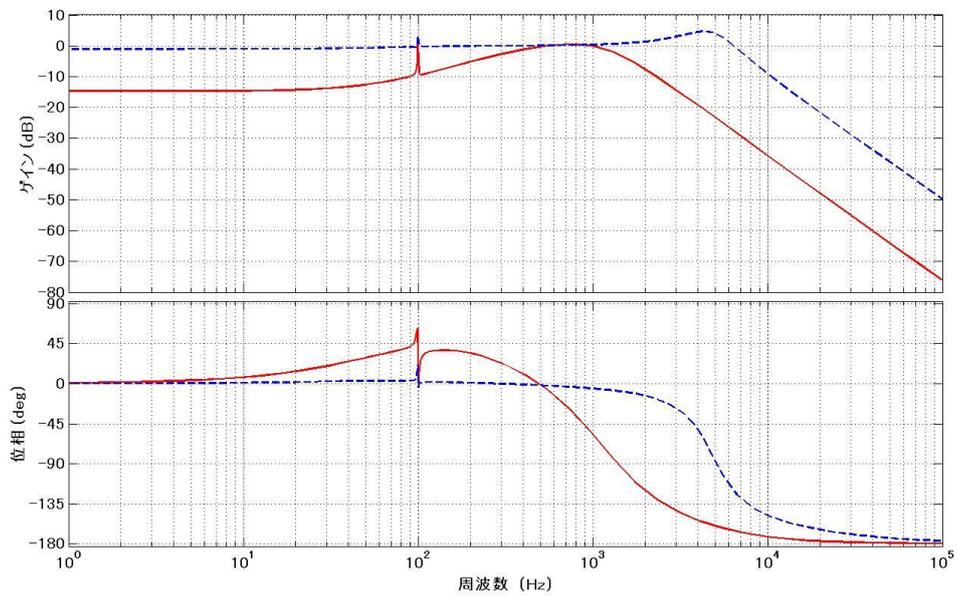


図 4-34 PR 補償器を用いた場合の $G_{round2}(s)$ ボード線図
 (a) ゲイン特性 (b) 位相特性

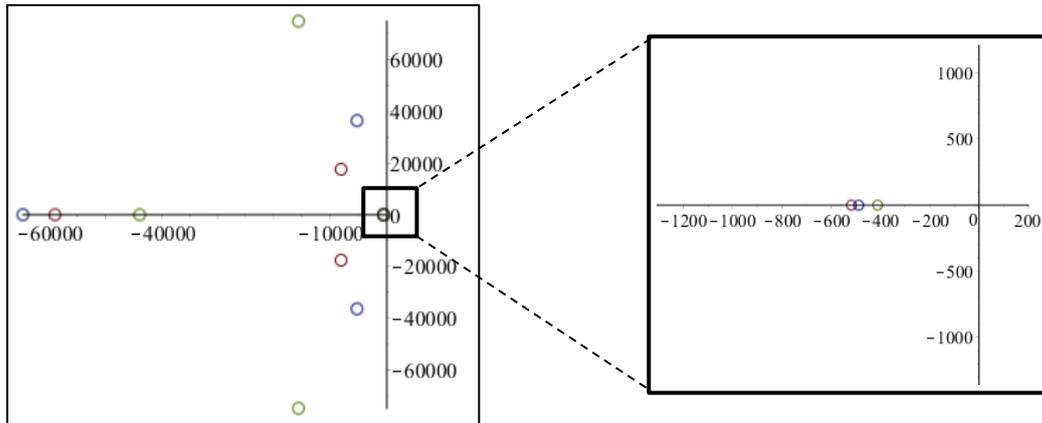


図 4-35 P 補償器を用いた提案制御系における極配置

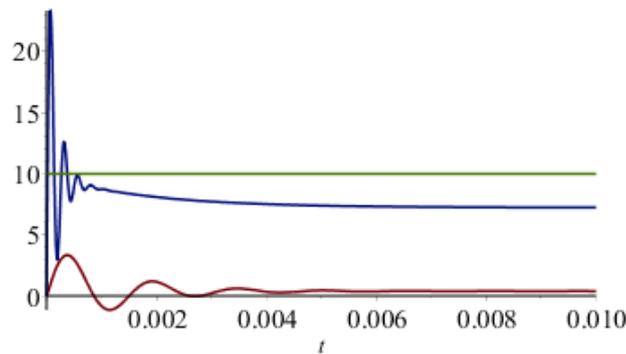


図 4-36 P 補償器を用いた提案制御系におけるステップ応答波形

次に PR 補償器を用いた場合について述べる。PR 補償器を用いた場合においては GM・PM 共に確保されているため、制御系は安定である。また、 $K_p=100$ の場合において 100Hz 付近におけるゲイン特性は 0dB 程度、位相特性も 0° 程度となっており、指令値 i_{x1}^* に一致した入力電流 i_{x1} を得ることが出来る。このように PR 補償器は制御対象の周波数におけるゲイン特性・位相特性を改善することが出来るため、比例ゲインを増加させずに制御安定性と良好な応答波形を得ることが出来る。以上より昇降圧チョップパ回路の入力電流制御系には PR 補償器が有効であると言える。

4.6.2.d シミュレーションと計算結果の比較

最後に、PR 補償器を用いた制御系にてシミュレーションにより得られる周波数特性と先程の計算結果が一致する事を確認する。シミュレーションでは回路シミュレーターソフト「PSIM(Myway プラス株式会社)」を用いて、昇降圧チョップパ回路の入力電流制御を模擬し、その周波数特性を得る。図 4-37 にシミュレーションにおける回路図を示す。シミュレーションにおける各パラメータの値は解析条件と同一としている。今回は

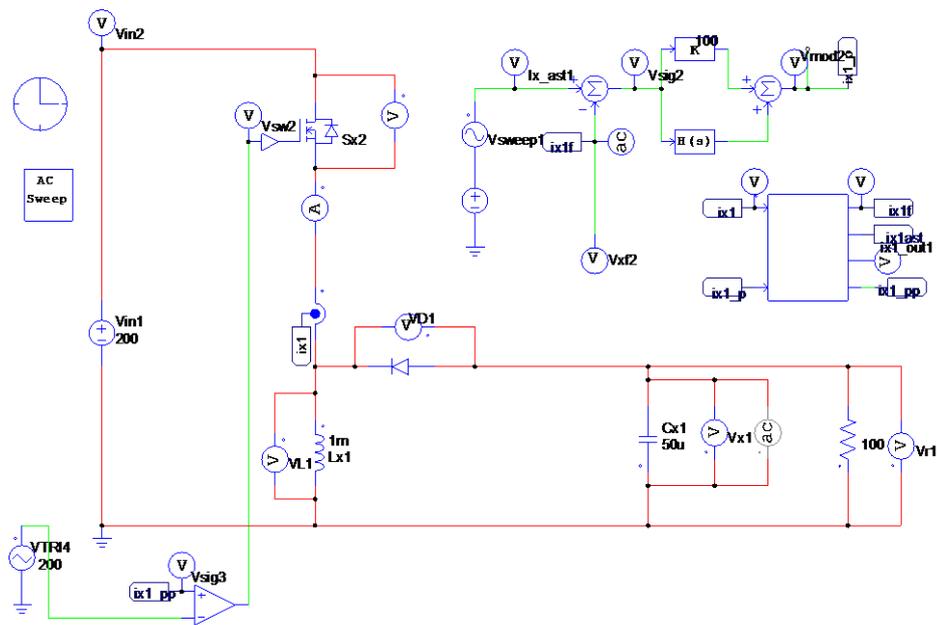
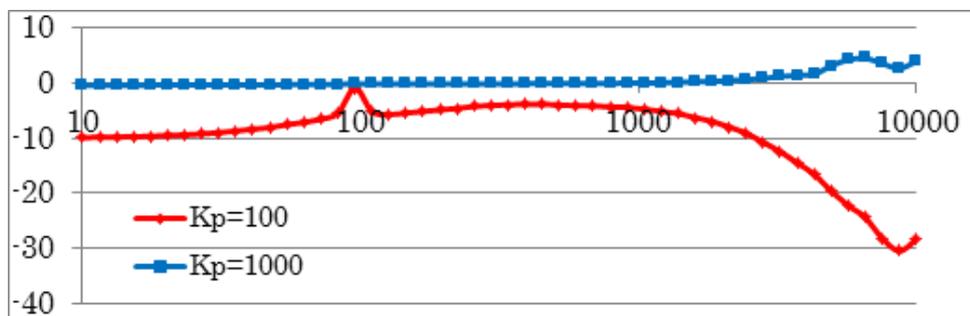
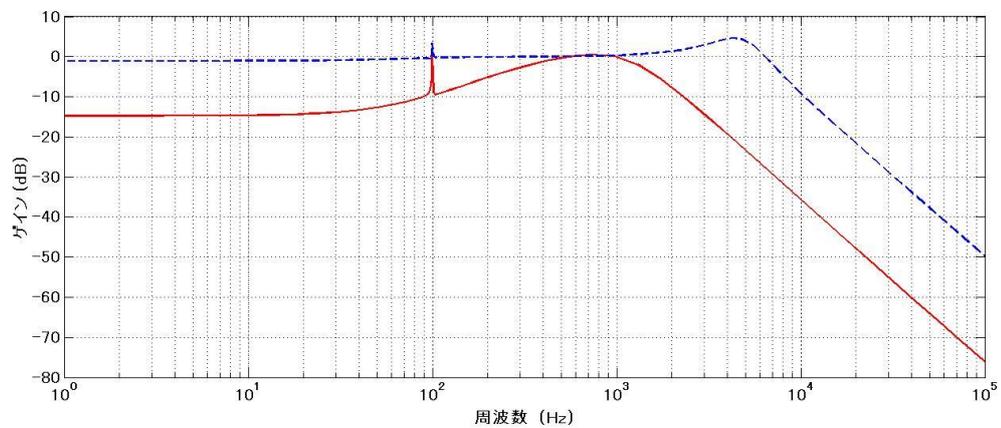
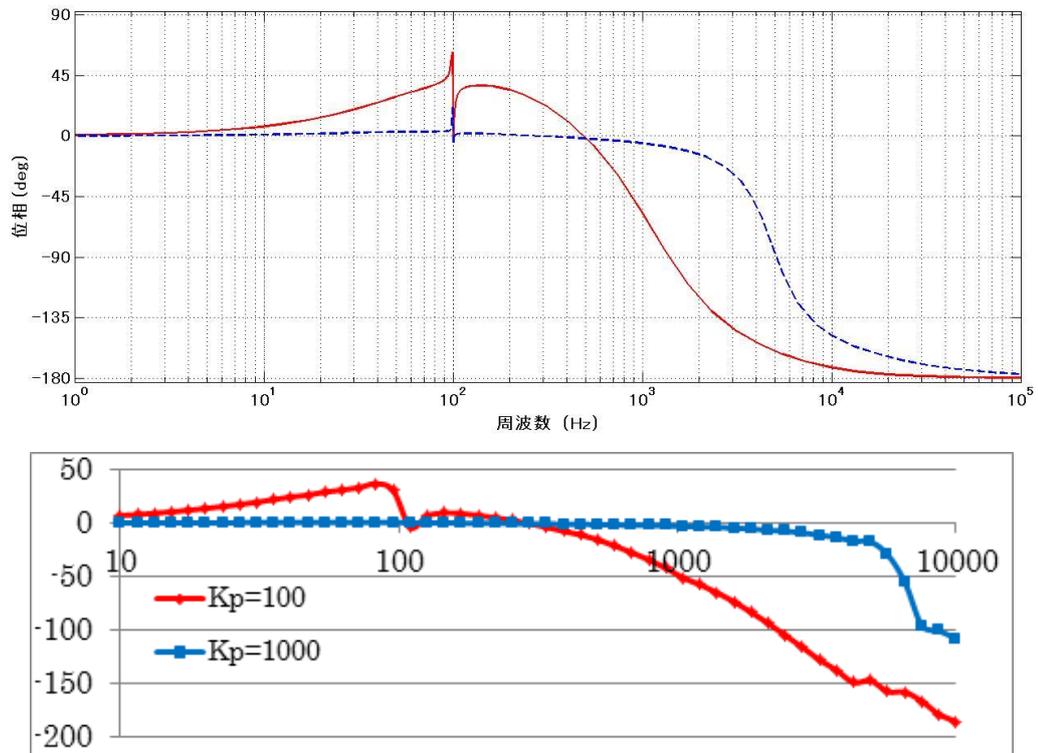


図 4-37 昇降圧チョップ回路の入力電流制御 シミュレーション回路図



(a) ゲイン特性の比較



(b) 位相特性の比較

図 4-38 シミュレーションと計算結果の周波数特性比較

PSIM の「ACsweep」機能を用いて、周波数特性を得る。また、シミュレーションにおいては、PWM 変調によりゲート信号を調節するため、キャリア周波数より高い周波数領域においては周波数を得ることが出来ない事に注意する。本研究ではキャリア周波数を 20kHz としているため、シミュレーションでは 10Hz~10kHz の範囲で周波数特性を得た。図 4-38 にシミュレーションにより得られた周波数特性と計算結果の周波数特性の比較を示す。ここでは一巡伝達関数 $G_{\text{round2}}(s)$ の周波数特性を比較する。シミュレーションで測定した 10Hz~20kHz において周波数特性はゲイン特性・位相特性共に概ね等しくなった。これにより、計算結果は正しく、安定性評価や補償器の選定は妥当であると言える。

4.6.2.a パワーデカップリング充電電流制御のまとめ

ここまで、パワーデカップリング回路の充電電流制御系の安定性解析とその向上を検討した。はじめにパワーデカップリング回路の充電電流制御系が昇降圧チョップパ回路の

入力電流制御系として模擬できる事を示し、模擬した制御系において補償器後のフィルタ $H_{fil2}(s)$ の有無について比較・検討をおこなった。比較・選定の際には、ブロック線図から $H_{fil2}(s)$ の有無それぞれの場合において、制御系の伝達関数を求めボード線図により比較・検討した。高周波領域における特性の違いから $H_{fil2}(s)$ の必要性を示し、更に一巡伝達関数 $G_{round2}(s)$ のボード線図を用いて、安定性の評価を行った。また極配置や応答波形を示すことにより、補償器には PR 補償器が有効である事を示した。最後にシミュレーションにより得られた周波数特性と計算により得られた周波数特性が一致する事を示し、計算結果及び安定性評価や補償器の検討が妥当である事を示した。

4.7 まとめ

本章では提案する制御システムについて述べた。はじめに、提案制御システムの構成を示し、各構成部における制御ブロック図を説明した。PLL 部では回転座標変換により系統電圧 v_{Ac} の振幅と位相が検出可能である事を示し、出力電流制御部では先行研究における dq 変換方式から交流制御方式へと移行した事を述べ、更に補償器として PI 補償器に比べ PR 補償器が適する理由を述べた。パワーデカップリング制御部においては、充電電流 i_{x1} の制御とデカップリングコンデンサ電圧 v_x の制御を合わせて行っている事を述べた。その後、mode II で入力電流の脈動を低減するために、追加スイッチ S_{X3}, S_{X4} の変調信号には $\lambda_M(t)$ を変調信号としてゲート信号を得る事を述べ、更に、デカップリングコンデンサ C_X からの放電の際には、 S_{X2} のゲート信号は V_{DC} と v_x の電圧比に応じたパルス幅である必要があるため、インバータスイッチ $S_1 \sim S_4$ と放電用スイッチ S_{X2} には $\lambda_X(t)$ を変調信号としてゲート信号を得る事を述べた。

また、サンプリング手法とデッドタイム設計について述べた。はじめに、サンプリングとデッドタイム設計の必要性について述べ、キャリア波として鋸歯状波を用いた場合のキャリア同期サンプリング手法について説明した。また、デッドタイムの設計手法と適用箇所についても述べた。デッドタイムはインバータの上下アームだけでなく、追加スイッチ S_{X3}, S_{X4} と S_{X2} 間にも必要である事を示した。

更に、インバータ電流制御とパワーデカップリングの充電電流制御の補償器選定と安定性解析を行った。双方において、制御回路と制御ブロック図から伝達関数を導出し、ボード線図を用いて安定性解析を行った。また、PI 補償器や P 補償器を、PR 補償器と比較する事で、補償器として PR 補償器が適している事を述べ、安定な領域で制御ができるように、補償器のゲイン設計を行った。

第 5 章

動作確認と性能評価

本章では、提案回路と提案制御システムをシミュレーション及び実験にて評価する。はじめに、実験装置の動作方法について説明し、次にシミュレーション・実験における評価方法を示す。力率 1 及び低力率状態においてパワーデカップリング回路の適用前と適用後の入力電流 i_{DC} や入力電圧 V_{DC} について比較検討する事で、力率 1・低力率におけるパワーデカップリング回路の性能評価を行う。また、LVRT 機能等を搭載する場合には力率の急変に対する応答特性が重要となる。そこで、提案回路・制御システムの力率急変試験を行い力率急変に対する応答特性を評価する。

5.1 実験装置の動作方法

以下に本研究で使用した装置の動作手順を示す。

1. 電力ブレーカーを上げる。
2. 測定器(オシロスコープ, パワーメーターなど)の電源を入れる。
3. デジタル制御システム PE-Expert4 の電源を入れる。
4. メディアコンバータ(DSP-PC 通信アダプタ)の電源を入れる。
5. PC を起動し, PE-ViewX を動作させる。
6. 制御回路の電源を入れる。
7. インバータの直流入力電源と出力の交流電源の電源を入れ, 電圧を出力する。
8. PE-ViewX の Execute ボタンを押し, プログラムを動作させる。

- デジタル制御システム(DSP)の使い方

図 5.1 に PE-ViewX の画面を示す。以下に PE-ViewX の操作ボタンの役割を説明する。

- **Project** : 使用するプログラムの定義と指定
- **Compile** : プログラムのコンパイル
- **Download** : プログラムを DSP へダウンロード
- **Execute** : プログラムの実行
- **Stop** : プログラムの停止
- **Inspector** : インспекターの起動
- **WAVE** : WAVE の起動

実験の際には、主回路の安全に動作させるために、主回路の入出力電源及び、各指令値を徐々に上げていく必要がある。本実験では、初期条件は入力電圧 $V_{DC} = 20V$ 、出力電圧 $v_{AC} = 10V$ 、出力電力 $P_{DC}^* = 10W$ として動作し、その後オシロスコープで各波形を見ながら、 V_{DC} は 20V ずつ、 v_{AC} は 10V ずつ、 P_{DC}^* は 20 ずつ上げていくようにする。オシロスコープではデカップリングコンデンサ電圧 v_X 、系統電圧 v_{AC} 、入力電流 i_{DC} 、出力電流 i_{AC} を測定する。動作中に v_X が v_{AC} を下回らないように常に表示させておく。更に、入力電流 i_{DC} を測定する事で、パワーデカップリング回路が機能しているかを確認する

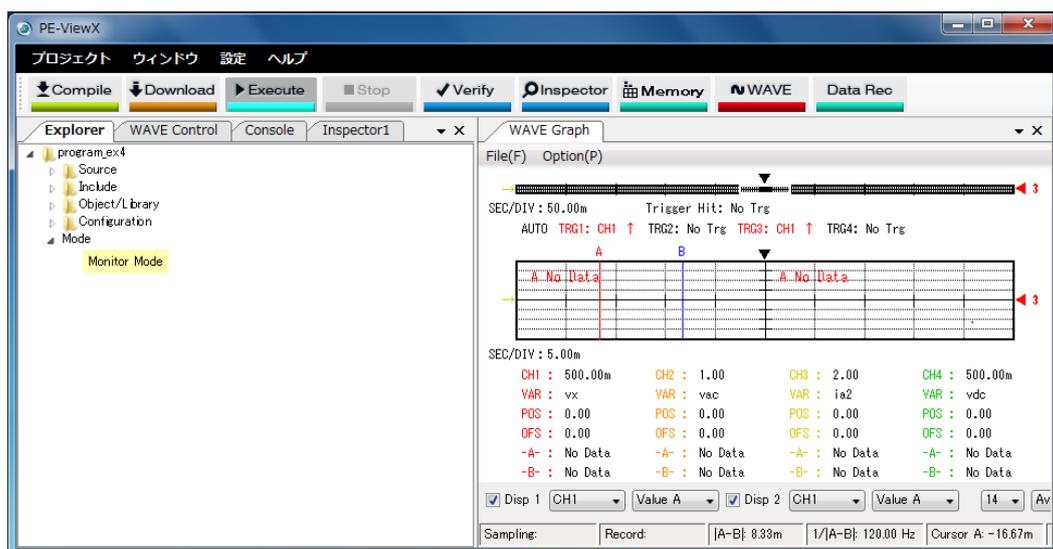


図 5-1 PE-viewX の操作画面

ことが出来る。また v_{AC} , i_{AC} を測定する事で、力率が指令通りとなっているかを確認することが出来る。

5.2 シミュレーションによる評価

ここでは、提案回路と提案制御システムにおけるシミュレーションによる評価結果を示す。シミュレーションには回路シミュレーターソフト「PSIM(Myway プラス株式会社)」を用いて、シミュレーションを行う。はじめに、シミュレーション条件とその評価方法について述べ、その後力率1及び低力率におけるシミュレーション結果を示す。シミュレーション結果から、低力率においてもパワーデカップリング回路が機能する事を確認し、パワーデカップリング回路によって入力電力の脈動がどの程度低減されるかを評価する。

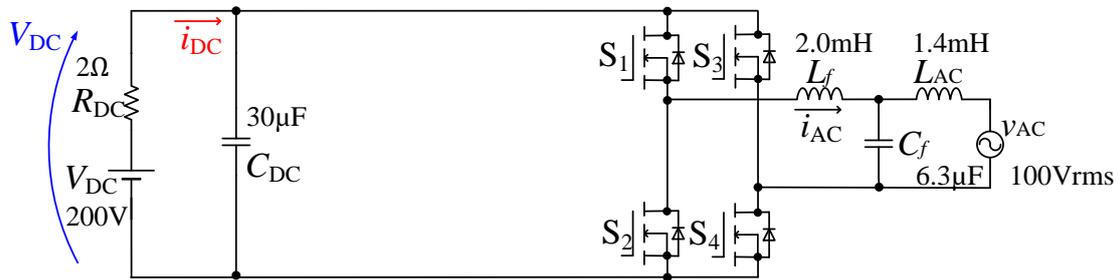


図 5-2 パワーデカップリング回路無し(NPD 方式)のパワーコンディショナ

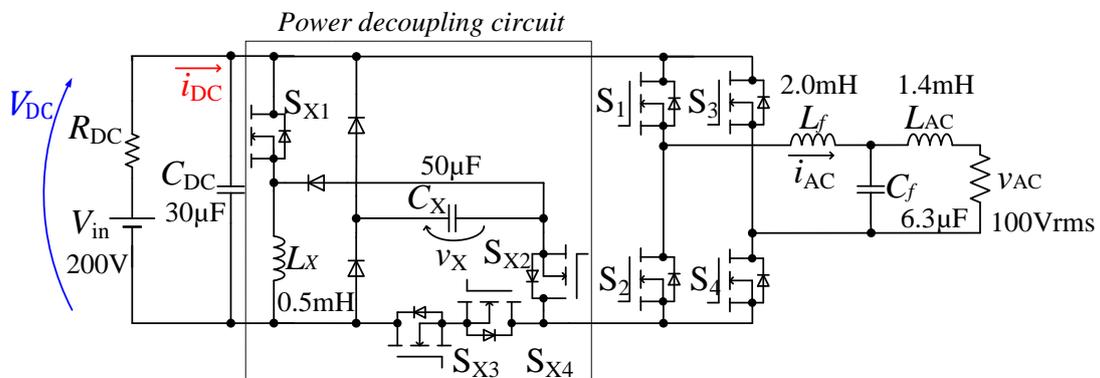


図 5-3 提案回路

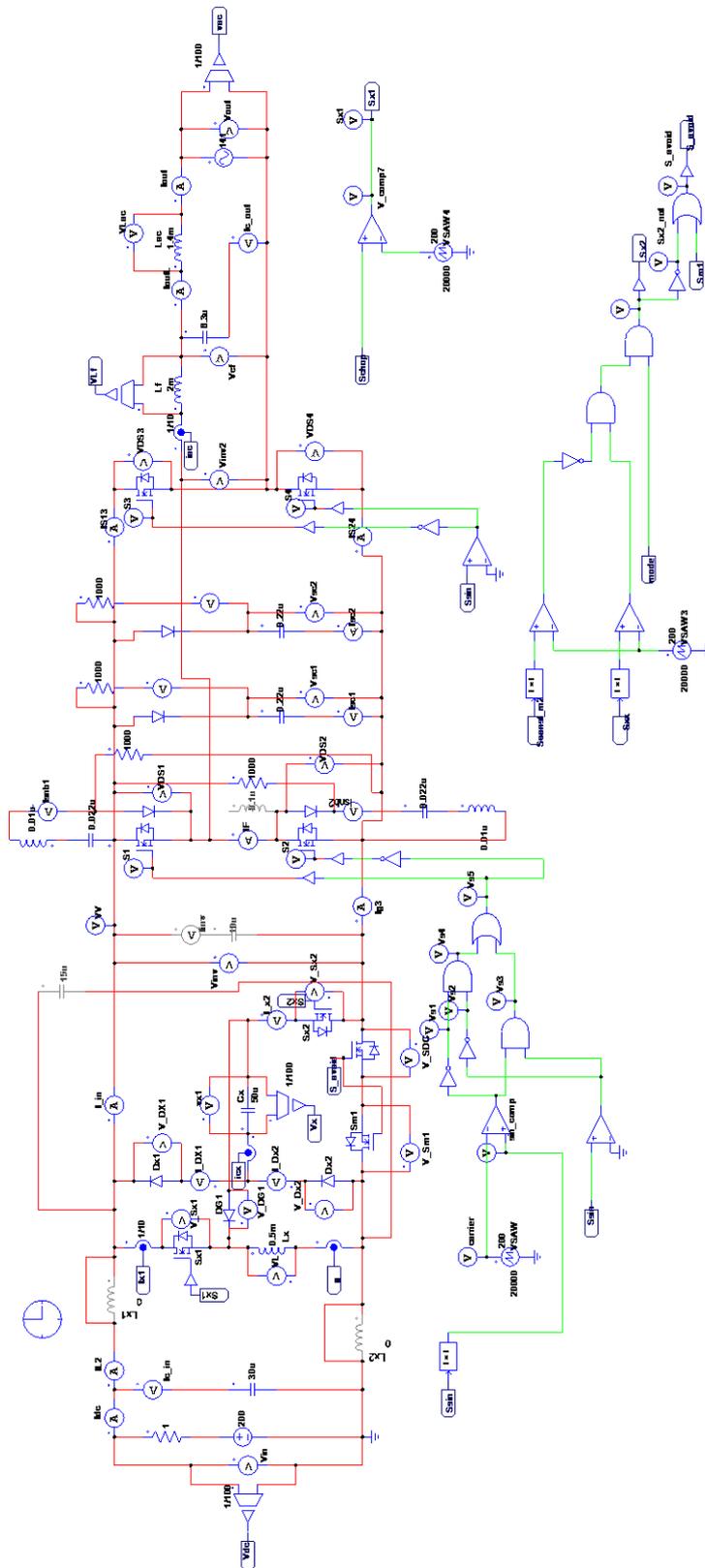
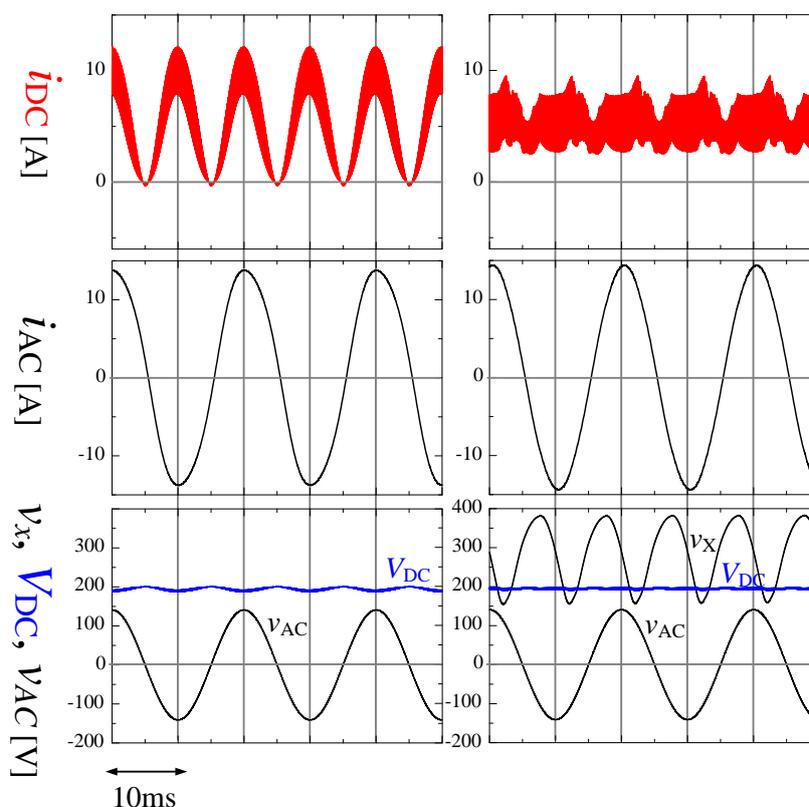


図 5-4 シミュレーション回路図

5.2.1 シミュレーション条件

はじめに、シミュレーション条件とその評価方法について述べる。本研究では力率 1 及び低力率状態において提案回路の性能を評価するために、力率 1 と低力率状態において図 5-2 パワーデカップリング回路無し(NPD 方式)のパワーコンディショナと図 5-3 に示す提案回路にてそれぞれの波形を比較する事で、パワーデカップリング回路の機能を評価する。図 5-4 にシミュレーション回路図を示す。図 5-4 は提案回路のシミュレーションを表しているが、NPD 方式のパワーコンディショナをシミュレーションする場合はパワーデカップリング回路の充放電スイッチ S_{X1}, S_{X2} を常にオフ状態にし、追加スイッチ S_{X3}, S_{X4} を常にオン状態にする事で、パワーデカップリング回路が停止し、NPD 方式のパワーコンディショナを模擬することが出来る。なお、シミュレーション条件は入力電圧 $V_{DC} = 200V$, 出力電圧 $v_{AC} = 100V_{rms}$, 出力電力 $P_{DC}^* = 1kW$ とする。

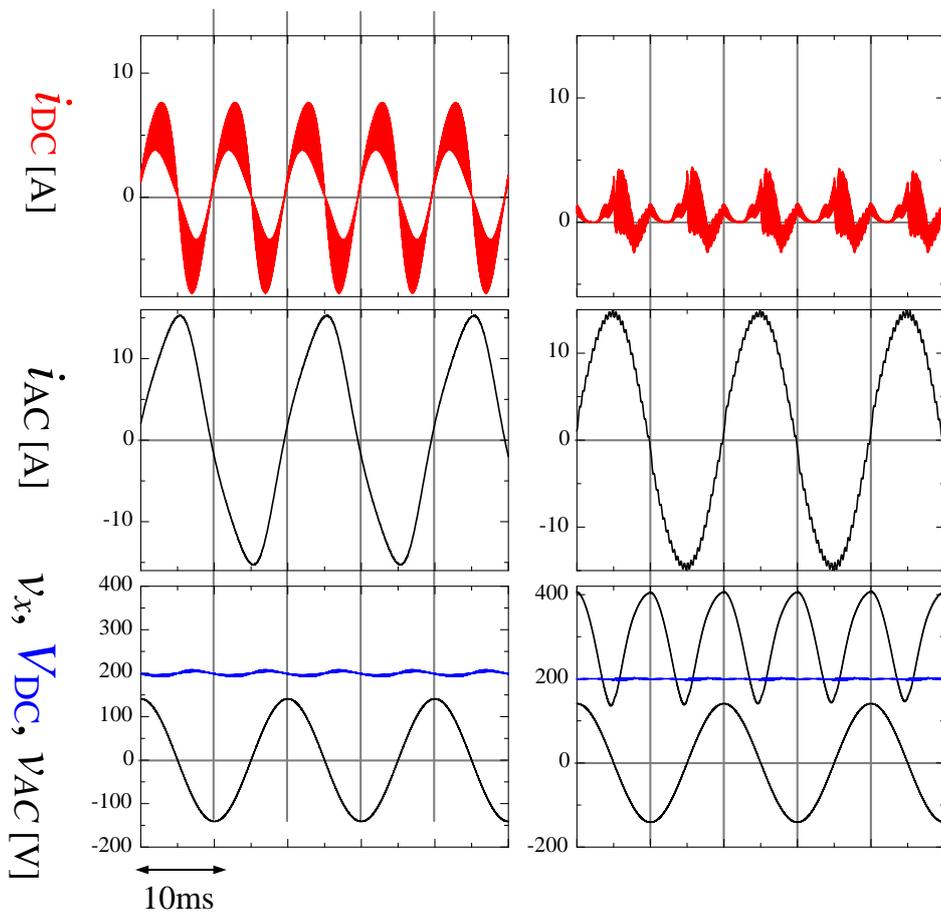
5.2.2 シミュレーション結果



(a) NPD 方式のパワーコンディショナ

(b) 提案回路

図 5-5 力率 1 における波形比較



(a) NPD 方式のパワーコンディショナ

(b) 提案回路

図 5-6 力率 0 における波形比較

図 5-5 及び図 5-6 にシミュレーション結果を示す。図 5-5 は力率 1 における NPD 方式のパワーコンディショナと提案回路の波形比較結果を示し、図 5-6 は力率 0 における NPD 方式と提案回路の波形比較結果を示す。図 5-5 において、系統電圧 v_{AC} と出力電流 i_{AC} の位相差に着目すると、位相差が 0° であることから力率 1 である事が確認できる。また、入力電流 i_{DC} 及び入力電圧 V_{DC} の脈動量について比較すると、NPD 方式に比べ提案回路における i_{DC} 、 V_{DC} の脈動が低減していることが分かる。これより、力率 1 において提案回路におけるパワーデカップリング回路が機能していることが分かる。

一方で、図 5-6 において、系統電圧 v_{AC} と出力電流 i_{AC} の位相差に着目すると、位相差が 90° であることから力率 0 である事が確認できる。力率 0 の状態において、 i_{DC} 及び V_{DC}

の脈動量を比較すると、NPD方式に比べ提案回路における i_{DC} 、 V_{DC} の脈動が低減していることが分かる。これより、力率1・力率0において提案回路におけるパワーデカップリング回路が機能していることが分かる。

5.3 実験による評価

5.3.1 実験条件

図5-7、図5-8に実験におけるNPD方式のパワーコンディショナと提案回路を示す。実験では、サージ電圧等によるスイッチ素子の破壊を防ぐためにスナバ回路を追加している。また、今回の実験ではインバータスイッチの内蔵ダイオードによるリカバリーサージがスナバ回路で吸収しきれずに、素子破壊が懸念される。また、各波形にはスイッチング周波数に起因したパルス電圧が重畳しており、検出回路や配線の引き回し等に課題があると考えたため、出力電力指令 $P_{DC}^* = 500W$ として試験を行った。また、入力電圧 $V_{DC} = 200V$ 、出力電圧 $v_{AC} = 100V_{rms}$ として実験を行った。

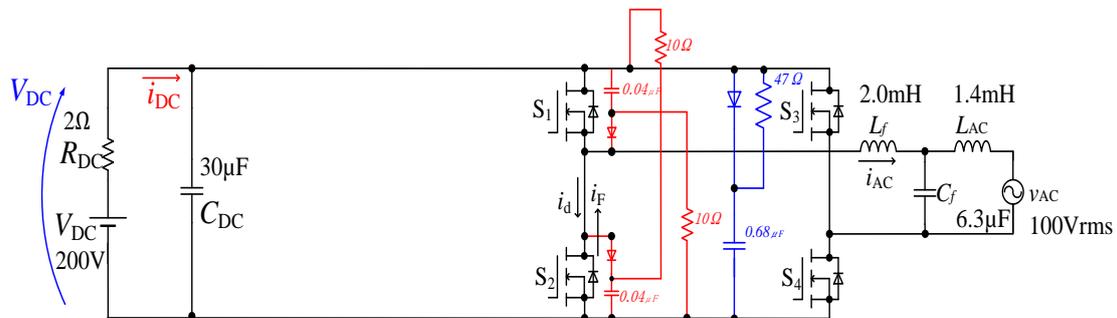


図5-7 NPD方式のパワーコンディショナ(実験回路図)

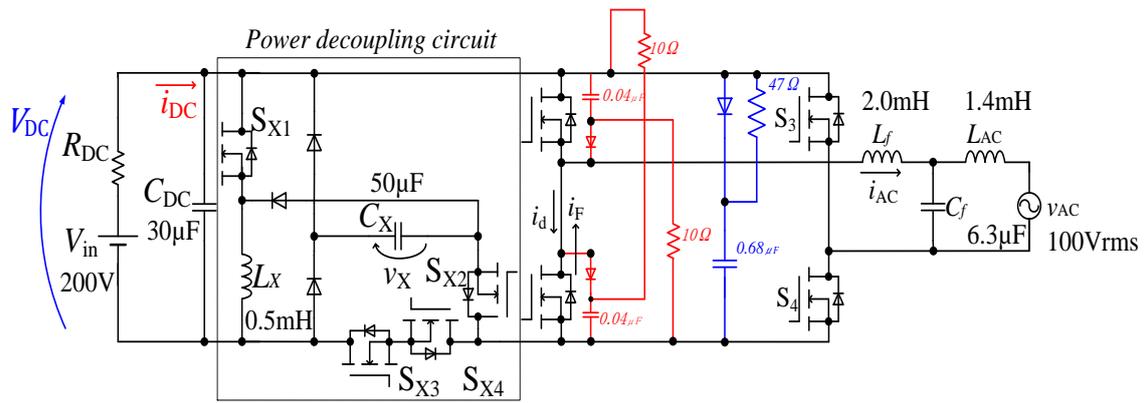
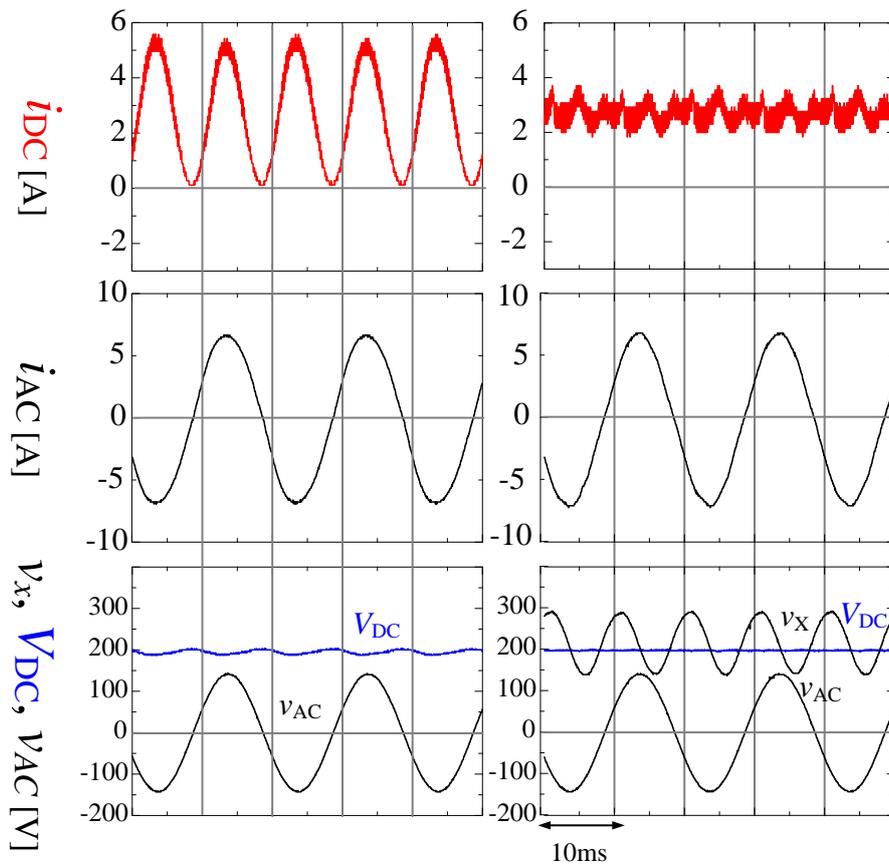


図 5-8 提案回路(実験回路図)

5.3.2 実験結果

それぞれの回路における実験結果を図 5-9 及び図 5-10 に示す。図 5-9 は力率 1 におけ

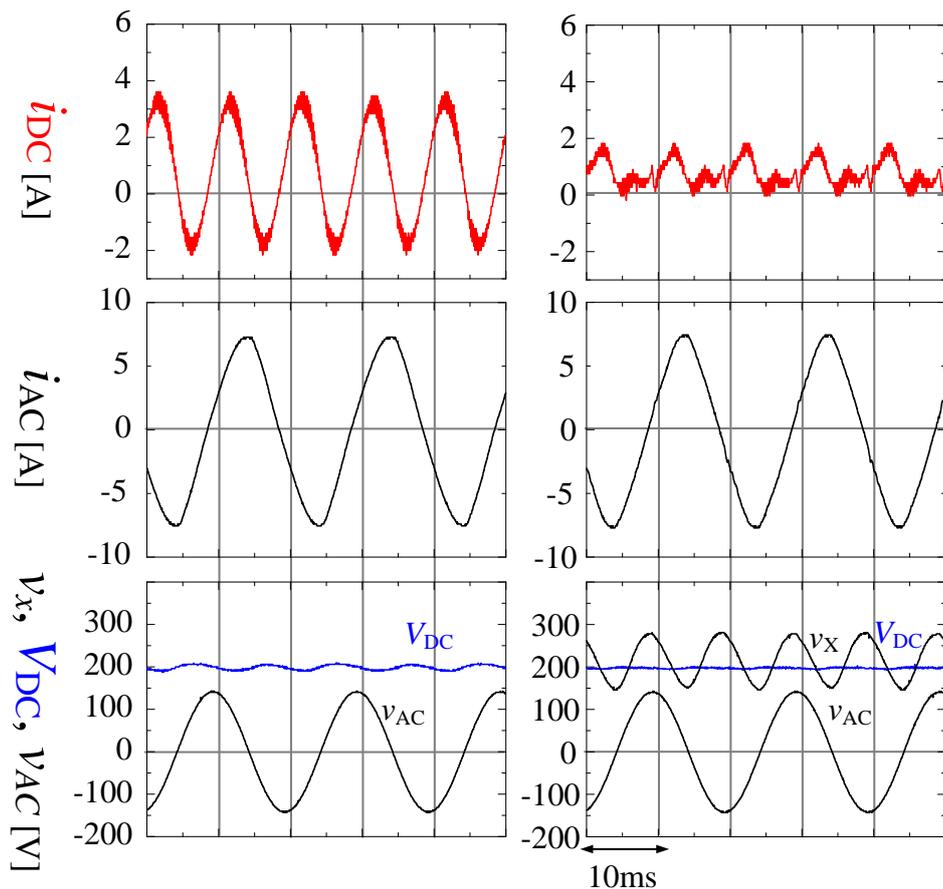


(a) NPD 方式のパワーコンディショナ

(b) 提案回路

図 5-9 力率 1 における波形比較(実験結果)

る NPD 方式と提案回路の波形比較結果を示し、図 5-10 は力率 0.1 における波形比較結果を示す。図 5-9 の v_{AC} と i_{AC} を比較すると、力率 1 である事が確認できる。また、 V_{DC} 、 i_{DC} の脈動低減量を比較すると、 V_{DC} の脈動量は 19V から 8.9V におよそ 53% 低減された。 i_{DC} の脈動量は 5.0A から 1.63A におよそ 67.5% 低減された。一方で図 5-10 の v_{AC} と i_{AC} を比較すると、力率 0.1 程度である事が確認できる。また、 V_{DC} 、 i_{DC} の脈動低減量を比較すると、 V_{DC} の脈動量は 16V から 9V におよそ 44% 低減された。 i_{DC} の脈動量は 5.0A から 1.88A におよそ 62.5% 低減された。以上の結果より力率 1 及び力率 0.1 においてパワーデカップリング回路が機能し、入力電力脈動が低減されている事が確認できる。



(a) NPD 方式のパワーコンディショナ

(b) 提案回路

図 5-10 力率 0.1 における波形比較(実験結果)

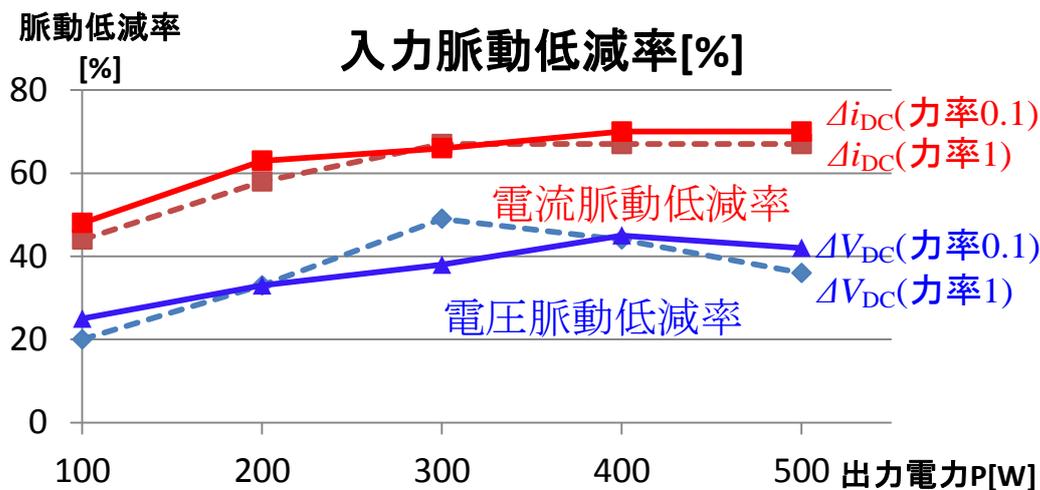


図 5-11 力率 1 と力率 0.1 の入力脈動低減率

また、図 5-11 力率 1 と力率 0.1 の入力脈動低減率の比較を示す。図に示されるように、力率 0.1 における脈動低減率は i_{DC} 、 V_{DC} とともに各出力電力において力率 1 と同等の脈動低減率を得ている事が確認できる。ここで、脈動量の測定はオシロスコープの [measure] 機能より測定しているが、入力電圧 V_{DC} の脈動 ΔV_{DC} は直流量 (200V) に対してきわめて小さいために、オシロスコープで正確に脈動量を測定できておらず、電圧脈動低減率は電流脈動低減率に比べて低くなっていると考えられる。

次に、図 5-12 に力率 1 と力率 0.1 の出力電力毎の損失比較を示す。損失はインバータ損失とパワーデカップリング回路での損失に分離して比較した。この図より、力率 0.1 においてはインバータの損失は微増しているが、一方でパワーデカップリング回路の損失は減少している事が確認できる。これは低力率の場合において、パワーデカップリング回路が充放電する脈動電力量は力率 1 と変わらないが、平均電力は低力率の方が小さいために、追加スイッチ S_{X3} 、 S_{X4} に発生する導通損失が低減され、パワーデカップリング回路での損失が低減すると考えられる。

図 5-13 には力率 1 と力率 0.1 の電力変換効率を示す。力率 1 ではパワーデカップリング回路の適用によって効率がおおよそ 3.8% 減少している。これは、スイッチ素子に次世代デバイスを用いる事で、スイッチング損失等が減少し効率が改善できると考えられる。力率 0.1 ではパワーデカップリング回路の適用によって 8.7% 程の効率低下が確認できた。これは、低力率の場合において入力電力量が小さいにも関わらず、脈動電力量は等

しいので、パワーデカップリング回路での損失が変換効率に大きく影響し効率が低下すると考えられる。

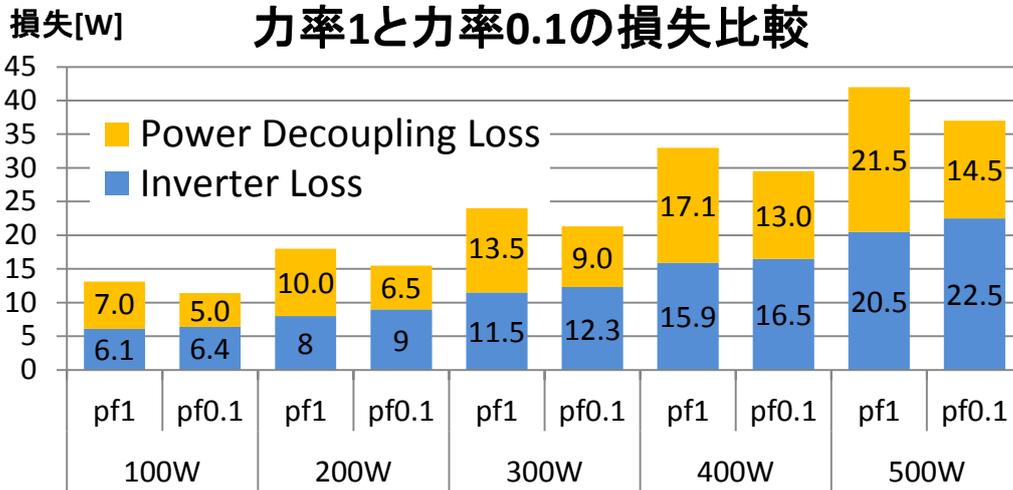


図 5-12 力率 1 と力率 0.1 の損失比較

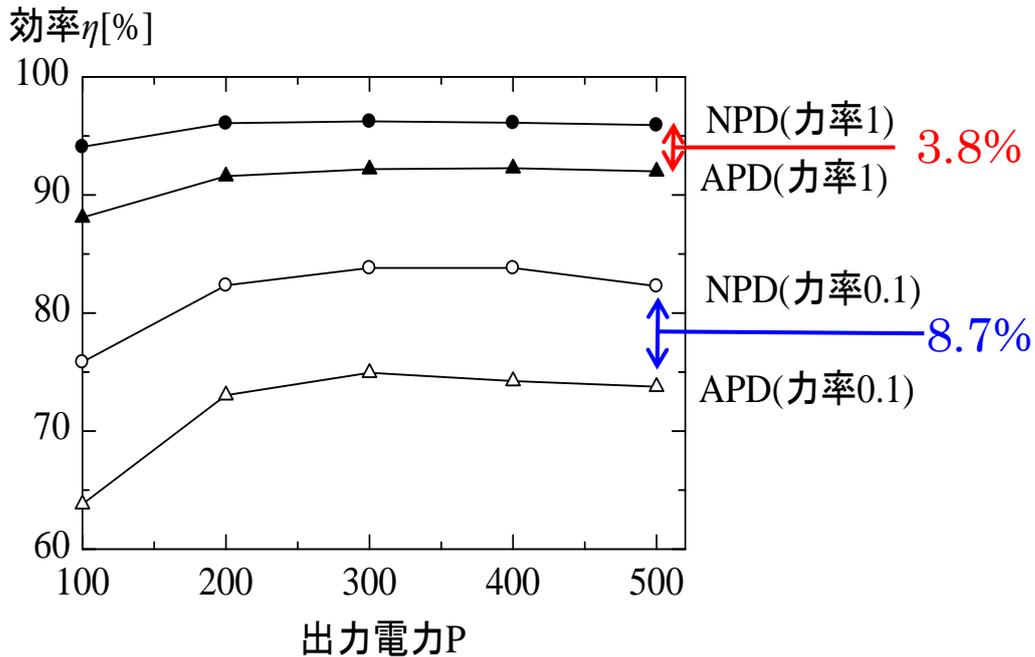


図 5-13 力率 1 と力率 0.1 の電力変換効率

図 5-14 には力率急変時の各波形を示す。図 5-14(a)には、力率瞬低時の各波形、図 5-14(b)には力率復帰時の各波形を示す。初めに、力率復帰時の出力電力 P_{AC} に着目すると、出力電力 P_{AC} は力率復帰時に瞬時に電力が回復している事が確認できた。家庭用太

陽光発電 PCS に要求される LVRT 機能の規定復帰時間は 0.1 秒であるのに対して、実験ではおよそ 10ms で電力が復帰しているため、提案回路と制御システムは LVRT 機能への対応可能性があると考えられる。また、入力電流 i_{DC} やデカップリングコンデンサ電圧 v_x に着目すると、力率の急変に対して、瞬時に応答できているものの特に入力電流 i_{DC} は力率復帰時に脈動量が増加している事が確認された。これは v_x 瞬時波形が力率復帰時に低下し、系統電圧 v_{AC} を下回っているためであると考えられる。このため、デカップリングコンデンサ平均電圧 \bar{v}_x をより大きい値で制御するか、あるいはデカップリングコンデンサ容量 C_x を大きく設計する必要があると考えられる。また、パワーデカップリング制御部も脈動増加になんらかの影響を与えている可能性があるため、パワーデカップリング制御部の過渡解析を行う事が今後の課題となる。

最後に力率 1 と力率 0.1 における THD について述べる。図 5-9 に示す力率 1 の場合の出力電流波形 i_{AC} に着目すると THD は 1.47% であり、図 5-10 示す力率 0.1 での出力電流

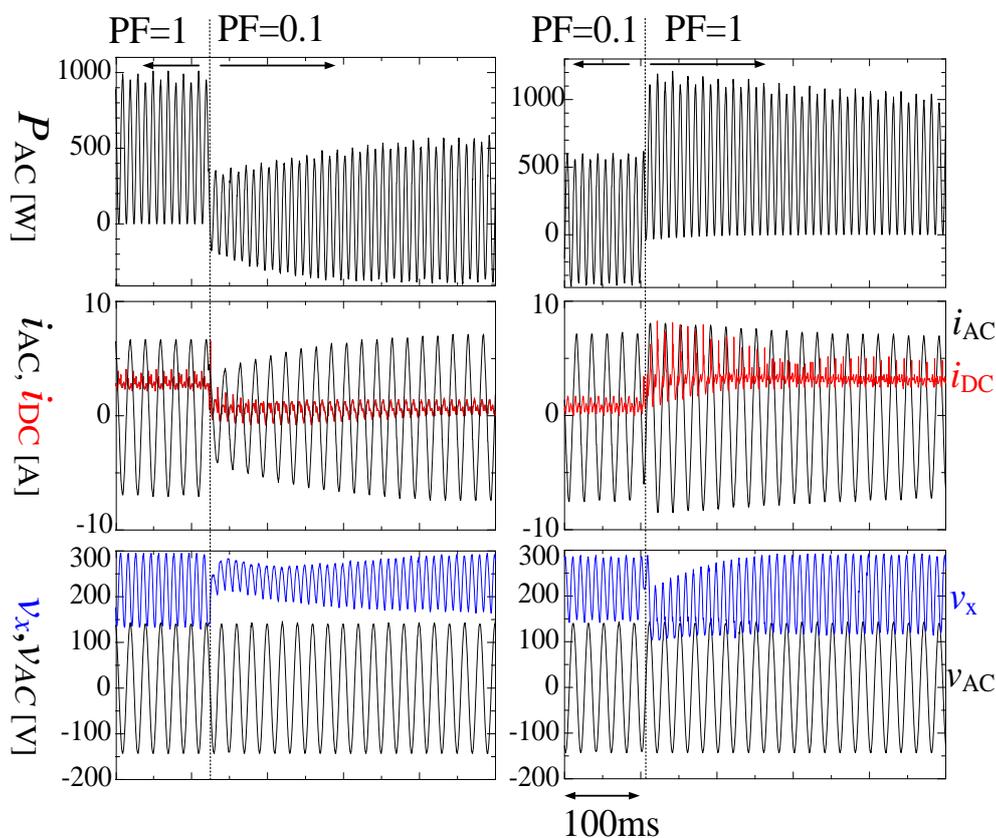


図 5-14 力率急変時の各波形

波形 i_{AC} に着目すると THD は 5.86%程度である。系統連系規定(JEAC)によると、総合電流歪み率は 5%以内、各次電流歪み率は 3%以内が望まれているため、力率 1 ではこの要求を満たしているものの、力率 0.1 での電流歪は改善する必要がある。これは制御器のゲイン設計によって改善可能であると考えられる。

5.4 まとめ

本章では、提案回路と提案制御システムの動作確認とその評価を行った。初めに、実験装置の動作方法について説明し、装置の動作手順と、入出力電圧や指令値を徐々に上げていく必要がある事を述べた。その後シミュレーションにおける評価方法を述べ、その結果を示した。シミュレーションより力率 1 から 0 の状態において、入力電圧 V_{DC} 入力電流 i_{DC} の脈動量に着目する事で、パワーデカップリング回路が正常に動作する事を示した。最後に実験での評価方法と結果について述べ、入力電圧 V_{DC} 入力電流 i_{DC} の脈動低減率について評価した。力率 1 の場合と力率 0.1 の場合で、パワーデカップリング回路の適用によって入力部での脈動低減率が同等である事から、提案回路及び提案制御システムは低力率においても正常に動作していると結論付けた。

第 6 章

今後の予定及び総論

6.1 今後の予定

本研究ではパワーデカップリング形 PCS の低力率運転を実現し，その動作特性の評価を行った。今後はこれを用いて LVRT 機能を実装し検証する必要がある。初めに提案回路が 2 種類の LVRT 制御方式どちらに適しているか評価し，その後 LVRT の制御方式を検討・実装していく。本論では力率急変による過渡応答のみを評価しているが，実際に系統電圧の瞬低に対して，その他の制御が瞬時に応答するかを検証する。

また，系統の瞬時低下に対する昇圧コンバータや MPPT 制御への影響を検証するために，太陽光パネルや昇圧コンバータ，MPPT 制御等を適用し家庭用太陽光発電システム系での実験も必要となる。図に家庭用太陽光発電システム系の構成図を示す。太陽光パネルの出力特性を得るために，パネル模擬電源を用い，PCS との間に昇圧コンバータを適用する。また，昇圧コンバータもしくはインバータ部分に MPPT 制御を適用する事で家庭用太陽光発電システムが実現可能となる。

また，本研究では出力電力 500W で試験を行ったが，実際の家庭用太陽光発電を模擬するにあたり，出力電力の向上も図る必要がある。出力目標を 1kW とし，それを実現

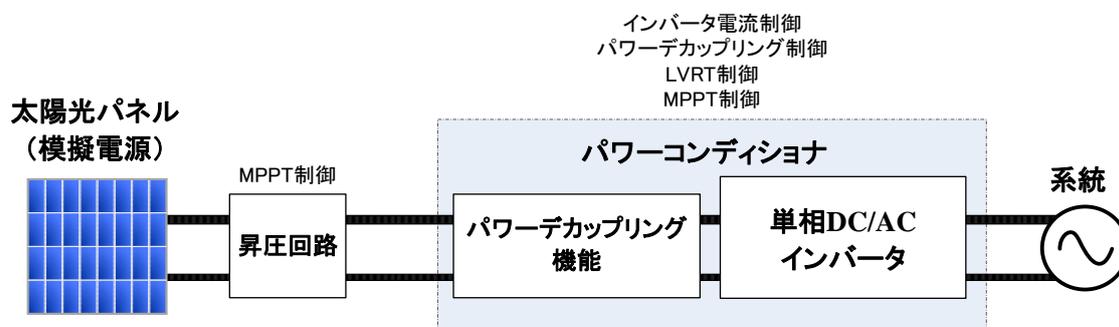


図 6-1 家庭用太陽光発電システム構成

するためにインバータサージ電圧の抑制やスイッチングのタイミングで生じるパルス電圧の原因を解明する事が必要となる。現状では 700W 近くの出力動作時に、主回路のスイッチが破壊されたため、700W 以上の出力のためにこれらの課題の解決が必要となると考える。また、系統模擬電源の逆潮流電力は 800W 程度であるため系統模擬電源の逆潮流電力が 1kW を超えるものに取り換える必要がある。

6.2 総論

本論文では、提案するパワーデカップリング形パワーコンディショナの低力率動作可能な制御システムを開発し、その動作特性をシミュレーション及び実験にて評価した。以下に本論文の各章を要約する。

第 2 章ではパワーコンディショナへの要求について纏めた。パワーコンディショナには「入力脈動低減」「長寿命化」「高効率化」「LVRT 機能」「受電点電圧上昇抑制」等が要求されることを述べ、「入力脈動低減」と「長寿命化」を両立するにあたり、パワーデカップリング形パワーコンディショナ(APD 方式)が必要である事を述べた。更に先行研究では APD 方式の「高効率化」を目標に様々な工夫がなされてきた。一方で家庭用太陽光発電システムの普及に伴い、「LVRT 機能」「受電点電圧上昇抑制」等の機能が要求される。これらの機能の付加に対しては低力率運転が有効である事を示し、本研究では APD 方式のパワーコンディショナにおいて低力率動作を検証する事を述べた。

第 3 章では、提案する主回路構成とその動作原理、主回路素子の設計手法について述べた。動作原理では動作モード毎にパワーフローを示すことで全ての力率においてパワーデカップリングが正常に機能し、入力電力の脈動が低減できる事を示した。また、主回路を構成する半導体素子の役割について述べ、その後、パワーデカップリング回路の受動部品 L_x, C_x の設計手法について示した。さらにインバータ出力部の LCL フィルタ設計手法について示した。また、主回路動作にあたり、制御システムの構築が必要である事を述べ、そのために検出回路が必要である事を示した。検出回路では、検出する波形によって使用する絶縁素子を検討し、可変抵抗によって検出ゲインを容易に調節できる

ように設計した。

第4章では提案する制御システムについて述べた。はじめに、提案制御システムの構成を示し、各構成部における制御ブロック図を説明した。各部の制御方法について詳細に説明し、更に、パワーデカップリング回路が正常に機能するための変調方式について述べた。また、サンプリング手法とデッドタイム設計について述べ、その後、インバータ電流制御とパワーデカップリングの充電電流制御の補償器選定と安定性解析を行った。制御回路と制御ブロック図から伝達関数を導出し、ボード線図を用いて安定性解析を行った。また、PI補償器やP補償器を、PR補償器と比較する事で、補償器としてPR補償器が適している事を述べ、安定な領域で制御ができるように、補償器のゲイン設計を行った。

第5章では、提案回路と提案制御システムの動作確認とその評価を行った。初めに、実験装置の動作方法について説明し、その後シミュレーション及び実験にて力率1と低力率における入力電圧 V_{DC} 及び入力電流 i_{DC} を評価した。シミュレーションでは力率1から力率0、実験においては力率1から力率0.1においてパワーデカップリング回路の適用によって入力電圧 V_{DC} 及び入力電流 i_{DC} の脈動が低減される事を確認し、低力率においても脈動低減率が力率1と同等であった事から、提案回路及び提案制御システムは低力率においても正常に動作していると結論付けた。

参考文献

- [1] 経済産業省 平成 27 年度エネルギーに関する年次報告 「エネルギー白書 2016」
http://www.enecho.meti.go.jp/about/whitepaper/2016pdf/whitepaper2016pdf_2_2.pdf
- [2] 経済産業省 再生可能エネルギー
http://www.enecho.meti.go.jp/category/saving_and_new/saiene/renewable/outline/
- [3] 環境省 再生可能エネルギーの予測
http://www.japanfs.org/ja/news/archives/news_id035295.html
- [4] 経済産業省 資源エネルギー庁 太陽光発電
http://www.enecho.meti.go.jp/category/saving_and_new/saiene/renewable/solar/
- [5] COSEL 電解コンデンサの寿命
<https://www.cosel.co.jp/technical/qanda/a0023.html>
- [6] 新エネルギー導入ガイド 太陽光発電導入 A to Z
http://www.enecho.meti.go.jp/about/pamphlet/new_energy/pdf/taiyoukou_dounyu.pdf
- [7] H Watanabe, K Koiwa, J Itoh, Y Ohnuma, S Miyawaki "Development of Electrolytic Capacitor Less Photovoltaic Grid Connected Inverter with Boost-up type Active Buffer Circuit" IEEJ Trans, Vol.135, No.5, pp.467-474(2014)
- [8] T. Shimizu, S. Suzuki, "A Single-Phase Grid-Connected Inverter with Power Decoupling Function," Conf. Proceedings of IPEC2005, pp.2981-2923 (2005)
- [9] J. Itoh, H. Watanabe, K. Koiwa, Y. Ohnuma, "Experimental verification of single-phase inverter with power decoupling function using boost-up chopper," 2013 15th European Conference on Power Electronics and Applications (EPE), pp.1-10 (2013)
- [10] Shota Yamaguchi*, Toshihisa Shimizu "A Single-phase Power Conditioner with a Buck-Boost-type Power Decoupling Circuit" IEEE IPEC Hiroshima 2014 pp3771-3777 (2014)
- [11] M. V. G. Reis, M. G. Villalva, T. A. S. Barros, A. B. Moreira, F. P. S. Nascimento and F. E. Ruppert "Evaluation of active frequency drift anti-islanding methods with a single-phase grid-tie photovoltaic inverter," IEEE 16th Workshop on Control and Modeling for Power Electronics (COMPEL), pp. 1-5, 2015.
- [12] K. Fujii, N. Kanao, T. Yamada and Y. Okuma, "Fault ride through capability for solar inverters," Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference, pp. 1-9, 2011.
- [13] J. Kwon, S. Yoon, H. Kim and S. Choi "Fault ride through control with voltage compensation capability for utility interactive inverter with critical load," Power

- Electronics and ECCE Asia (ICPE & ECCE), pp. 3041-3047, 2011.
- [14] Zongjie Liu, Lifeng Zhu, Li Deng, Lijun Qin, and Feng Jiao “The Research of Islanding Detection about the photovoltaic Grid-Connected Generation System” International Journal of Computer and Electrical Engineering, Vol. 5, No. 3, June 2013.
- [15] 太陽光発電の仕組み
http://www.solartech.jp/charge_ctrl/mppt.html
- [16] 系統連系規定 JEAC 2015 年 追補版(その 1)
<http://www.denki.or.jp/wp-content/uploads/2015/09/keitou-tuiho2015.pdf>
- [17] 系統連系規定 JEAC 2015 年 追補版(その 2)
<http://www.denki.or.jp/wp-content/uploads/2005/03/keitou2012-2014tuiho2.pdf>
- [18] 経済産業省 資源エネルギー庁 「固定価格買取制度ガイドブック」
http://www.enecho.meti.go.jp/category/saving_and_new/saiene/data/kaitori/2015_fit.pdf
- [19] 経済産業省 資源エネルギー庁 「電力品質確保に係る系統連系技術要件ガイドライン」
<http://www.meti.go.jp/policy/tsutatsutou/tuuti1/aa501.pdf>
- [20] Sangmin Lim*, Jaeho Choi*‡ “LCL Filter Design for Grid Connected NPC Type Three-Level Inverter” International journal of renewable energy research Vol. 5, No.1, 2015.
- [21] Aleksandr Reznik, Marcelo Godoy Simões, Ahmed Al-Durra, and S. M. Mueeen, “LCL Filter Design and Performance Analysis for Grid-Interconnected Systems” IEEE Transactions on industry applications, vol. 50, no. 2, march/april pp1225-1232 2014.
- [22] 富士電機株式会社 保護回路設計方法
https://www.fujielectric.co.jp/products/semiconductor/model/igbt/application/box/doc/pdf/RH984b/RH984b_05.pdf.
- [23] F. Xiong, W. Yue, L. Ming and L. Jinjun, “A Novel Frequency-Adaptive PLL for Single-Phase Grid-Connected Converters”, *Energy Conversion Congress & Expo*, pp. 414-419, Georgia, USA(2010-9).
- [24] R. Teodorescu, F. Blaabjerg, M. Liserre and P.C. Loh “Proportional-resonant controllers and filters for grid-connected voltage-source converters” IEE Proceeding-Electric Power Applications pp750-762 October 2006.
- [25] Remus Teodorescu, Frede Blaabjerg, “Proportional-Resonant Controllers. A New Breed of Controllers Suitable for Grid-Connected Voltage-Source Converters” Proceedings of The 9th International Conference on Optimization of Electrical and Electronic Equipments, Vol.3 pp9-14 2004.
- [26] D. Zammit, C. Spiteri Staines, M. Apap, “Comparison between PI and PR Current Controllers in Grid Connected PV Inverters” International Journal of Electrical, Computer,

Energetic, Electronic and Communication Engineering Vol:8, No:2, 2014.

- [27] 福田 昭治,依田 武仁, “正弦波内部モデル原理を用いたアクティブフィルタの電流制御” 電気学会論文誌. D, 産業応用部門誌 12 号, pp1440-1446.(2000)
- [28] 富士電機 ゲートドライブ回路設計方法
https://www.fujielectric.co.jp/products/semiconductor/model/igbt/application/box/doc/pdf/RH984b/RH984b_07.pdf
- [29] Robert W. Erickson, Dragan MAksimovic “Fundamentals of Power Electronics Second Edition” Kluwer Academic Publishers 2000. p iii.
- [30] Keisuke Toyama, Toshihisa Shimizu, “Study of Control Method of a Single-phase Utility Interactive Inverter with a Power Decoupling Function” Energy Conversion Congress and Exposition (ECCE), 2013.

発表論文

- I. Yusuke Seta, Toshihisa Shimizu, "Low Power Factor Operation of PV Inverter with Power Decoupling Function", ECCE 2016
- II. 瀬田 雄介, 清水 敏久, 「パワーデカップリング形パワーコンディショナの低力率における動作特性」, 電気学会, 半導体電力変換 モータードライブ合同研究会, SPC-16-009 MD-16-10 (2016年1月)
- III. 瀬田 雄介, 清水 敏久, 「パワーデカップリング形パワーコンディショナの低力率における動作特性」, 電気学会, 産業応用部門大会, R1-1-1 (2015年9月)

謝辞

本研究を進めるにあたり多大なる御指導を頂いた首都大学東京理工学研究科電気電子工学専攻 清水敏久教授に深く感謝致します。清水先生には研究に関する技術的な指導や研究に対する考え方や取り組み方, 更に実験方法や発表の仕方を熱心に指導して頂きました。

また, 首都大学東京理工学研究科電気電子工学専攻 和田圭二準教授にも深く感謝いたします。和田先生にはパワーエレクトロニクスに付随する様々な知識や普段の生活の在り方について指導して頂きました。

最後に, 研究生生活を共にした同期の仲間, 先輩方や後輩に深く感謝致します。

付録 A PE-viewX におけるソースコード

```
//setayusuke
#include <mwio4.h>
#include<math.h>

/*****
                                                                    各種定数設定
                                                                    *****/
/* 円周率 */
#define PI(n) (3.1415926535897932384 * (n))
/* 円周率/SAMPL=サンプリング間隔[us] */
#define  FREQ    20000
#define  SAMPL   400*1
/* ボードナンバー 0~3 */
#define  BDN     0
#define  RNG     10
/*  $\sqrt{2}$  */
#define  r2      1.41421356

/*****
                                                                    変数定義
                                                                    *****/
/* 各電圧電流の検出値 */
float vdc, idc, vx , vac, vgrid, iac, iL, iacd;
/* 位相制御 */
float th_hat, dwt, wt, delt, omg, omg0, omg_q;
/* DSP 出力 */

/* リセット用変数 */
float vdc_reset, iL_reset, vx_reset, vgrid_reset;
float vac_reset, iac_reset;
/* フィルタ関係 */
float vdcf, idcf, vxf, vgridf, vacf, iacf, pdcf, iLf;
```

```

/* カットオフ周波数 */
float fpdc, fout, fvdc, fidc, fvac, fvx, fdq1, fdq2, fiL;
/* 指令値 */
float vx_ast, iac_ast, idc_ast, pdc_ast;
/* 比例ゲイン */
float kp_iac, kp_idc, kp_vdc, kp_vx, kp_pdc;
/* 積分ゲイン */
float ki_pdc, ki_iac, ki_idc, ki_vx;
/* 積分定数 */
float pdc_I, id2_I, iq2_I, idc_I, vx2_I;
/* 検出ゲイン */
float kg_vac, kg_idc, kg_vdc, kg_vx, kg_vout, kg_iout;
/* 出力電流指令値 dq 変換 */
float ia1, ib1, id1, iq1, id1f, iq1f, id2, iq2, ia2, ib2;
/* 出力電流検出値 dq 変換 */
float iac_a, iac_b, iac_aold, iac_d, iac_q, iac_df, iac_qf;
float va, vb, vd, vq, pdc, pac_ast, pac;
float vacfl, idc2, vx2, ra;
float U, U1, U2, U3, vq_I, lim_chop, npd, bai;
/*NEW 制御の変数*/
float kp_pac, pac_I, id_ast, ki_pac,
pac2, prip, id_ast1, Sconst1, Sconst2, toyama, toyama_I, bai2, fSconst;
float phase, vxf2, fvx2, iac_g;
float
test=0, mode1=0.0, test1, mode1, mode2, mode3, mode4, out0, out1, out2, out3, out4, out5, iac_feed, iac
_p, Ssin_m, th_gap, th_gap1, th_gap2, th_pf, PF, R, Sxx_x;
float vx_gap=0.0, vx3_I1=0.0, vx3_I2=0.0, vx_bai=1000.0, delt_vx=0.0, vxf5, fvx5, vx_th, kpd,
kid;
float iac2, iac_ast, iac_I, iL_v, iL_II, iL2, kr_idc, iLV1, iLV2, omg_cL, fcL;
float iac_v, iac_II;
//PLL2
float U5, ia, ib, id, iq, th_hat2, omg_q2, iq, iq_I, omg2, omg_q2;
float free_2, TRG, PULSE, sig1, sig2, sig3, sig4, sig5, i_frg;

//carrier clock 生成用//
float dV, Vm, fear, Vcar, Clock, i, t, deltt, V1, V2;

```

```

//frequency analyze//
float PSM_out;

float data[8] = {0.0};
float range[8] = {5.0};
volatile float Ssin, Ssin_abs, Schop, Sconst, Sconst_abs, Sconstt, Sxx, Sxx_abs, sw_inv, mode,
vxx,Sm1,i_rev;

volatile int IP_ver, carrier, sample, P, Ssin_ast, Ssin2_ast, Schop_ast, Sconst_ast, Sxx_ast,
mode_ast, S1_ast, S2_ast, S3_ast, S4_ast, Sx1_ast, Sx2_ast, Savoid_ast;
float carrier2, sample2, omg_c, fc, kr_iac, idc2f;
/*****
                                                                    初期値設定関数
*****/
void InitValue(void){
    //初期値とカットオフ周波数
    vx_ast = 20.0,          pac_ast = 2;
    fpdc = 3,              fout = 1000;
    fvdc = 3,              fdc = 1000;
    fvac = 1000,           fvx = 3;
    fdq1 = 3,              fdq2 = 3;
    fiL = 2000;
    fvx2=1000;
    fcar=20000;

    //制御ゲイン
    kp_iac = 10,           kp_idc = 1.0;
    kp_vdc = 1.0,          kp_vx = 0.04;
    kp_pdc = 1.5;
    kp_pac = 1.5;

    ki_pdc = 5,            ki_iac = 10;
    ki_idc = 0,            ki_vx = 0.05;
    ki_pac = 10;

    kr_iac = 10;

```

```

kr_idc = 0.01;

//検出ゲイン
//ゲイン小プログラム
kpd=100;
kid=10;
kg_idc = 1;
kg_vdc = 1, kg_vx = 1;
kg_vout = 1, kg_iout = 1;

Vm=10;
lim_chop = 8;
ra = 10;
bai=1.8;
toyama=296.0;
toyama_I=0.0;
fSconst=1000;
dwt = PI(2.0) / SAMPL;
phase=0.0;
iac_g=0.9;
iac_p=0.1;
R=20.0;
npd=0;
fc=1;
fcL=1;

/* サンプリング間隔[s] */
delt = FREQ * 0.000001 / SAMPL;
deltt=1;
th_gap=-0.01;

/* 2 π f */
omg0 = PI( 2.0 ) * 50;
omg_c = 2*PI(1)*fc; //PRdamping 用
omg_cL = 2*PI(1)*fcL; //iL 制御 PRdamping 用
vdc = 0.0, idc = 0.0, vx = 0.0, vgrid = 0.0, vac = 0.0, iac = 0.0,iL=0.0, iacd=0.0;
th_hat = 0.0, wt = 0.0, omg = 0.0, omg_q = 0.0, th_gap=0, th_gap1=0, th_gap2=0;

```

```

    Ssin = 0.0, Ssin_abs=0.0, Schop = 0.0, Sconst = 0.0, Sconst_abs = 0.0, Sconstt = 0.0,
Sxx = 0.0, Sxx_abs = 0.0, Sm1 = 0.0;
    sw_inv = 0.0, mode = 0.0, vxx = 0.0;
    vdc_reset = 0.0, iL_reset = 0.0, vx_reset = 0.0, vgrid_reset = 0.0;
    vac_reset = 0.0, iac_reset = 0.0;
    vdcf = 0.0, idcf = 0.0, vgridf = 0.0, vxf = 0.0, vacf = 0.0;
    iacf = 0.0, pdcf = 0.0, iac_ast = 0.0, idc_ast = 0.0, vx_th=30;
    pdc_I = 0.0, id2_I = 0.0, iq2_I = 0.0, idc_I = 0.0, vx2_I = 0.0, iac_I=0;
    ia1 = 0.0, ib1 = 0.0, id1 = 0.0, iq1 = 0.0;
    id1f = 0.0, iq1f = 0.0, id2 = 0.0, iq2 = 0.0, ia2 = 0.0, ib2 = 0.0;
    iac_a = 0.0, iac_b = 0.0, iac_aold = 0.0;
    iac_d = 0.0, iac_q = 0.0, iac_df = 0.0, iac_qf = 0.0;
    va = 0.0, vb = 0.0, vd = 0.0, vq = 0.0, pdc = 0.0;
    vacf1 = 0.0, idc2 = 0.0, vx2 = 0.0;
    U=0.0, U1 = 0.0, U2 = 0.0, U3 = 0.0, U5=0.0, vq_I = 0.0;
    pac_I=0.0,
                                                                    id_ast=0.0,
pac2=0.0,prp=0.0,id_ast1=0.0,Sconst1=0.0,Sconst2=0.0,bai2=1.0;
    vxf2=1.0,test1=0,mode1=0,mode2=0,mode3=0,mode4=0,out0=0,out1=0,out2=0,out3
=0,out4=0,out5=0,iac_feed=0,Sxx_x=1.0;
    vxf5=0,fx5=1000;
    U5=0.0, ia=0, ib=0, id=0, iq=0, th_hat2=0.0, omg_q2=0, iq=0, iq_I=0, omg2=0,
omg_q2=0;
    free_2=0, TRG=0, PULSE=0, i_rev=0, sig1=0, sig2=0, sig3=0, sig4=0, sig5=0,
i_frg=0;
    dV=0, Vcar=0, Clock=0, i=0, t=0, IP_ver = 0, iac_v=0, iac_II=0, V1=0, V2=0, iL_v=0,
iL_II=0, iL2=0;
    //frequency analyze//
    PSM_out=0, idc2f =0;
}

```

```

/*****

```

論理演算の関数定義

```

*****/

```

```

//コンパレータ(c1 のほうが大きいとき 5.0 を出力する)

```

```

int comp(double c1, double c2){
    int comp_out;

```

```

        if(c1>c2){ comp_out = 0.0; }
        else if(c1<=c2){ comp_out = 5.0; }
        return comp_out;
    }
}
/*****
                                                                 割り込み処理ルーチン
*****/
interrupt void c_int09(void){
/*****
                                                                 AD 変換回路 ADG0 からデータの読み込み
*****/
    // C6657_timer0_clear_eventflag();

    PEV_ad_start(BDN);

    if (PEV_ad_in_grp(BDN, data) != 1){
        iL = data[0];
        vx = data[1];
        vdc = data[2];
        iac = data[3];
        vac = data[4];
        PSM_out = data[5];

        iacd = data[6];

        //      free_2 = data[5];          //free channel
    }

/*****fpga read *****/
sample = FPGA_read( 0, 49);
carrier = FPGA_read(0, 48);
sample2=sample;
carrier2=carrier;          ////FPGAREAD は四つまでしかかけないよ

IP_ver =  FPGA_get_fpga_ver(BDN);
th_pf=acos(PF);

```

```

//パルスがハイになった時に割り込み開始
if( ( sample > 1 ) && ( TRG==0 ) ){

/**以下, reset = 0 ならば動作する*****/
    if((vdc_reset==0)&&(iL_reset==0)&&(vx_reset==0)
        &&(vac_reset==0)&&(iac_reset==0)){

/*****ローパスフィルタ*****/
//      pdcf = ( PI(2.0) * fpdc * delt * iac * vac + pdcf)/
//              ( 1.0 + PI(2.0) * fpdc * delt);
        vacf = ( PI(2.0) * fout * delt * vac + vacf)/
                ( 1.0 + PI(2.0) * fout * delt );
        iacf = ( PI(2.0) * fout * delt * iac + iacf)/
                ( 1.0 + PI(2.0) * fout * delt );
        vdcf = ( PI(2.0) * fvdc * delt * vdc + vdcf)/
                ( 1.0 + PI(2.0) * fvdc * delt );
//      idcf = ( PI(2.0) * fidc * delt * idc + idcf)/
//              ( 1.0 + PI(2.0) * fidc * delt );
//      vgridf = ( PI(2.0) * fvac * delt * vgrid + vgridf)/
//               ( 1.0 + PI(2.0) * fvac * delt );
        vxf = ( PI(2.0) * fvX * delt * vx + vxf)/
                ( 1.0 + PI(2.0) * fvX * delt );
        iLf = ( PI(2.0) * fiL * delt * iL + iLf)/
                ( 1.0 + PI(2.0) * fiL * delt );
        vxf2 = ( PI(2.0) * fvX2 * delt * vx + vxf2)/
                ( 1.0 + PI(2.0) * fvX2 * delt );

        iac_df = ( PI(2.0) * 3.0 * delt * iac_d + iac_df)/
                 ( 1.0 + PI(2.0) * 3.0 * delt );
        iac_qf = ( PI(2.0) * 3.0 * delt * iac_q + iac_qf)/
                 ( 1.0 + PI(2.0) * 3.0 * delt );

/***** PLL(vac)*****/
        wt += dwt;
        if( wt > PI(2.0) ) wt -= PI(2.0);      //抵抗負荷の位相用

```

```

R=20;
//va = r2*mwsqrt(pac_ast*R) * mwcosp( wt )/kpd;           //抵抗負荷時
va = vacf;                                                 //系統連系時
//iac2 = 160*mwcosp( wt );                                //制御無し npd
ab2dq( va, vb, th_hat, &vd, &vq); //出力電圧 vac ab-dq 変換
U = ( PI(2.0) * 5.0 * delt * vd + U)/
      ( 1.0 + PI(2.0) * 5.0 * delt );
      vq_I += vq * delt * toyama_I;
if( vq_I > 100 || vq_I < -100){
      vq_I = 0;
}
omg_q = toyama * vq + vq_I;

omg = omg0 + omg_q;
th_hat += delt * omg;

//θ を 0 から 2π の値にする。
if( th_hat >= PI(2.0) ) th_hat = 0;
else if( th_hat <= -PI(2.0) ) th_hat=0;

vb = U * mwsin( th_hat);

/*****
出力電力/電流制御
*****/

U1 = (PI(2.0)*50*delt*iac_d+U1)/(1+PI(2.0)*50*delt); // iac_d を 50Hz の LPF に
iac_a = iacf;
iac_b = U1 * mwsin( th_hat-th_pf);
//th_gap = mwarctan(100*PI(1.0)*0.0034*iac_df*kid / (U*kpd));
//力率 1 での位相ずれ補償
th_gap = mwarctan(100*PI(1.0)*0.0034*iac_df*kid*mwcosp(th_pf) / (U*kpd +
100*PI(1.0)*0.0034*iac_df*kid*mwsin(th_pf))); //力率 < 1 での位相ずれ補償
th_gap1=1.5*(PI(1)/180); //デジタルフィルタによる位相遅れ補償
th_gap2=3*(PI(1)/180); //LCL フィルタによる位相遅れ補償

```

```
ab2dq( iac_a, iac_b, th_hat-th_gap1-th_pf, &iac_d, &iac_q); //出力電流検出値 iac ab-dq
変換
```

```
pac = iac_df * U / 2.0;
prip = -pac * cos ( 2.0 * (th_hat) - th_pf);
```

```
id_ast = (pac_ast/(kpd*kid)) / U * 2.0;
iac_ast=id_ast*cos(th_hat+th_gap2-th_gap-th_pf);
```

```
/******DQ control*****/
```

```
/* id2_I+=(id_ast-iac_d)*delt*ki_iac;
id2=kp_iac*(id_ast-iac_d)+id2_I - 2*PI(1.0)*50*0.0034*iac_q;
```

```
iq2_I+=(0.0-iac_q)*delt*ki_iac;
iq2=kp_iac*(0.0-iac_q)+iq2_I + 2*PI(1.0)*50*0.0034*iac_d;
```

```
dq2ab( id2, iq2, th_hat+th_gap, &ia1, &ib1); //変調信号用
```

```
iac2 = ia1+vac*kpd*(200/(vdc*kpd));
```

```
ib2 = ib1+vac*kpd*(200/(vdc*kpd));
```

```
*/
```

```
/******PI controller*****/
```

```
// iac_I+=ki_iac*delt*((iac_ast+PSM_out)-iacf); // PI controller
```

```
// iac2=kp_iac*((iac_ast+PSM_out)-iacf)+iac_I+vacf*100*(200/(vdcf*100));
```

```
/******PR controller*****/
```

```
iac_v+=iac_II*(100*PI(1)*100*PI(1))*delt;
```

```
iac_II+=((iac_ast+PSM_out-iacf)-iac_v)*delt;
```

```
iac2=kp_iac*(iac_ast+PSM_out-iacf)+kr_iac*iac_II+vacf*100*(200/(vdcf*100));
```

```
/******PR control2*****/
```

```
//V1=iac_II*2*omg_c;
```

```
//V2+=iac_II*(100*PI(1)*100*PI(1))*delt;
```

```

//iac_II+=((iac_ast-iacf)*(2*kr_iac*omg_c)-V1-V2)*delt;
//iac2=kp_iac*(iac_ast-iacf)+iac_II+vacf*100*(200/(vdcf*100));

/*****PIR control*****/
//iac_I+=ki_iac*delt*(iac_ast - iacf);
//iac_v+=iac_II*(100*PI(1)*100*PI(1))*delt;
//iac_II+=((iac_ast+PSM_out-iacf)-iac_v)*delt;

//iac2=kp_iac*(iac_ast+PSM_out-iacf)+(iac_I)+(kr_iac*iac_II)+vacf*100*(200/(vdcf*100));

/**npd or apd 判定*****/
    npd=;

    if( npd == 1 ){
        mode    = 0;
        Schop   = 0;
        Sconst  = 0;
        Sm1=5.0;
        Ssin=iac2;
    }

    else{
/***** 入力電流制御 *****/
        idc_ast = prip / vdcf;

        //    if( idc_ast < 0 ){
        //        idc_ast=0;
        //    }

/***** デカップリングコンデンサ電圧 PI 制御 *****/

        vx2_I  += ( vx_ast/100 - vxf ) * delt * ki_vx;    //fc=3Hz
        //    vx2_I  = mwlimit( vx2_I, 10000);
        vx2    = kp_vx * ( vx_ast/100 - vxf ) + vx2_I;

/***** 制御信号生成 *****/

/** mode 切り替え信号 ***/

```

```

    if( prip < 0.0){
    mode = 5.0;
    }
    else{
    mode = 0.0;
    }

    if(mode==0){    Sm1=5.0;
    }
    else{
        Sm1=0.0;
    }
}

/***** iL 電流制御 PR 制御 *****/
//    iL_v+=iL_II*(200*PI(1)*200*PI(1))*delt;
//    iL_II+=((idc_ast-iLf)-iL_v)*delt;
//    iL2=kp_idc*(idc_ast-iLf)+kr_idc*iL_II;

/***** iL 電流制御 PRdamping 制御 *****/
    iLV1=iL_II*2*omg_cL;
    iLV2+=iL_II*(200*PI(1)*200*PI(1))*delt;
    iL_II+=((idc_ast-iLf)*(2*kr_idc*omg_cL)-iLV1-iLV2)*delt;
    iL2=kp_idc*(idc_ast-iLf)+iL_II;

if(mode == 0){
    //idc2 = kp_idc * (idc_ast-iLf) + vx2;    //iL 比例制御
    idc2 = iL2 + vx2;    //iLPR 制御
}
else{
    idc2 = vx2;    //制御ゲイン分離 ver;
}

idc2f = (2.0*PI(1)*10000*delt*idc2+idc2f)/(1+2.0*PI(1)*10000*delt);
Schop = idc2f;
    Ssin_m =iac2;    //モード判定用(psim
    if(mode == 5){
    Ssin = Sxx;

```

```

    }
    else{
    Ssin =iac2;
    }
    /*** 制御信号生成 Sconst ***/
    i_rev = cos(th_pf) / (cos(th_pf) + mwc(2.0 * (th_hat) - th_pf));
    if(i_rev >= 1 || i_rev <= 0){
    Sconst1 = 1;
    Sconst2 = 1;
    }
    else{
    Sconst1 = cos(th_pf) / (cos(th_pf) + (1.0) * cos(2.0 * (th_hat) - th_pf));
    Sconst2 = cos(th_pf) / (cos(th_pf) + cos(2.0 * (th_hat) - th_pf));
    }
    Sconst = Ssin_m * Sconst1;
    Sconstt = Ssin_m * Sconst2;
/*
    Sconst1 = 1.0 + mwc( 2.0 * (th_hat+th_gap));

    if ( Sconst1 >0.2){
    Sconst = Ssin_m / Sconst1;
    }
*/
/*** 制御信号生成 Sxx ***/
// Sxx = (Ssin_m - Sconst)*vdcf/vx+Sconst; //vxf2;1000HzLPF
//従来
vx_th = (pac2*200 / ( 100 * PI(2) * 50 * 0.000001 * vxf*100 ) * mwc( 2 *
th_hat2 + PI(1)/2 ) + vxf*100)/kpd;
Sxx= (Ssin_m - Sconst)*(vdcf*100)/(vx*98) + Sconstt;

/***** npd にする場合は 1 とする *****/
}
}
/*****FPGA_write*****/
Ssin_abs = fabs(Ssin);
Sconst_abs = fabs(Sconst);

```

```

Sxx_abs = fabs(Sxx);

FPGA_write(0, 56, Ssin+1000);
FPGA_write(0, 57, Ssin_abs+1000);
FPGA_write(0, 58, Schop+1000);
FPGA_write(0, 59, Sconst_abs+1000);
FPGA_write(0, 60, Sxx_abs+1000);
FPGA_write(0, 61, mode);
FPGA_write(0, 62, iL*10*100*(2/3)+1000);
FPGA_write(0, 63, vx*100+1000);
FPGA_write(0, 64, iac*10*100*(2/3)+1000);
FPGA_write(0, 65, vac*100+1000);

/*デジタル回路確認用
mode1=2*sin(wt);
Ssin=mode1;
Sconst=sin(wt);
Schop=sin(wt);
mode2=3*sin(2*wt);
if( mode2 < 0.0){
                Sm1 = 5;
                mode = 0;
        }
else{
                Sm1 = 0;
                mode = 5;
};

*/
/*
Ssin = 0;
Sconst = 0;
Schop = 0;
mode=0;
Sm1 = 0;
*/

```

```

/*****ここまで reset = 0 ならば実行する*****/

// DAC_da_out(BDN, 0, Ssin); //Ssin
//DAC_da_out(BDN, 1, iac_ast+PSM_out-iacf); //OPENLOOP MEASUREMENT
// DAC_da_out(BDN, 1, iac_ast+PSM_out); //CLOSEDLOOP MEASUREMENT
// DAC_da_out(BDN, 1, iac);
// DAC_da_out(BDN, 2, Ssin);
//DAC_da_out(BDN, 2, iacf); //abs(Sconst)

// DAC_da_out(BDN, 3, Schop); //Schop
// DAC_da_out(BDN, 4, mode); //mode
// DAC_da_out(BDN, 5, Sm1); //Sm1

// DAC_da_out(BDN, 6, vx*2);
// DAC_da_out(BDN, 6, fabs(vx/50)); //Sm1
// DAC_da_out(BDN, 7, th_hat);
// DAC_da_out(BDN, 8, iac); //free

//バイアス確認
//free_2=fabs(vac*50*mwcos( wt ));
//free_2=fabs(vdc/30);
//DAC_da_out(BDN, 6, free_2);

//test=fabs(vx);

TRG=1;
}
//if ( PULSE < 2 ) && ( TRG==1 ) ){
if ( ( sample < 1 ) && ( TRG==1 ) ){
TRG=0;
}
//DAC_da_out(BDN, 1, carrier2-1000);
//DAC_da_out(BDN, 2, sample2);
// C6657_timer0_clear_eventflag();
int0_ack();

```

```

}
/*****
*   メイン関数   *
*****/
void MW_main(void){

    InitValue();
    DAC_init(BDN);

//AD 初期化      (5V 入力に対しての読み込みの値を各チャンネルで設定)

range[0] = 5*kg_idc;
range[1] = 5*kg_vx;
range[2] = 5*kg_vdc;
range[3] = 5*kg_iout;
range[4] = 5*kg_vout;
range[5] = 5; //追加ケーブル用
range[6] = 5;
range[7] = 5;

PEV_ad_set_range(BDN, range);
PEV_ad_set_mode(BDN, 0);

//PEV_int_init(0, 2, 0, 0, 0, 0, 0, 0, 0);

//PEV_inverter_init_adtrig_timing(BDN, 0, 0);

//int0_init_vector(c_int09, (CSL_IntcVectId)4, FALSE);

// DSP のレンジ設定値(ボード番号, チャンネル番号, 出力レンジ)
//DAC_da_set_range(BDN, 0, RNG); /* Ssin */
    DAC_da_set_range(BDN, 1, 10); /* | Ssin | 10V 出力するときの値*/
    DAC_da_set_range(BDN, 2, 1000); /* | Sconst | */
//    DAC_da_set_range(BDN, 3, RNG); /* Schop */
//    DAC_da_set_range(BDN, 4, RNG); /* mode */

```

```

//      DAC_da_set_range(BDN, 5, RNG); /* Sm1 */
//
//      DAC_da_set_range(BDN, 6, RNG);
//      DAC_da_set_range(BDN, 7, RNG); //free

/*
t=t+deltt;//1us タイマー
dV=Vm*fcar*deltt;
if(t==deltt){
    Vcar=dV;
}
else if(t<(i/fcar)){
    Vcar=Vcar+dV;
}
else{
    Vcar=0;
    i++;
}
*/

/* タイマ割り込み処理*/
    C6657_timer0_init( 5 );      //FREQ / (SAMPL*25

/* タイマ 0 による割り込みルーチンを設定 */
    C6657_timer0_init_vector(c_int09, (CSL_IntcVectId)5 );
    C6657_timer0_start();

/* タイマ割り込みを許可 */
    C6657_timer0_enable_int();

/* 割り込み動作を許可 */
    int_enable();
}

```