

修 士 学 位 論 文

題 名

SAWフィルタを用いたインバータ
におけるゲート信号多重化の検証

指導教授 五箇 繁善 准教授

平成 28年 2月 18日 提出

首都大学東京大学院

理工学研究科 電気電子工学専攻

学修番号 14882322

氏 名 鈴木 陽文

学位論文要旨（修士（工学））

論文著者名 鈴木 陽文

論文題名：SAW フィルタを用いたインバータにおけるゲート信号多重化の検証

本文

近年、高電圧用途の電力変換回路の開発が活発に行われており、高耐圧化とスイッチングリプル低減の両立が可能な、数十から数百個のスイッチングデバイスから構成されるマルチレベルインバータが報告されている。このインバータは、多数のスイッチングデバイスを制御するために多くの信号配線を必要とし、コストと故障率の増加が懸念される。また、インバータの絶縁回路としてフォトカプラが多く使用されているが、スイッチングデバイスを制御するゲート駆動回路の複雑化を生じている。

一方、次世代ワイドギャップ半導体は、200 °C を超える高い温度環境で動作することができるため、電力配線の短線化により、電力損失や電磁妨害（EMI）を低減することが可能である。しかし、制御回路は Si ベースの半導体によって作られるため、動作温度は 125 °C 以下に制限される。それゆえ、高温動作が可能なワイドギャップ半導体から離して設置しなければならない。したがって、高温動作、電氣的絶縁と高い信頼性を備えた新たな伝送システムが求められている。

以上の要求に伴い、本論文では、周波数多重通信に基づく新たなゲート駆動回路に適した、表面弾性波（Surface Acoustic Wave, 以下 SAW）フィルタを設計し、動作検証することを目的とする。SAW フィルタは圧電基板上に楕型電極を形成することで、電気信号を弾性波として伝搬させ周波数領域でのバンドパス特性が得られる圧電デバイスであり、通信などの分野において幅広く使用されている。SAW フィルタは高温下での動作が可能であり、さらに絶縁性能を有している。また、安価かつ小型であり、信頼性が高いことから、ゲート駆動回路への応用に適している。

本提案システムでは、信号配線を 1 本に簡素化することを目的とし、各スイッチングデバイスに対応する受信回路として、SAW フィルタを用いることでゲート信号の周波数多重化を行った。スイッチングデバイスを制御回路から分離し、制御信号のみを伝送することができるため、次世代ワイドギャップ半導体の特徴も活かすことができる。加えて、絶縁回路を省略できることから、ゲ-

ト駆動回路の単純化も期待できる。本論文では、まず、提案システムに最適な SAW フィルタの設計を行い、SAW フィルタの挿入損失や時間応答波形の特性を実験的に評価した。次に、耐圧試験を行うことで絶縁性能も確認した。さらに、インバータシステムを構築し、提案システムの有効性を検証した。

本論文は全 5 章で構成されている。

第 1 章は序論である。今後発展が期待されるマルチレベルインバータの必要要件と、本提案システムで用いる SAW フィルタが適している理由を述べ、本研究の位置づけおよび論文の構成を示す。

第 2 章は SAW フィルタを用いたインバータ用周波数多重通信システムの構成について述べる。ゲート信号の多重化方法および送受信機の構成について説明する。

第 3 章は SAW フィルタの設計について述べる。最初に本論文で使用する圧電基板と電極構造を説明する。次に、様々な仕様の SAW フィルタを製作し、実験的に挿入損失や時間応答波形を比較することで基礎特性を得た。また、耐圧試験を行い、絶縁性能に関わるパラメータである伝搬路長についての検討を行った。さらに、ハーフブリッジインバータ用に選定した SAW フィルタの評価を行い、遅延時間に関する課題点を洗い出した。以上の結果を踏まえ、新たに最適設計を行った SAW フィルタを作成し、特性の評価を行った。

第 4 章はインバータの動作検証について述べる。本提案システムを用いたインバータを構築し、動作特性の評価を行った。遅延時間と SAW フィルタの耐圧が目標値を満たすことを確認し、提案システムの有効性を示した。

第 5 章は結論である。実験結果をまとめ、本提案システムの有効性を確認し、今後の展望を示す。

目次

第 1 章	序論	1
1.1	インバータからの要求	2
1.2	SAW フィルタの特徴	4
1.3	SAW フィルタを用いたゲート駆動回路	4
1.4	研究目的	4
1.5	本論文の構成および内容	5
第 2 章	SAW フィルタを用いたインバータ用周波数多重通信システムの構成	6
2.1	全体の構成	7
2.2	送信機	9
2.3	受信機	9
第 3 章	SAW フィルタの設計	12
3.1	まえがき	13
3.2	圧電基板	13
3.3	構造	14
3.4	損失	15
3.5	製作方法	15
3.6	測定方法	18
3.7	基礎特性の評価	18
3.7.1	基礎特性評価用 SAW フィルタの仕様	18
3.7.2	波長	20
3.7.3	対数	22
3.7.4	電極形状	28
3.7.5	伝搬路長	32
3.7.6	損失の構成	35
3.7.7	まとめ	38

3.8	耐圧試験	39
3.8.1	目的	39
3.8.2	試験方法	39
3.8.3	結果と考察	40
3.9	ハーフブリッジインバータ用 SAW フィルタの評価	42
3.9.1	選定方針と仕様	42
3.9.2	測定結果	43
3.9.3	設計に向けた課題	46
3.10	最適設計を行った SAW フィルタ	47
3.10.1	設計方針	47
3.10.2	仕様	48
3.10.3	フルブリッジインバータ用 SAW フィルタの測定結果	50
3.10.4	更なる最適設計に向けた課題	54
第 4 章	インバータの動作検証	55
4.1	ハーフブリッジインバータ	56
4.1.1	構成	56
4.1.2	測定結果と SAW フィルタの耐圧	57
4.2	フルブリッジインバータ	60
4.2.1	構成	60
4.2.2	測定結果と SAW フィルタの耐圧	60
第 5 章	結論	64
5.1	研究成果	65
5.2	今後の展望	66
参考文献		67
研究業績		71
謝辞		72

第 1 章

序論

1.1 インバータからの要求

現在、パワーエレクトロニクス回路は多種多様な分野へ応用されており、数 W の電源装置から数十 MW の電力系統用機器まで幅広く利用されている。近年、スマートグリッドや太陽光発電などの送配電系統に接続する高電圧用途の電力変換回路が活発に開発されており、高信頼性が求められている [1, 2]。

高電圧用途の電力変換回路の高信頼性化の要求にともない、図 1.1 に示すような数十から数百個のスイッチングデバイスを使用したマルチレベルインバータが開発されている [3–5]。このインバータは一つのアームに複数個のスイッチングデバイスを使用しているため、スイッチングデバイス一つあたりにかかる電圧を分圧することができ、低耐圧の素子でも高電圧に対応することができる。さらに、出力波形の高調波とスイッチングリップルの低減も可能となるため、今後はさらに幅広い用途への展開が期待される。一方、このようなマルチレベルインバータでは、図 1.2 の実験システムが示すように各スイッチングデバイスの ON/OFF 状態をそれぞれ制御するため、多くの信号配線が必要とされる。この信号配線の接続方法は一般にはパラレル接続であるため、Digital Signal Processor (DSP) や Field-Programmable Gate Array (FPGA) などによる制御回路からの信号配線の本数はスイッチングデバイスの数とほぼ同数となる。よって、マルチレベルインバータは従来の 2 レベルのインバータよりも多くの信号配線を必要とし、これによりコストと故障率を増加が懸念されるため、信号配線の本数の削減が求められる。

一般に、インバータにおいてスイッチングデバイスを制御する場合、10 - 20 V の矩形波を MOSFET や IGBT などのゲート・ソース（エミッタ）間に印加する必要がある。しかし、インバータの負荷抵抗で生じる高電圧がソース（エミッタ）端子にも生じてしまうため、電氣的絶縁を確保することが必須となる。多くの場合、フォトカプラや磁気結合を用いた回路が使用されるが [6, 7]、これもインバータのスイッチングデバイスの ON/OFF を制御するゲート駆動回路の複雑化と信頼性の低下を招く要因の一つであるため、簡素化することが求められる。

一方、SiC や GaN などの次世代ワイドギャップ半導体は高速応答、耐熱性や低損失を実現させるために開発され [8–11]、現在ではパワーデバイス単体として販売される段階に至っている。ワイドギャップ半導体の大きな特徴の一つが幅広い使用温度範囲であり、パワーデバイス単体での使用温度は 200 °C を超える動作が期待されている。これらの半導体を用いて作られたスイッチングデバイスはモータやエンジンルームの近くなど、高温下で動作させることができる。これにより、電力配線を短くすることが可能となり、電力損失や電磁妨害（EMI）を低減することができる [9, 10, 12]。しかし、インバータのスイッチング信号を生成する制御回路をワイドギャップ半導体で製作することは現時点では困難であるため、制御回路は主に Si によって作られる。Si ベースの制御回路の動作温度は 125 °C 以下に制限されるため、このよ

うな制御回路は高温下で動作できるスイッチングデバイスから離れた、低い温度下に設置しなければならない [12]。したがって、ワイドギャップ半導体を用いるインバータに適した新たなゲート駆動回路が求められる。これまで Si ベースの IC [12] や光ネットワーク [13] を用いた、信号配線の削減が可能なシリアル伝送システムのみ報告されているが、これらの方法は高温下で動作することができず、実用化には至っていない。新たなゲート駆動回路には高温動作、高速応答、電氣的絶縁と高い信頼性、さらにスイッチングデバイスと制御回路を分離する信号伝送システムが必要である。

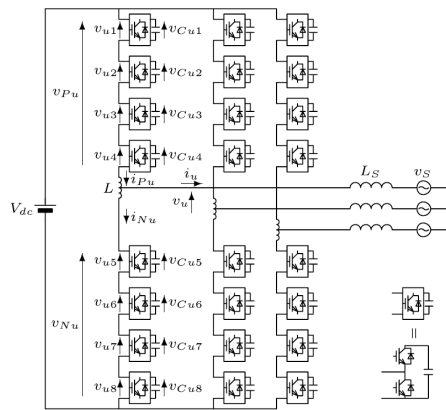


図 1.1 Three-phase modular multilevel cascade converter (MMCC) based on double-star chopper cells (DSCC). 文献 [4] より引用



図 1.2 Photo of the three-phase 200-V, 10-kW, 50-Hz experimental system. 文献 [3] より引用

1.2 SAW フィルタの特徴

上述したインバータに必要とされる要件を満たすため、マルチレベルインバータのスイッチングデバイス多接続時における信号配線の削減と、次世代ワイドギャップ半導体の特徴を活かせるシステムを検討した結果、弾性表面波（Surface Acoustic Wave, 以下 SAW）フィルタをゲート駆動回路に応用する新たな伝送システムが我々の研究グループによって提案されている [14]。

SAW フィルタは圧電基板上に楕型電極を成膜することで、電気信号を弾性波として伝搬させ周波数領域でバンドパス特性が得られる圧電デバイスである。SAW フィルタは通信などの分野においてフィルタとして幅広く開発されており [15]、身近な所では携帯電話に搭載されている。また、SAW デバイスとしては気体や液体の物性検出用のセンサとしての開発も進められている [16,17]。このような様々な場面で応用されている SAW デバイスは、圧電基板や電極の素材によっては極めて高い高温下で動作することが可能であり [18-20]、近年では 1000 °C 以上で動作する SAW デバイスも開発されている [21]。さらに、SAW フィルタはゲート駆動回路に必要な電氣的絶縁性能も有する。このような優れた二つの特徴と安価かつ小型であり、信頼性が高いことから、SAW フィルタはゲート駆動回路への応用に適している。なお、光絶縁 [22]、共振回路 [23] や圧電変換器 [24] を用いたゲート駆動回路は研究が行われてきたが、SAW フィルタを用いたゲート駆動回路は、我々の研究グループ [14] 以外では報告されていない。

1.3 SAW フィルタを用いたゲート駆動回路

1.2 節で述べた SAW フィルタの特徴より、SAW フィルタを用いた周波数多重通信に基づくゲート駆動回路が提案されている [14]。このシステムは、信号配線を 1 本に簡素化することを目的とし、各スイッチングデバイスに対応する受信回路として SAW フィルタを用いることにより、ゲート信号の周波数多重化を行った。スイッチングデバイスを制御回路から分離し、制御信号のみを伝送することができるため、次世代ワイドギャップ半導体の特徴も活かすことができる。加えて、絶縁回路を省略できることから、ゲート駆動回路の単純化も期待できる。

1.4 研究目的

本論文では、周波数多重通信に基づく新たなゲート駆動回路に適した SAW フィルタを設計し、その SAW フィルタを用いたインバータ回路の動作検証を行うことを目的とする。

本論文では、まず、複数の仕様の SAW フィルタを製作し実験的に評価を行うことで、SAW

フィルタの仕様を検討する。また、耐压試験を行うことで電氣的絶縁性能も確認した。以上の結果から、提案システムに最適な SAW フィルタの設計を行い、SAW フィルタの挿入損失や時間応答波形の特性を実験的に評価した。さらに、インバータシステムを構築し、遅延時間や電氣的耐压の観点から提案システムの有効性を検証した。

1.5 本論文の構成および内容

本論文は全 5 章で構成されている。

第 1 章は序論である。今後発展が期待されるマルチレベルインバータの必要要件と、本提案システムで用いる SAW フィルタが適している理由を述べ、本研究の位置づけおよび論文の構成を示す。

第 2 章は SAW フィルタを用いたインバータ用周波数多重通信システムの構成について述べる。ゲート信号の多重化方法および送受信機の構成について説明する。

第 3 章は SAW フィルタの設計について述べる。最初に本研究で使用する圧電基板と電極構造を説明する。次に、様々な仕様の SAW フィルタを製作し、実験的に挿入損失や時間応答波形を比較することで基礎特性を得た。また、耐压試験を行い、電氣的絶縁性能に関わるパラメータである伝搬路長についての検討を行った。さらに、ハーフブリッジインバータ用に選定した SAW フィルタの評価を行い、遅延時間に関する課題点を洗い出した。以上の結果を踏まえ、新たに最適設計を行った SAW フィルタを作成し、特性の評価を行った。

第 4 章はインバータの動作検証について述べる。本提案システムを用いたインバータを構築し、動作特性の評価を行った。遅延時間と SAW フィルタの電氣的耐压が目標値を満たすことを確認し、提案システムの有効性を示した。

第 5 章は結論である。実験結果をまとめ、本提案システムの有効性を確認し、今後の展望を示す。

第 2 章

SAW フィルタを用いたインバータ用 周波数多重通信システムの構成

2.1 全体の構成

図 2.1 は受信機と送信機からなるインバータ用多重通信システムの構成である。本研究は Direct Digital Synthesizer (DDS) を送信機、SAW フィルタを受信機としてインバータシステムを構成した。このシステムにおいて、スイッチングデバイスの制御信号は RF 信号として周波数多重化され、同軸線路に伝送される。これらの信号は各 RF 信号の ON/OFF を切り替えることによって制御される。この RF 信号の周波数はそれぞれのスイッチングデバイスに割り当てられる。SAW フィルタはそれぞれのスイッチングデバイスの手前の受信回路において、多重化された信号を分けるために使用される。SAW フィルタは使用する通過帯域に合わせて容易に製作できる。また、電氣的絶縁性能も有するため、制御回路とインバータ回路の電氣的絶縁を確保する素子としても機能する。本研究が提案するシステムは信号配線の本数を削減し、絶縁回路を取り除くことができ、伝送システムやゲート駆動回路を単純化することができる。

図 2.2 は 2 チャンネル (ch) の場合の各部の出力波形を示す。(a) はコントローラーで生成される制御信号、(b) は多重化された信号、(c) は SAW フィルタによって周波数成分が分けられた SAW フィルタ出力を示し、(d) は復調された信号を示す。(a) と (d) を比較すると制御信号が復調されたということがわかる。次の節では図 2.1 における送信機と受信機についてそれぞれ説明する。

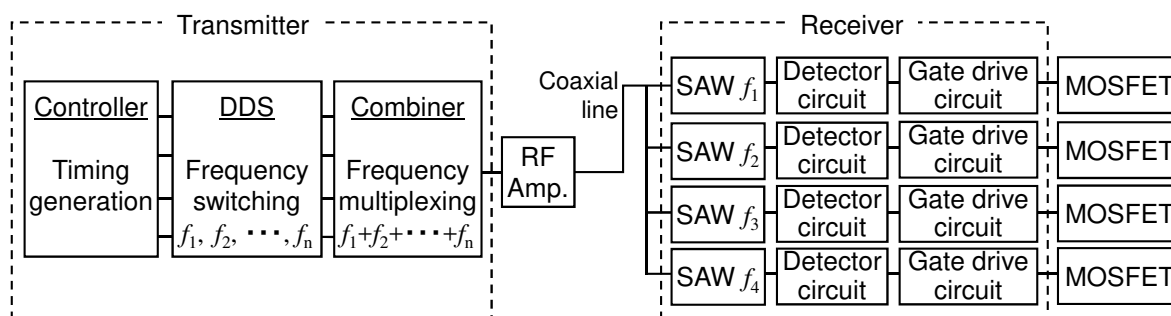


図 2.1 インバータ用周波数多重通信システムの構成

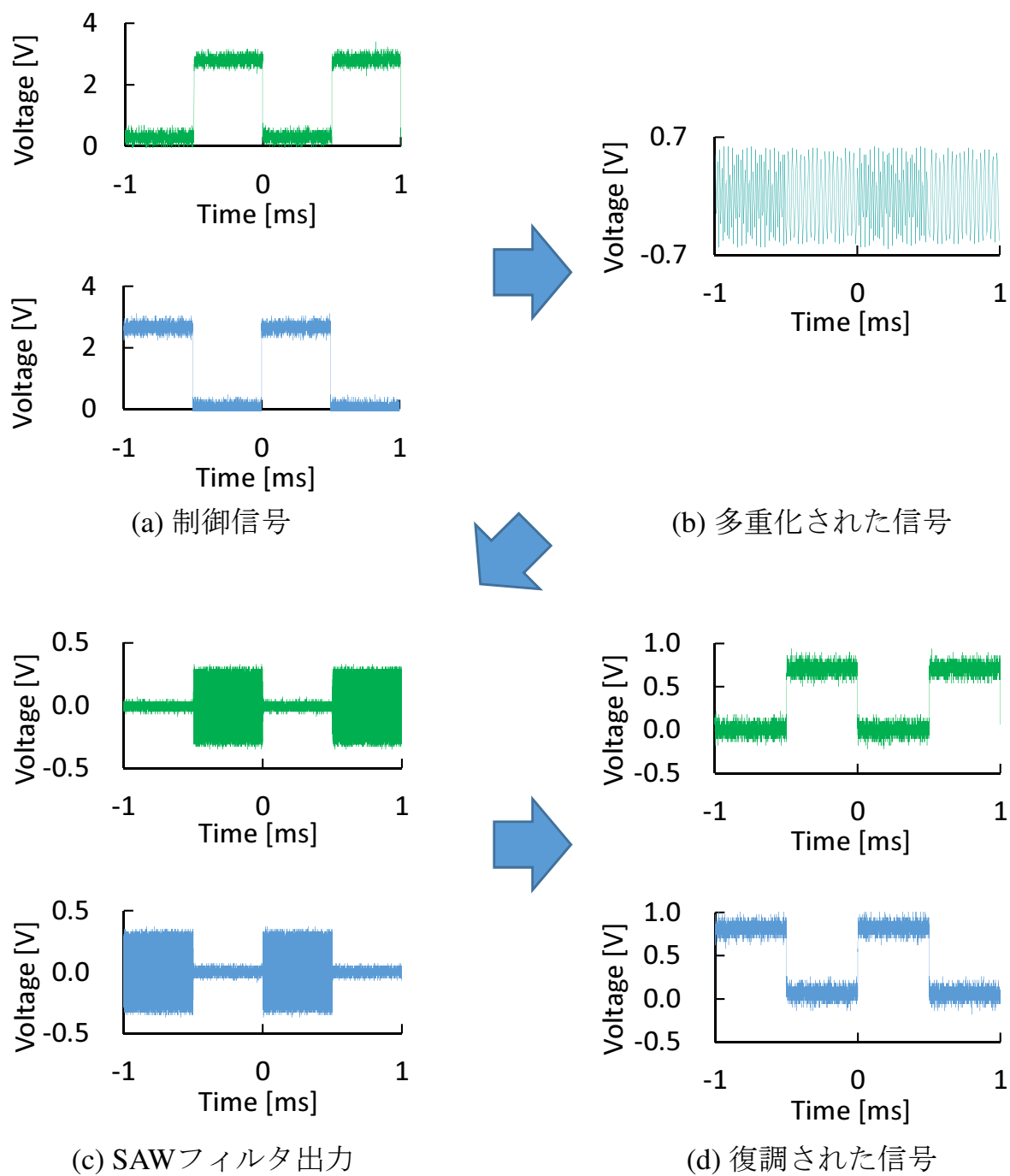


図 2.2 各部の出力波形 (2ch の場合)

2.2 送信機

制御信号は DSP や FPGA などの制御回路から生成され、図 2.3 に示すような DDS(AD9914, Analog Devices) に入力される。本研究で使用した DDS は外部から入力される制御信号によって出力する周波数を切り替えることができる。制御信号に対する周波数のスイッチング時に生じる遅延時間は、図 2.4 に示すとおり 126 ns である。生成されたスイッチングする RF 信号はコンバイナーによって多重化される。ゲート駆動回路に十分な電圧を印加するため、多重化された信号は RF アンプによって増幅される。多重化と増幅がなされた信号は同軸線路を通じて受信機に伝送される。スイッチングデバイスの手前では、多重化された信号がスイッチングデバイスの数に分岐される。

2.3 受信機

多重化され、各 SAW フィルタに送られた信号は通過周波数と一致する周波数成分の信号のみ通過し、検波回路に送られる。伝送された信号は振幅を増幅する必要がある、また、立ち上がり・立下り時間を最小限に抑えなければならない。よって、倍電圧検波回路がプラス端子とマイナス端子の両方に用いられた RF 検波回路によって復調される。用意した RF 検波回路の回路図を図 2.5、検波回路の写真を図 2.6 に示す。ダイオードには高周波用ショットキーバリアダイオード (1SS315TPH3F, TOSHIBA) が使用されており、出力側の CR 時定数は 100 ns である。RF バースト波のパルスを用いて測定した時定数 (63% 到達時間) は立ち上がり 40 ns 程度、立下り 160 ns 程度であった [14]。

復調された信号は矩形波に復調されており、スイッチングデバイスを制御するためにゲート駆動回路に入力される。検波回路以降のゲート駆動回路はスイッチングデバイスに適切な電圧を印加するため、復調された信号の増幅と調整を行う。なお、本提案システムで使用するトランスバーサル型の SAW フィルタは入出力間にギャップがあり、これらの間で電氣的絶縁を確保することができるため、ゲート駆動回路において絶縁回路を省略できる。

本研究では受信回路で用いる SAW フィルタの設計および製作を行った。次の章では SAW フィルタの構造や基礎特性を説明し、提案システムに適した仕様について議論を行った後、SAW フィルタの設計を行う。

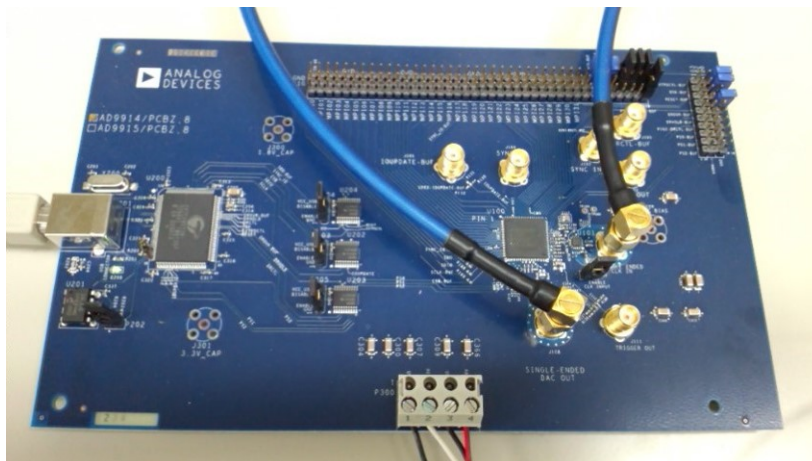


図 2.3 DDS (Direct Digital Synthesizer): Analog Devices AD9914 (12bit, 2.5GS/s)

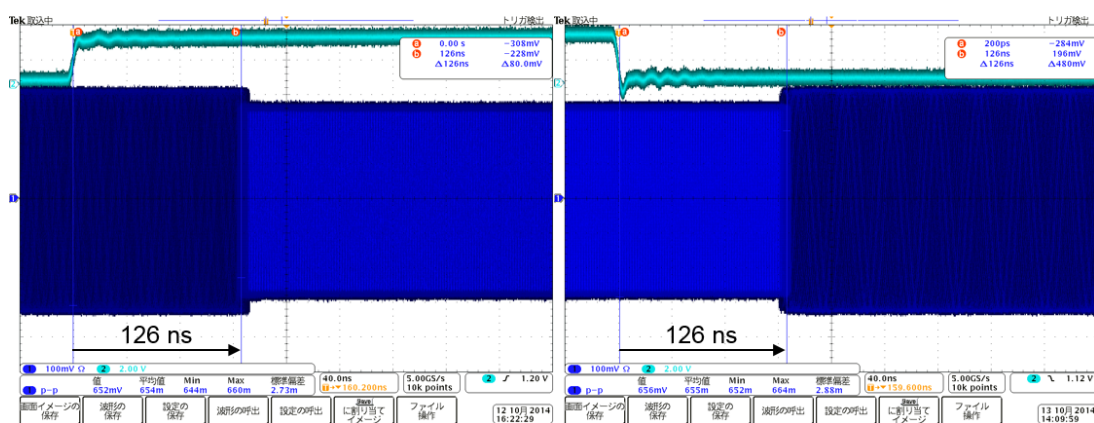


図 2.4 DDS のスイッチングにおける遅延時間（上段：制御信号，下段：DDS 出力）

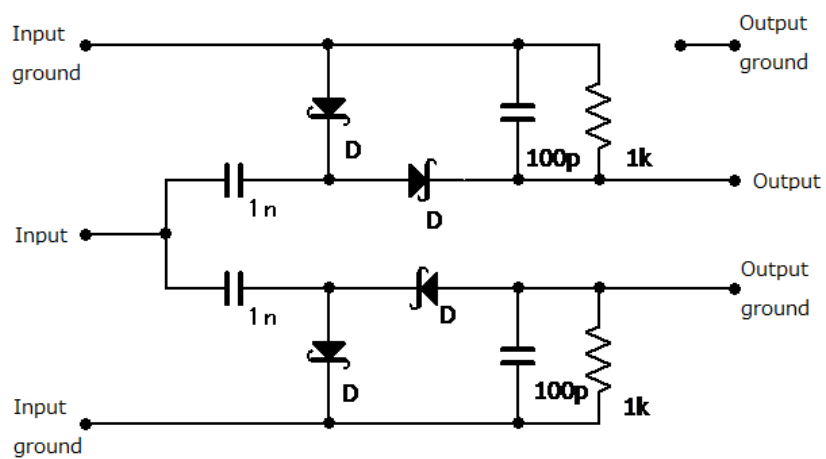


図 2.5 RF 検波回路回路図



図 2.6 RF 検波回路

第 3 章

SAW フィルタの設計

3.1 まえがき

SAW フィルタの設計はインバータ用多重通信システムの抑圧比、遅延時間、電氣的絶縁性能などに大きく影響する。これらの条件を考慮して SAW フィルタを設計するのは、本提案システムを実現する上で非常に重要である。本章では SAW フィルタの設計について述べる。

3.2 圧電基板

本研究では、 128°Y-X LiNbO_3 基板を採用した。この基板の切断方位は回転角 128° で定められ、すなわち、弾性表面波 (SAW) の伝搬方向を X とすると、結晶が X 軸に関して Y 平面から 128° 回転した面でカットされたということを示す。SAW フィルタの特性は圧電基板の切断方位によって大きく変化する。 LiNbO_3 基板上に励起されるレイリー波の場合、このカット角 128° 近傍で、最大の電気機械結合係数と伝搬速度が得られており、しかもこの角度ではレイリー波ではないバルク波の放射がほとんど生じず、スプリアス応答が少ないことが見出されている [25]。レイリー波は、基板上の縦波と横波が表面を介して結合することによって、基板表面の境界条件を満足し、互いにエネルギーを授受しながら表面に沿って伝搬する SAW の一つである [26]。

圧電基板の耐熱性能に注目すると、 LiTaO_3 や水晶などの容易に入手できる圧電基板と比較して、 LiNbO_3 基板はキュリー点が 1100°C 程度 [27] であるため、高温環境に対応できるといえる。一方、 LiNbO_3 基板は高い遅延時間温度係数 ($-75\text{ ppm}/^\circ\text{C}$ [28]) を持つが、3.10.1 節で述べるとおり、本システムでは 12ch 用 SAW フィルタでも周波数温度特性の変化を無視するのに十分な広さの通過帯域を設計できるので問題はない。例えば、遅延時間温度係数 $-75\text{ ppm}/^\circ\text{C}$ の LiNbO_3 基板を使用し、中心周波数 612 MHz の SAW フィルタの場合、周波数分散が小さく SAW の位相速度と群速度がほとんど等しい場合、温度が 200°C 上昇すると中心周波数は約 9 MHz 下がると予測される。3.10.1 節で述べるとおり、SAW フィルタ一つに対して 57 MHz 程度帯域を確保してもよいので、温度係数による中心周波数の変化は大きな問題にならないと考えられる。このように、 LiNbO_3 基板自体は高温環境に対応できるが、SAW デバイスとして高温環境下での動作を可能にするには、電極素材、電極とワイヤーの接続方法、積層構造など様々な検討を今後行う必要がある [18–21]。

3.3 構造

図 3.1 は製作した SAW フィルタの構造を示す。伝搬路長 L は入力側と出力側の楕型電極 (IDT) 間の距離、対数 N は電極指の本数、交叉幅 O は電極指が交叉する幅を示す。

圧電基板には、同じ対数 N のシングル電極の IDT を対になるように形成した。図 3.2 は本研究のハーフブリッジインバータで使用した SAW フィルタの電極画像の一つであり、伝搬路に Al 薄膜などは蒸着せず、伝搬路の電気的條件はフリーとした。また、図 3.1 のようなトランスバーサル型 SAW フィルタの IDT は強誘電体基板上において、入力側と出力側で互いに離れている。以上より、このようなトランスバーサル型 SAW フィルタは入出力端子間で電気的絶縁を確保することができる。

L: 伝搬路長
N: 対数
O: 交叉幅

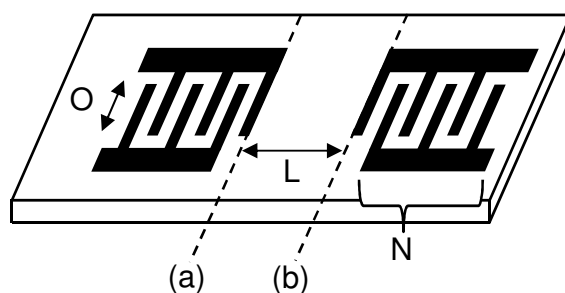


図 3.1 トランスバーサル型 SAW フィルタの構造

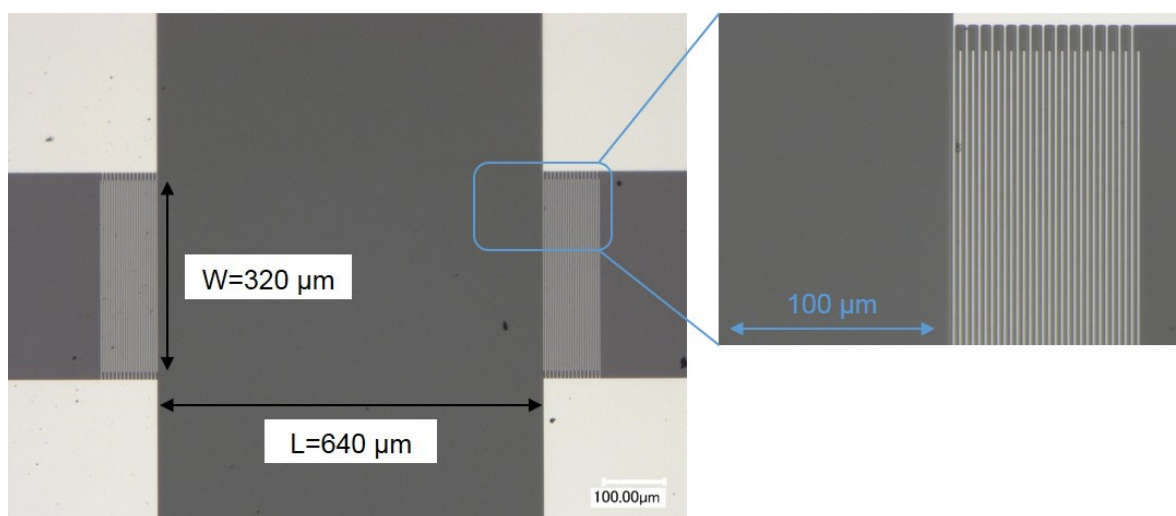


図 3.2 $\lambda = 6.4\mu\text{m}$, $N = 15$, $L = 100\lambda$ の SAW フィルタの電極画像

3.4 損失

SAW フィルタで生じる損失は挿入損失 IL によって評価される。ネットワークアナライザによって電力の順方向伝達係数 S_{21} パラメータを測定する。ここで、損失の内訳について説明する。まず、 IL を次の式で表す [29]。

$$IL = ILa + ILb + IL1 + IL2 \quad (3.1)$$

ここで、入力側の IDT の周辺回路との不整合損失を $IL1$ 、出力側の IDT の周辺回路との不整合損失 $IL2$ とする。特性インピーダンス $Z_0 = 50 \Omega$ とおくと、

$$IL1 = -10 \log_{10} \left| \frac{4G_{11}/Z_0}{(1/Z_0 + G_{11})^2 + B_{11}^2} \right| \quad (3.2)$$

$$IL2 = -10 \log_{10} \left| \frac{4G_{22}/Z_0}{(1/Z_0 + G_{22})^2 + B_{22}^2} \right| \quad (3.3)$$

となり、ここで G_{11} は入力側 IDT のコンダクタンス、 B_{11} は入力側 IDT のサセプタンスである。また、 G_{22} は出力側 IDT のコンダクタンス、 B_{22} は出力側 IDT のサセプタンスである。ここで、双方向性の損失 ILb を次の式で定める。

$$ILb = 20 \log_{10} 2 \quad (3.4)$$

これは、図 3.1 が示すようなトランスバーサル型 SAW フィルタの構造から生じる損失である。入力側の IDT に注目し、出力 IDT の方向を $+X$ とする。SAW は $+X$ だけでなく $-X$ 方向にも伝搬するため、伝達される電力は半分になる。さらにこのことが出力側の IDT でもいえるため、式 (3.4) になる。残りの ILa は SAW が伝搬路を伝搬する際に生じる損失や SAW 以外のバルク波が放射されることによる損失から構成される。これらの損失の測定結果は 3.7.6 節で記述する。

3.5 製作方法

図 3.3 に SAW フィルタの製作プロセスを示す。SAW フィルタは半導体製造プロセスに近い製造工程を踏む。SAW フィルタの製作方法を簡単に説明する。

基板カットは 3.2 節で述べたとおり、伝搬速度や結合定数などの基本的な特性を左右する。次の工程は基板洗浄である。圧電基板が汚れていたり、基板上に不純物が存在していたりすると、以降の工程でマスクパターンどおりに電極を製作できない。よって、基板洗浄の作業はとても重要である。次に圧電基板上に Al 電極を真空蒸着する。Al 電極の膜厚はチャンバ内

に設置する Al 線の長さによって調整する。次の工程はフォトリソグラフィーである。レジストを塗布した後、SAW フィルタのマスクパターンを通して基板を露光し、現像する。最後にエッチング液で電極パターン以外の Al 薄膜を除去する。以上のプロセスで圧電基板上に所望の IDT を製作することができる。なお、SAW フィルタの製作は山梨大学 大学院医学工学総合研究部 垣尾 省司 教授のご協力のもとで行った。

本論文において、SAW フィルタの特性評価は主に挿入損失と遅延時間の観点から行われた。また、製作した SAW フィルタを本提案システムに接続する際は、図 3.4 のように SAW フィルタを形成した圧電基板上の電極パッドとプリント基板上の電極パッドを $\phi 30 \mu\text{m}$ の Al 線のワイヤーボンディングで接続した。プリント基板には SMA 端子を接続し、同軸線路と SAW フィルタを接続できるようにした。

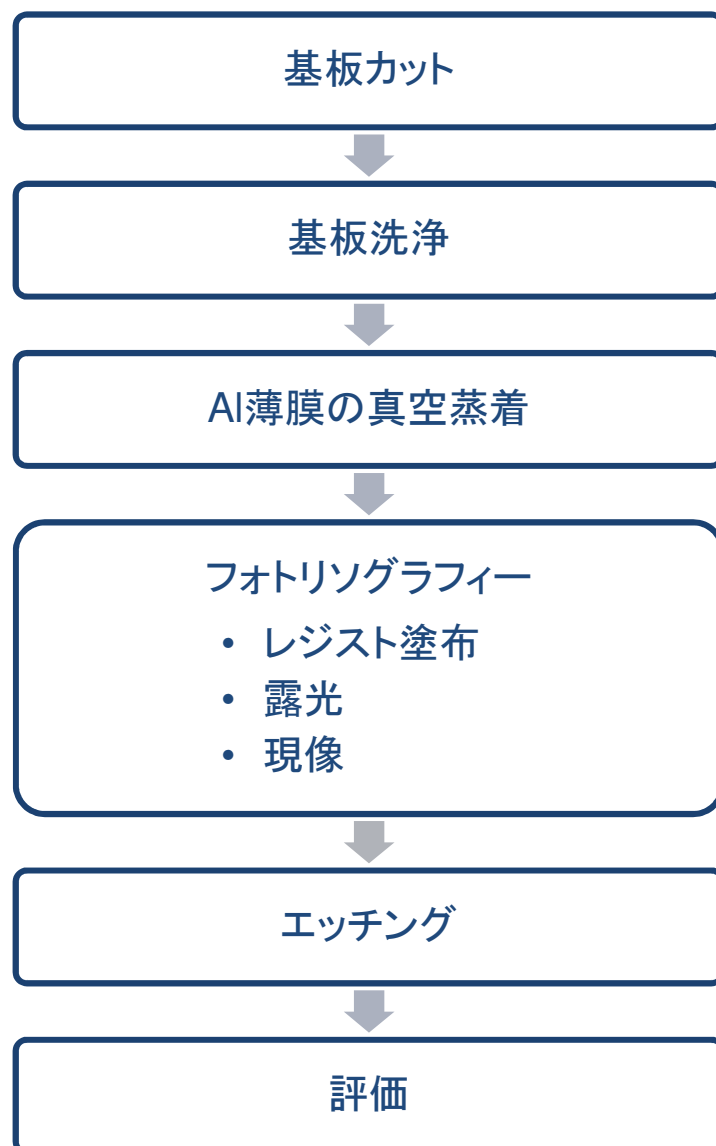


図 3.3 SAW フィルタの製作プロセス

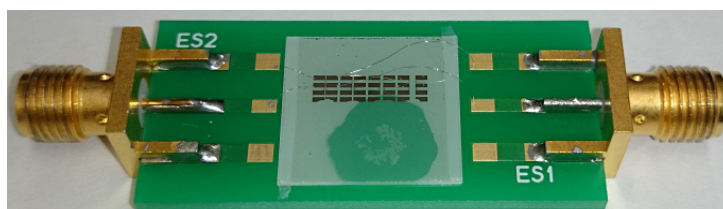


図 3.4 ワイヤーボンディングで接続した SAW フィルタ

3.6 測定方法

本論文では、挿入損失はネットワークアナライザを用いて測定した。SAW フィルタ出力波形および遅延時間は、DDS から出力される RF 信号の周波数を SAW フィルタの最大振幅が得られる中心周波数 f_0 への切り替えを行うことで測定した。図 2.1 の SAW フィルタの部分までシステムを構成し、SAW フィルタの出力に入力インピーダンス $50\ \Omega$ のオシロスコープを接続して観測した。（ただし、図 2.1 のようにコンバイナや RF 増幅器は使用せず、単一の同軸線路で各 SAW フィルタの出力波形を観測した。）なお、第 3 章では特に断りがない限り、2.2 節に示す DDS が周波数を切り替えるのにかかる時間 $126\ \text{ns}$ を差し引いて SAW フィルタ出力波形や遅延時間の評価を行う。

3.7 基礎特性の評価

3.7.1 基礎特性評価用 SAW フィルタの仕様

3.7 節では、本提案システムに適した SAW フィルタを設計するため、様々な仕様の基礎特性評価用 SAW フィルタを製作し、実験的に挿入損失や SAW フィルタ出力波形を比較することで波長・対数・伝搬路長などに関する基礎特性を得た。表 3.1 では基礎特性評価用に製作した SAW フィルタの仕様を示す。4 種類の波長、3 種類の対数、複数パターン of 伝搬路長の SAW フィルタを製作した。電極の素材はアルミニウム (Al) で膜厚は $1000\ \text{\AA}$ とした。

表 3.1 基礎特性評価用 SAW フィルタの仕様

波長 λ [μm]	対数 N	交叉幅 W	伝搬路長 L	
		λ	λ	[mm]
4.8	15	50	10	0.048
4.8	15	50	25	0.120
4.8	15	50	50	0.240
4.8	15	50	100	0.480
4.8	30	50	10	0.048
4.8	30	50	25	0.120
4.8	30	50	50	0.240
4.8	30	50	100	0.480
6.4	15	50	10	0.064
6.4	15	50	25	0.160
6.4	15	50	50	0.320
6.4	15	50	100	0.640
6.4	30	50	10	0.064
6.4	30	50	25	0.160
6.4	30	50	50	0.320
6.4	30	50	100	0.640
8.0	10	50	5	0.040
8.0	10	50	10	0.080
8.0	10	50	25	0.200
8.0	10	50	50	0.400
8.0	10	50	100	0.800
8.0	10	50	200	1.600
8.0	10	50	300	2.400
8.0	30	50	5	0.040
8.0	30	50	10	0.080
8.0	30	50	25	0.200
8.0	30	50	50	0.400
8.0	30	50	100	0.800
8.0	30	50	200	1.600
8.0	30	50	300	2.400
20.0	30	100	100	2.000

3.7.2 波長

SAW フィルタの波長 λ は中心周波数 f_0 を決定する。SAW 速度 V は圧電基板から与えられ、 $128^\circ\text{Y-X LiNbO}_3$ 基板の V は約 3980 m/s である [25, 30]。 f_0 は次の式で与えられる。

$$f_0 = \frac{V}{\lambda} \quad (3.5)$$

式 (3.5) を満たすことを実験的に確認するため、製作した SAW フィルタの中心周波数 f_0 を測定し、この測定値と波長 λ から SAW 速度 V を求めた。この結果を表 3.2 に示す。ここでの f_0 は最小挿入損失時の周波数とする。なお、表 3.1 のとおり、一つの波長につき複数個の SAW フィルタを作成したため、中心周波数はそれらの平均をとった。表 3.2 より、 λ にかかわらず SAW 速度はほぼ一定であることがわかる。SAW 速度の計算結果 V を平均すると 3912 m/s であり、 $128^\circ\text{Y-X LiNbO}_3$ 基板の V とほぼ一致する。よって、式 (3.5) を満たしたといえる。前述の値の 3980 m/s とのずれは、基板の切断方位の誤差や測定時の温度などの影響によるものだと考えられる。

表 3.2 中心周波数の測定結果から SAW 速度を計算

波長 λ [μm]	20.0	8.0	6.4	4.8
中心周波数の測定結果 f_0 [μm]	198	486	609	812
SAW 速度の計算結果 V m/s	3960	3890	3898	3899

図 3.1 のような同じ対数の IDT を対抗させたトランスバーサル型 SAW フィルタの周波数伝達特性 $T(f)$ は、SAW フィルタで生じる様々な損失を無視すると以下の式で与えられる [31]。

$$T(f) = \left(\frac{\sin X}{X} \right)^2 \quad (3.6)$$

ここで、

$$X = N\pi \frac{f - f_0}{f_0} \quad (3.7)$$

である。このときの 3 dB 帯域幅 $W_{3\text{dB}}$ は中心周波数 f_0 と対数 N を用いて、

$$W_{3\text{dB}} = 0.687 \frac{f_0}{N} \quad (3.8)$$

式 (3.5) より、

$$W_{3\text{dB}} = 0.687V \frac{1}{\lambda N} \quad (3.9)$$

よって、SAW フィルタの通過帯域の大きさは、波長 λ と対数 N に反比例することがわかる。これを実験的に確認するため、波長が異なる SAW フィルタの通過帯域幅を比較した。図 3.5 は $N = 30$ と $L = 10 \lambda$ は同一で、波長が異なる SAW フィルタの挿入損失をそれぞれ示す。ここで、通過帯域幅は図中の矢印 (a), (b), (c) とした。なお、本 3.7 節では、SAW フィルタの電極パッドにプローブを当て、ネットワークアナライザを用いて挿入損失を取得した。また、SAW の主応答のみを取得するためにネットワークアナライザでタイムゲートを適用している。波長と通過帯域幅の測定結果を表 3.3 に示す。式 (3.9) のとおり、通過帯域幅はおよそ波長 λ に対して反比例していることが確認された。

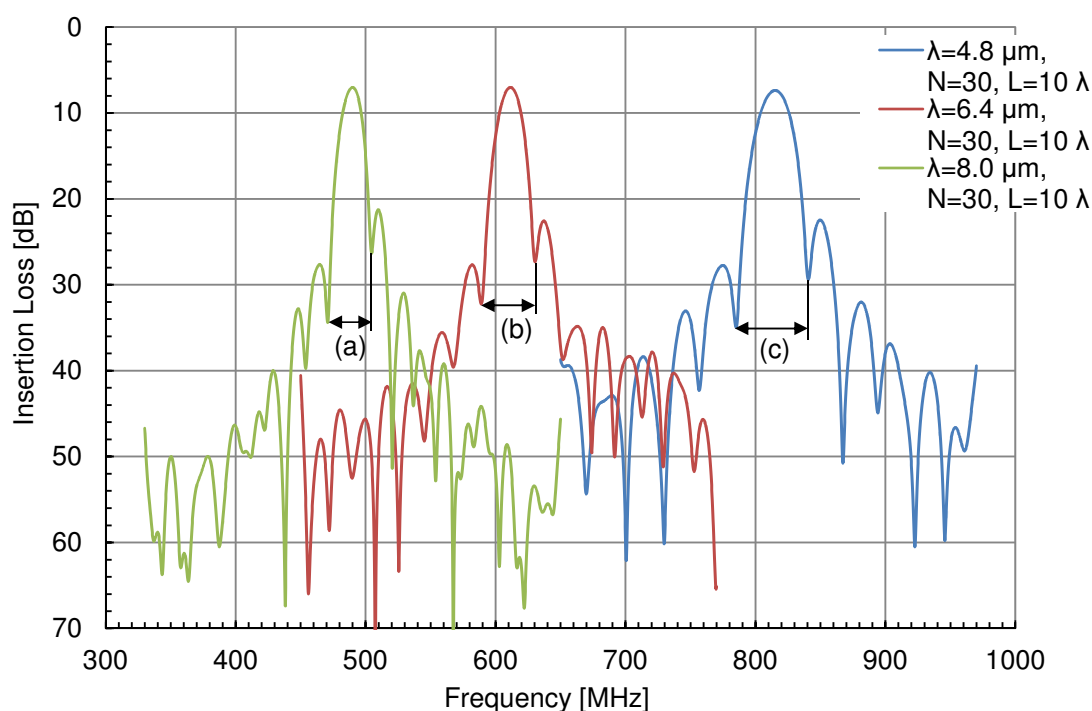


図 3.5 波長が異なる SAW フィルタの通過帯域幅の比較

表 3.3 波長と通過帯域幅の測定結果

波長 λ [μm]	4.8	6.4	8.0
通過帯域幅の測定結果 [MHz]	55.6	41.4	33.8

また、 λ と遅延時間の関係を調べた。図 3.6 は波長 $\lambda = 8.0 \mu\text{m}$ と $\lambda = 20.0 \mu\text{m}$ の立ち上がり時の SAW フィルタ出力波形を示す。なお、ここでは SAW が伝搬路長 L を伝搬しているときの遅延時間は差し引いてある。この図より、 $\lambda = 20.0 \mu\text{m}$ は $\lambda = 8.0 \mu\text{m}$ に対して立ち上がり時間が 2.6 倍になっている。これより、立ち上がり時間は波長 λ に比例することが確認された。

また、 λ は SAW フィルタのサイズにも影響を与える。よって、小型化が求められる場合、より短い波長で高周波を使用することになる。

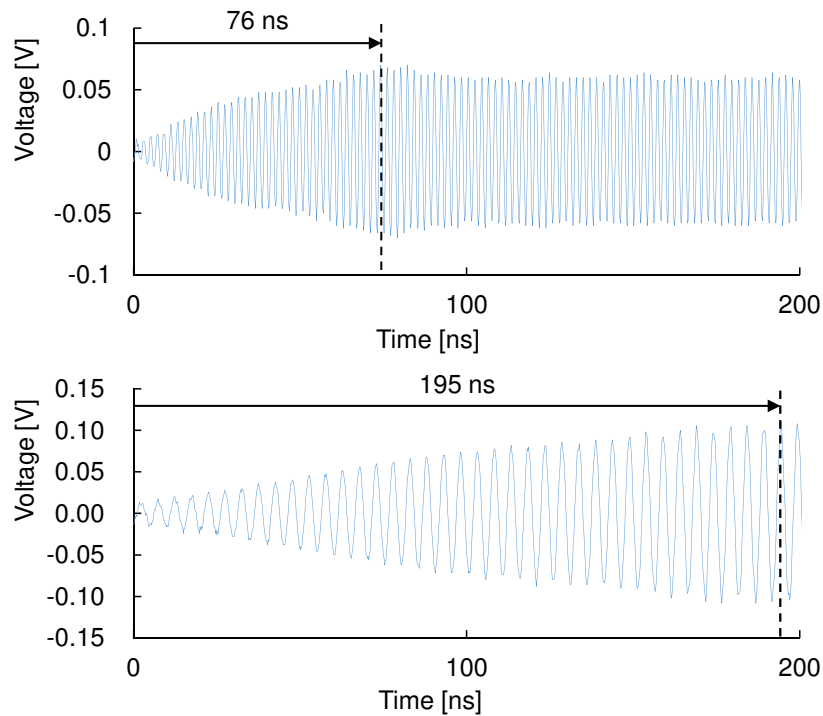


図 3.6 立ち上がるまでの遅延時間（波長の比較）

（上 : $\lambda = 8.0 \mu\text{m}$, $N = 30$, ($L = 200\lambda$), 下 : $\lambda = 20.0 \mu\text{m}$, $N = 30$, ($L = 100\lambda$)）

3.7.3 対数

挿入損失

通過帯域幅は式 (3.9) のとおり、対数 N に反比例する。これを確かめるため、 N が異なる SAW フィルタで挿入損失を測定した。図 3.7 では異なる N の SAW フィルタで通過帯域幅を比較した。ここで、通過帯域幅は図中の W_1 から W_4 とした。図 3.7 の (a) は波長 $\lambda = 4.8 \mu\text{m}$ の SAW フィルタであり、通過帯域幅 W_1 の SAW フィルタの N は 15、 W_2 の SAW フィルタの N は 30 である。ここで、 $W_1 = 109 \text{ MHz}$, $W_2 = 55 \text{ MHz}$ となり、 W_1 は W_2 の約 2 倍となった。一方、(b) は波長 $\lambda = 8.0 \mu\text{m}$ の SAW フィルタであり、 W_3 の SAW フィルタの

N は 10、 W_4 の SAW フィルタの N は 30 である。ここで、 $W_3 = 101$ MHz、 $W_4 = 33$ MHz となり、 W_3 は W_4 の約 3 倍となった。よって、 W は N に反比例することが確かめられた。また、各 SAW フィルタの最小挿入損失の比較を行った 3.7.5 節の図 3.17 より、最小挿入損失は N が大きい方が小さくなるということが確認された。

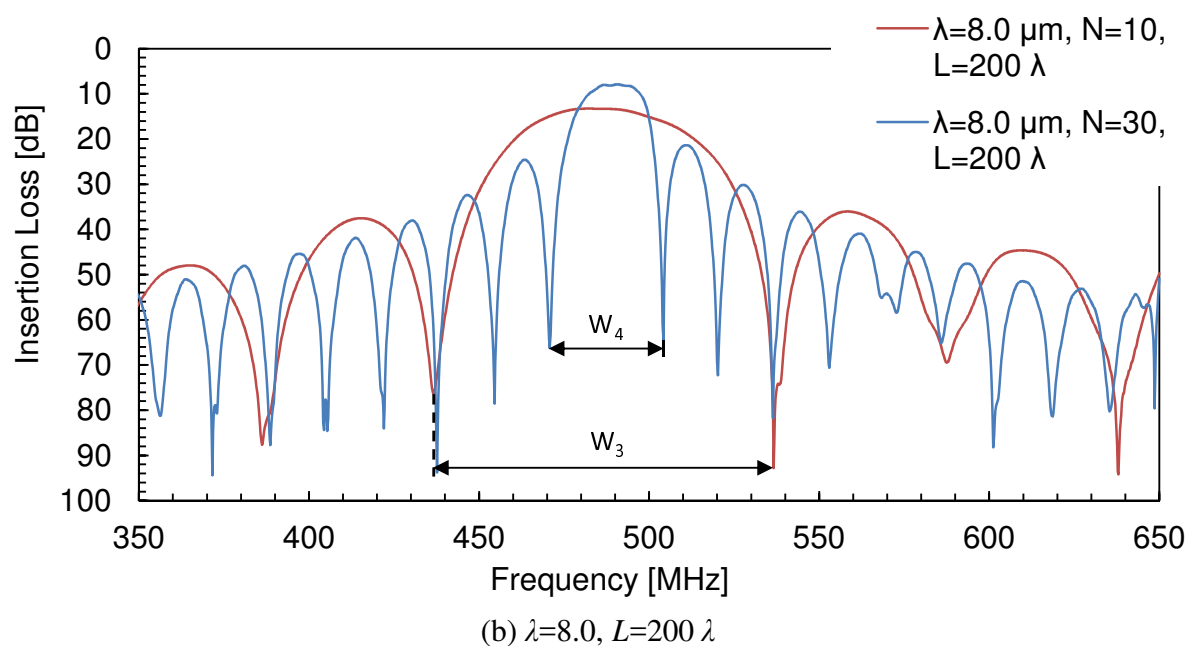
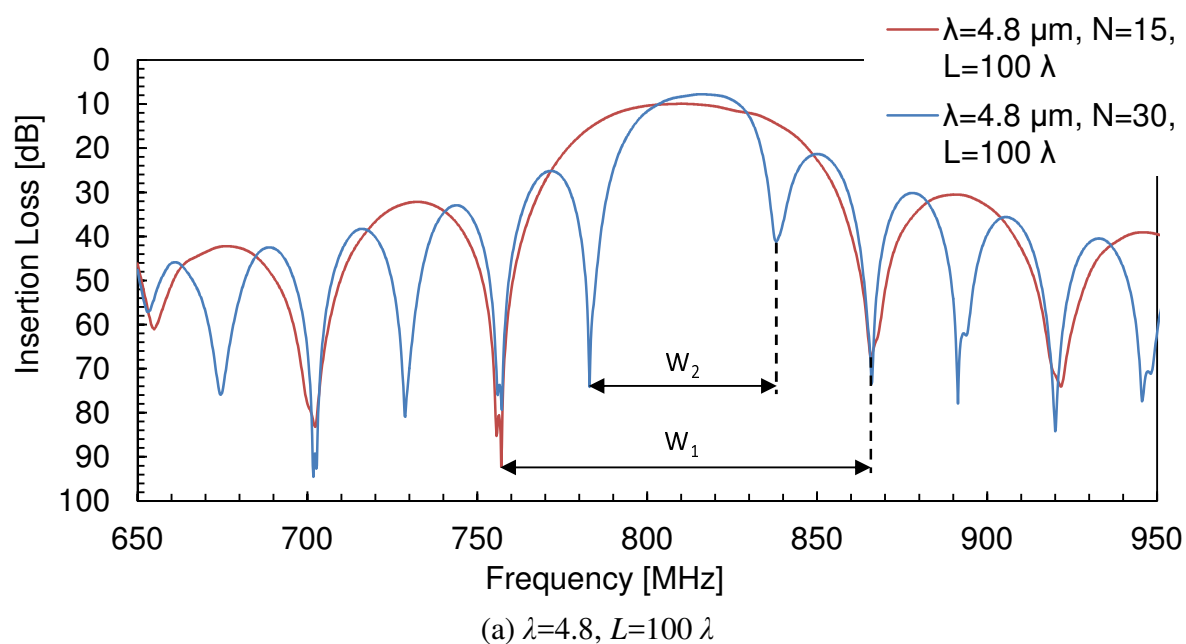


図 3.7 対数と通過帯域幅

遅延時間

対数と立ち上がり時間の関係を観測した。図 3.8 は波長 $\lambda = 8.0 \mu\text{m}$, $L = 200 \lambda$ の SAW フィルタ出力波形を示す。この図より、 $N = 30$ は $N = 10$ に対して立ち上がり時間が 3.1 倍になっている。これより、立ち上がり時間は対数 N に比例することが確認された。

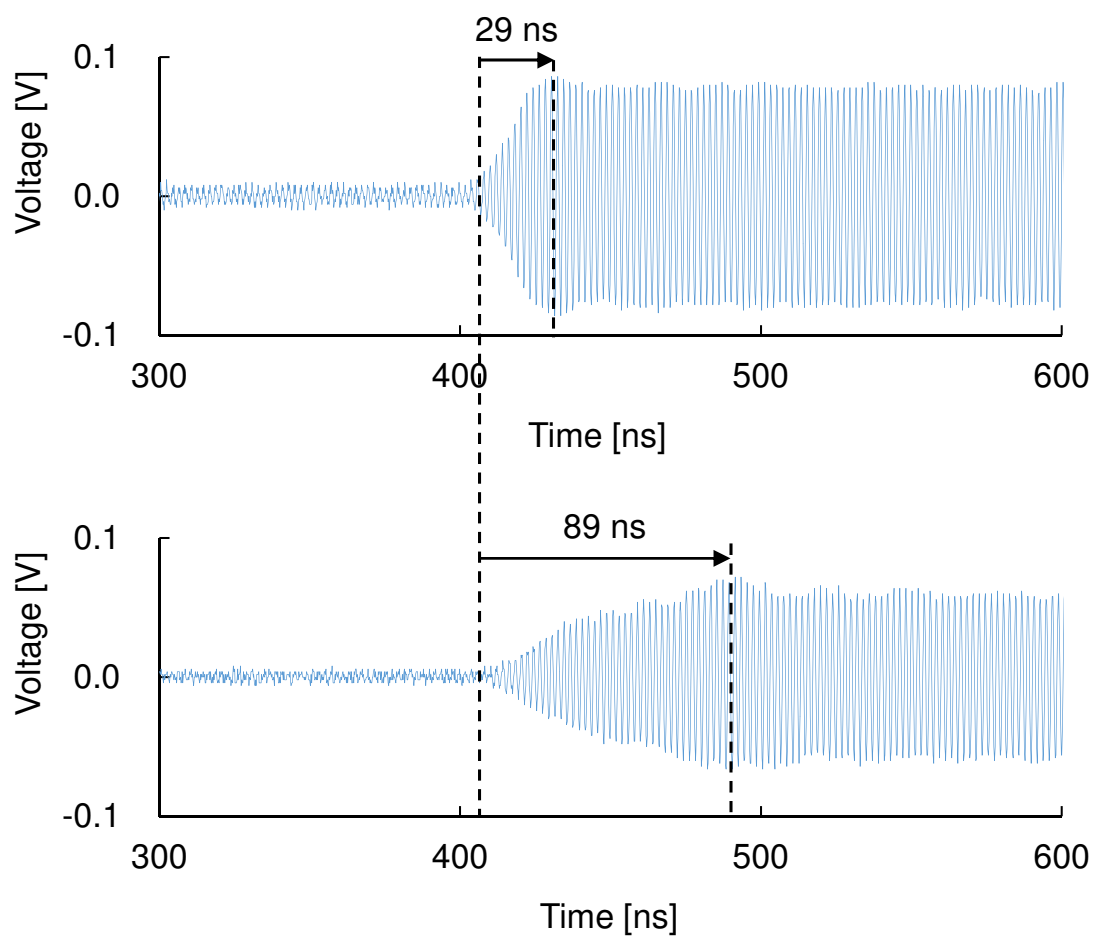


図 3.8 立ち上がるまでの遅延時間（対数の比較）

（上 : $\lambda = 8.0 \mu\text{m}$, $N = 10$, $L = 200 \lambda$, 下 : $\lambda = 8.0 \mu\text{m}$, $N = 30$, $L = 200 \lambda$ ）

Triple Transit Echo (TTE)

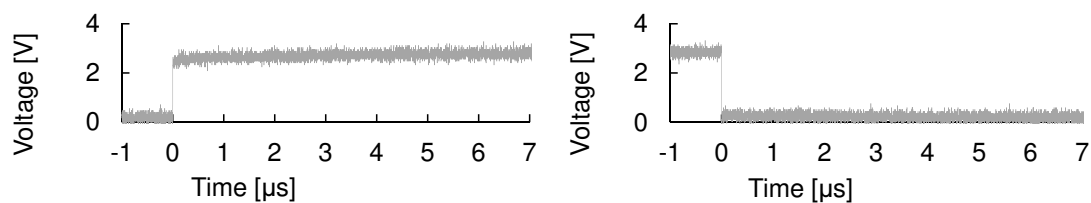
図 3.9 は図 3.8 の時間軸を縮小し、立ち上がりと立下りの両方を示した SAW フィルタ出力波形である。なお、(a) は DDS に入力する制御信号である。

立ち上がり・立下り時の SAW フィルタ出力波形が階段状になっているのは、Triple Transit Echo (TTE) [29] によるものである。TTE は図 3.10 のように出力側の IDT で反射もしくは再生成されたレイリー波が入力側の IDT で再び反射し、最終的に出力側の IDT で観測される SAW の応答である [29]。

TTE は図 3.9 の立下り時に顕著に観測することができる。(c) の立ち上がりにおいて、最初の $0.44 - 1.32 \mu\text{s}$ 間は SAW の主応答のみ観測されているが、それ以降は TTE が重ね合わさり、階段状に振幅が増加している。これより、遅延時間を定常状態の振幅の一定の割合に到達した時と定義する場合、TTE は遅延時間に大きく影響するといえる。

ここで、TTE の大きさについて述べる。図 3.9(b) は対数 $N = 10$ の場合であり、定常状態の振幅は主応答の振幅より 54 % 増加している。一方、(c) は $N = 30$ の場合であり、定常状態の振幅は主応答の振幅より 147 % 増加している。この場合、 N が 3 倍になると TTE による振幅増加の割合も 3 倍になっている。よって、 N が大きいと TTE が増加するということが確認された。

図 3.11 は $\lambda = 20.0 \mu\text{m}$, $N = 30$, $L = 100 \lambda$ の SAW フィルタに 250 ns 間、この SAW フィルタの中心周波数 $f_0 = 198 \text{ MHz}$ の信号を送信し、パルス応答波形を観測したものである。一つ目の応答が SAW による主応答、二つ目以降が TTE による応答である。図 3.11 の矢印が示すとおり、TTE の到達時間は主応答の到達時間の約 3 倍となった。これは、図 3.10 が示すように SAW が伝搬路を三回通過するためである。



(a) 制御信号

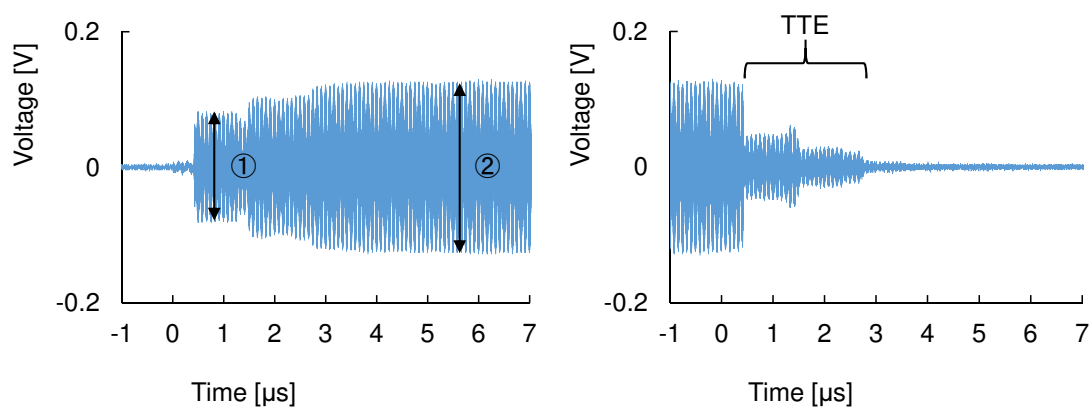
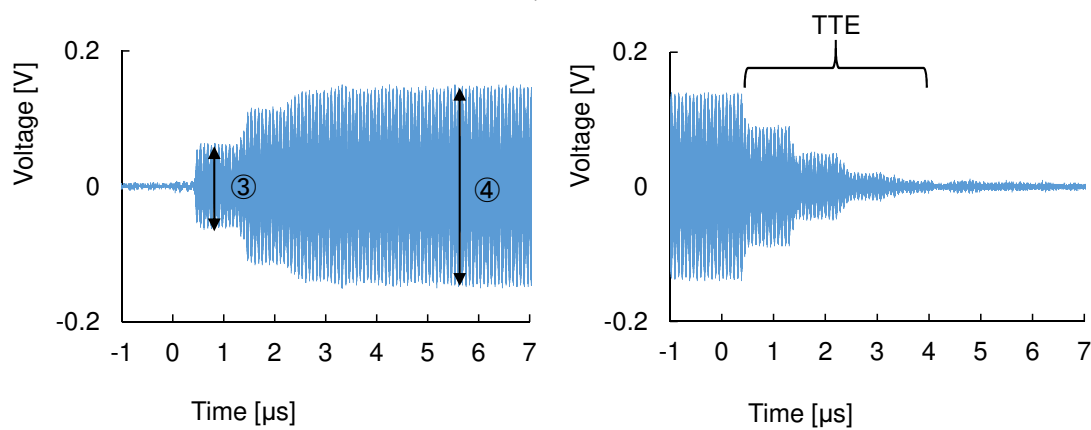
(b) $\lambda=8.0 \mu\text{m}$, $N=10$, $L=200 \lambda$ (c) $\lambda=8.0 \mu\text{m}$, $N=30$, $L=200 \lambda$

図 3.9 異なる対数における TTE の比較

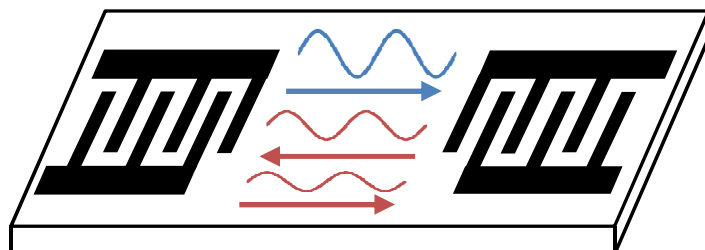
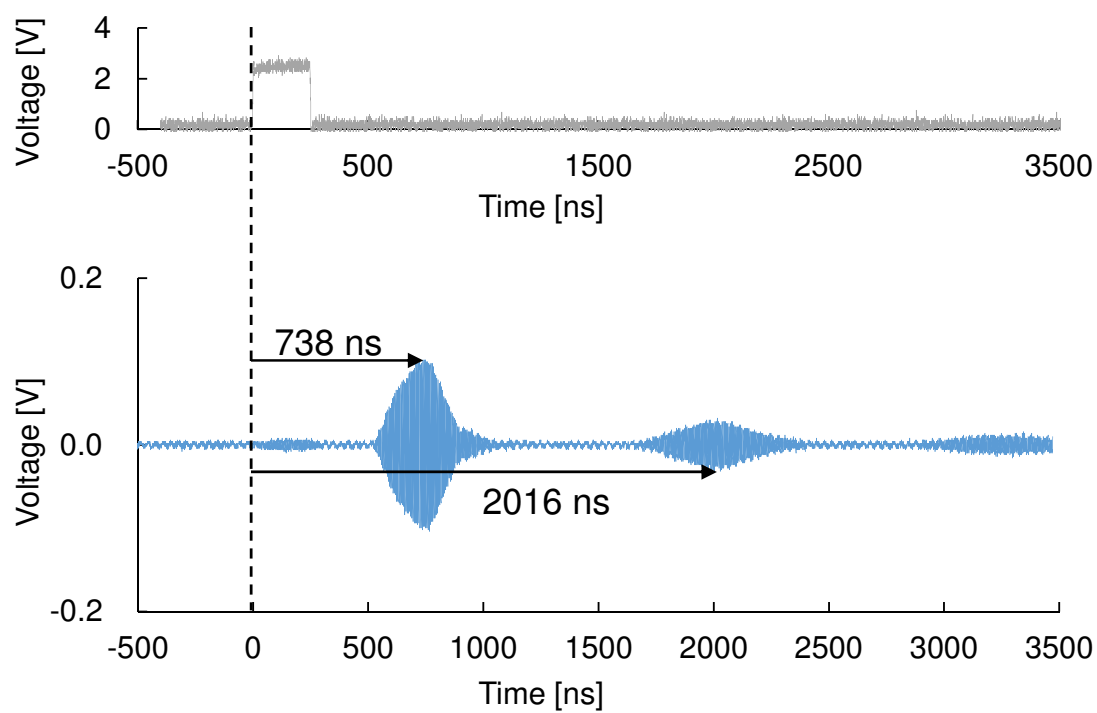


図 3.10 TTE の概念図

図 3.11 TTE のパルス応答 ($\lambda = 20.0 \mu\text{m}$, $N = 30$, $L = 100 \lambda$)

3.7.4 電極形状

3.7.3 節で述べた通り、TTE を抑制するためには N を少なくする方法が考えられる。これにより、TTE の影響は抑えることができるが、各 SAW フィルタの通過帯域幅 W が広がり、抑圧比（レベル差）も減少してしまう。

そこで、電極形状を検討する。 $\lambda = 20.0 \mu\text{m}$, $N = 30$, $L = 100 \lambda$ の SAW フィルタにおいて、通常通りのシングル電極と電極指が二本に分かれたダブル電極の特性を比較する。電極の構造の違いは図 3.12 に示し、挿入損失は図 3.13、SAW フィルタ出力波形は図 3.14 に示す。

まず、図 3.13 の挿入損失に注目すると、通過帯域幅には大きな変化がないことがわかる。しかし、シングル電極の SAW フィルタの最小挿入損失は 8.23 dB、ダブル電極の最小挿入損失は 9.78 dB となっており、全体的にダブル電極の方が挿入損失が大きくなってしまっていることがわかる。ここで、SAW フィルタ出力波形において TTE の大きさを評価する。図 3.14(b) は Single 電極の場合であり、定常状態の振幅は主応答の振幅より 48 % 増加している。一方、(c) はダブル電極の場合であり、定常状態の振幅は主応答の振幅より 24 % 増加している。よって、ダブル電極の方が TTE を抑制することができるということが確認された。

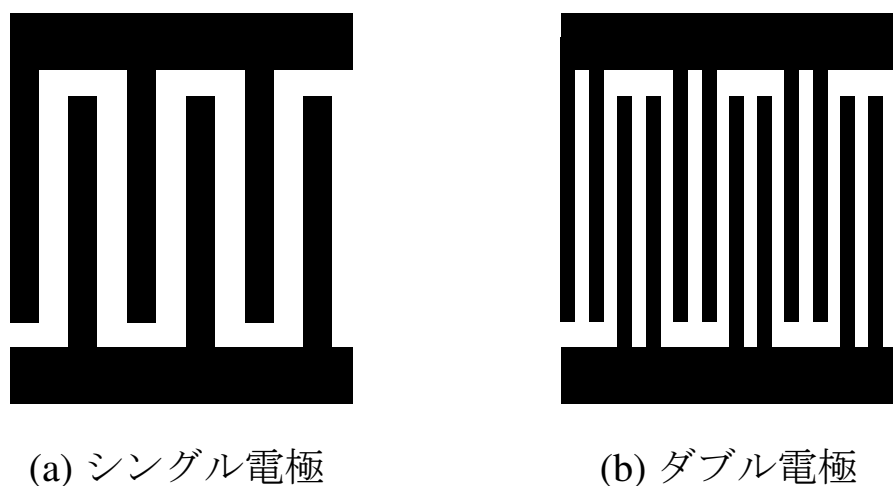


図 3.12 シングル電極とダブル電極の電極構造

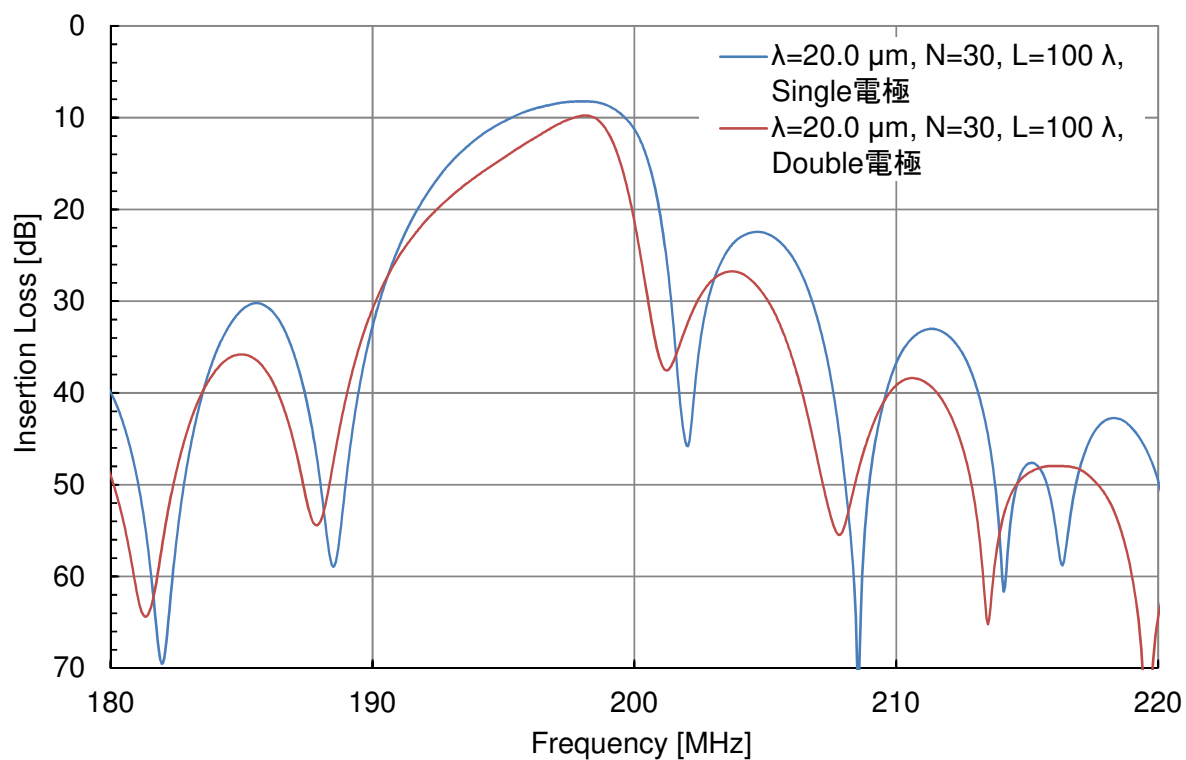
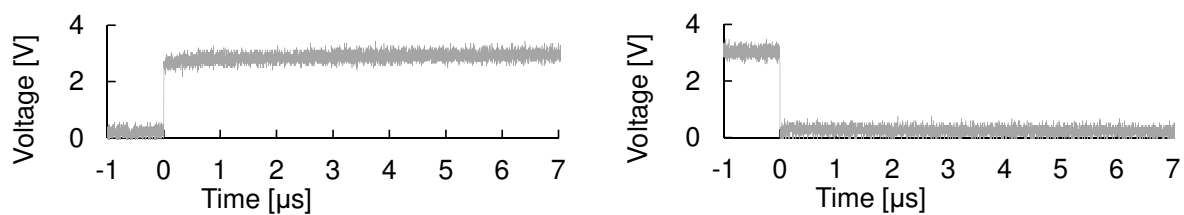


図 3.13 シングル電極とダブル電極の挿入損失



(a) 制御信号

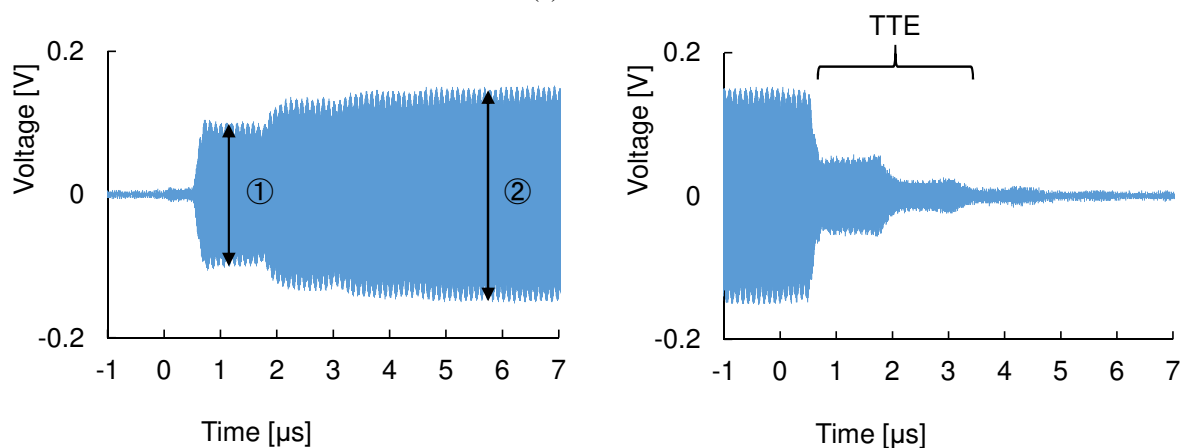
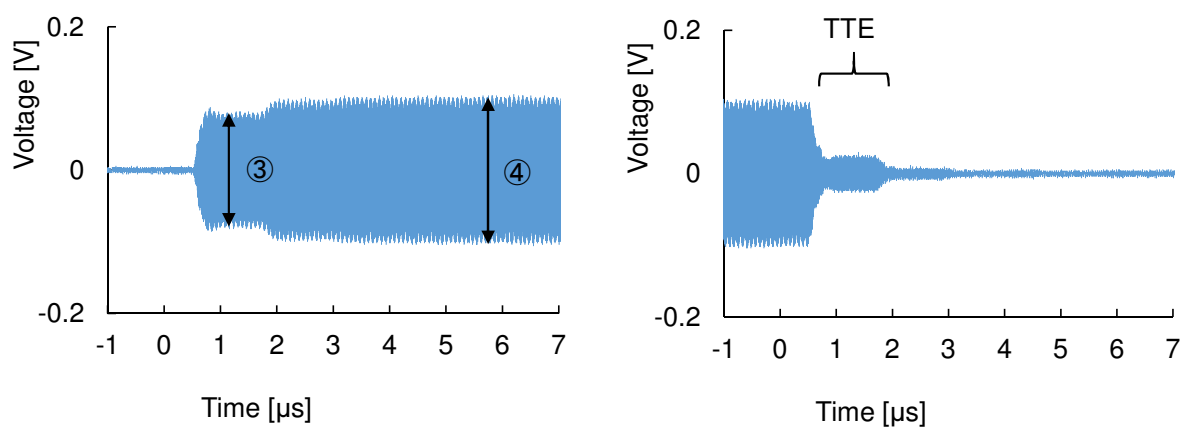
(b) $\lambda=20.0\ \mu\text{m}$, $N=30$, $L=100\ \lambda$, **Single**電極(c) $\lambda=20.0\ \mu\text{m}$, $N=30$, $L=100\ \lambda$, **Double**電極

図 3.14 シングル電極とダブル電極の SAW フィルタ出力波形

TTE を抑制するためにダブル電極を採用するのは効果的だが、多数のスイッチングデバイスを用いた多重通信システムを構築する場合はより大きな抑圧比が必要であるのと同時に、挿入損失はなるべく小さく抑える必要がある。この場合、対策の一つとして電極の形状をさらに検討する必要がある。例えば、図 3.15 に示すような一方向性電極（SPUDT: single phase uni-directional transducer [32,33]）などを用いると抑圧比を改善し、TTE と挿入損失を抑えることができる。しかし、著者の製作設備では、3.9.1 節で述べられる本システムで使用する周波数帯の高周波側で一方向性電極を製作するのは困難であるため、TTE 対策を含めて様々な方面からの検討が必要である。

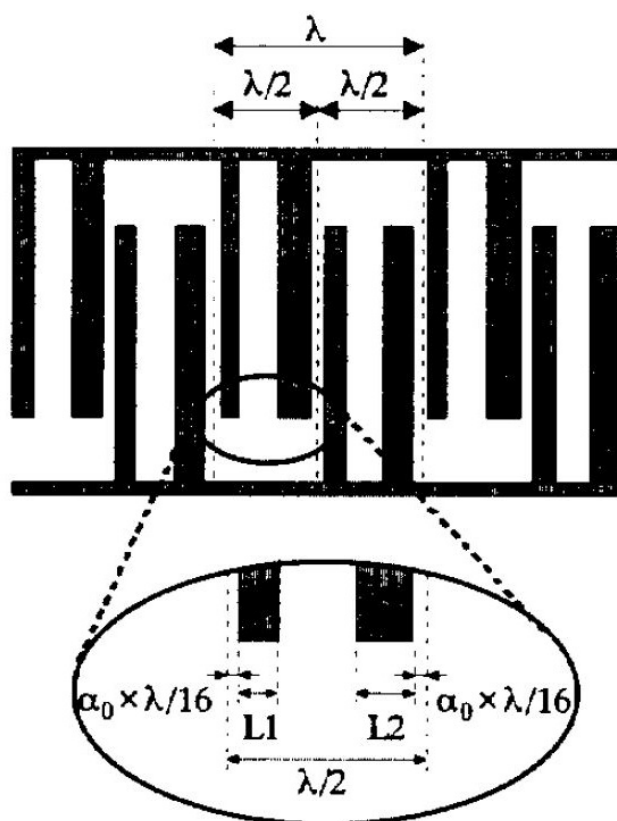


図 3.15 A schematic view of the DWSF-SPUDT. 文献 [33] より引用

3.7.5 伝搬路長

入力側と出力側の IDT 間の伝搬遅延時間 T は次の式で与えられる [34]。

$$T = \frac{L}{V} \quad (3.10)$$

ここで、 V は SAW 速度、 L は図 3.1 に示す伝搬路長であり、 T は L に比例する。これを実験的に確認するため、伝搬路を伝搬する SAW の遅延時間を調べた。図 3.16 は波長 $\lambda = 8.0 \mu\text{m}$ 、対数 $N = 10$ の SAW フィルタ出力波形を示す。図中の矢印が示す IDT 間の伝搬遅延時間 T 時間に注目すると、(b) $L = 200 \lambda$ は (a) $L = 50 \lambda$ の 4 倍になっており、 T は L に比例することが確認された。また、この測定結果の T と L から SAW 速度を求めると、(a) では $V = 3846 \text{ [m/s]}$ 、(b) では $V = 3922 \text{ [m/s]}$ となり 3.7.2 節で示す SAW 速度とほぼ等しい結果となった。

L が増加すると T が大きくなるが、入出力 IDT 間の距離が離れるため、SAW フィルタの電氣的絶縁性能が改善すると考えられる。このことについては 3.8 節で詳しく説明する。

図 3.17 は L に対する最小挿入損失を示す。同じ λ と N で複数の L を製作した試料に関しては、傾きを求めることにより 1λ あたりの伝搬損失を求めることができる。この結果を表 3.4 に示す。測定条件の差異や測定回数の不足により、一概に伝搬損失を求めるのは困難であったが、本研究で製作した SAW フィルタの伝搬損失は 1λ あたり 0.0019 dB から 0.0091 dB となった。この値は L を 100λ としても 1 dB 程度にしかならず、図 3.17 より、全体の最小挿入損失の値と比較して十分に小さいため、 $128^\circ\text{Y-X LiNbO}_3$ 基板上のレイリー波を用いた SAW フィルタの場合、 L を長くしすぎなければ伝搬損失は大きな問題にならないと考えられる。

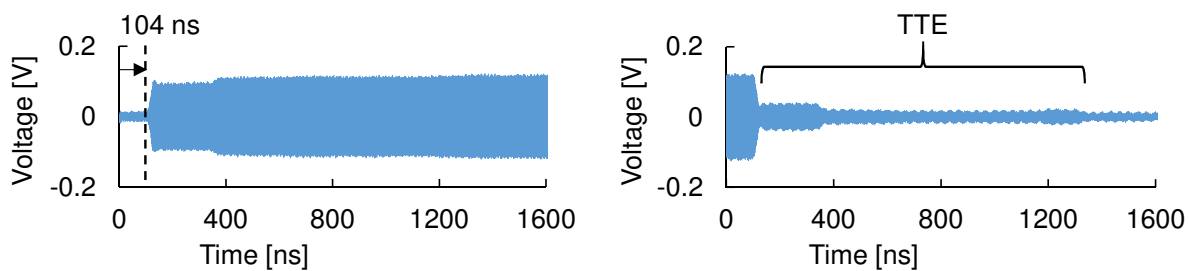
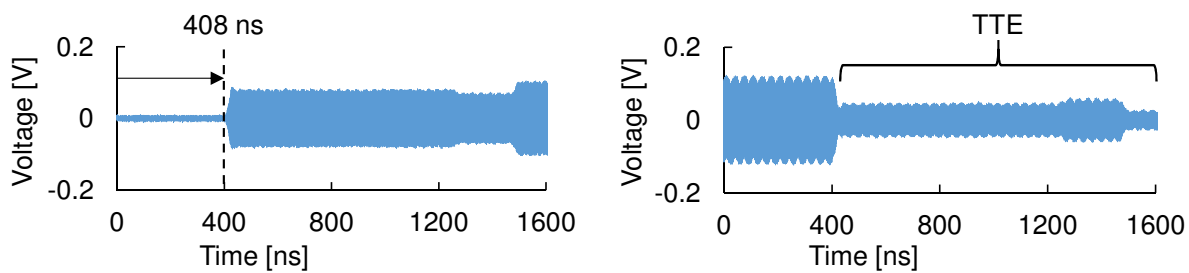
(a) $\lambda=8.0\ \mu\text{m}$, $N=10$, $L=50\lambda$ (b) $\lambda=8.0\ \mu\text{m}$, $N=10$, $L=200\lambda$

図 3.16 伝搬路長と遅延時間

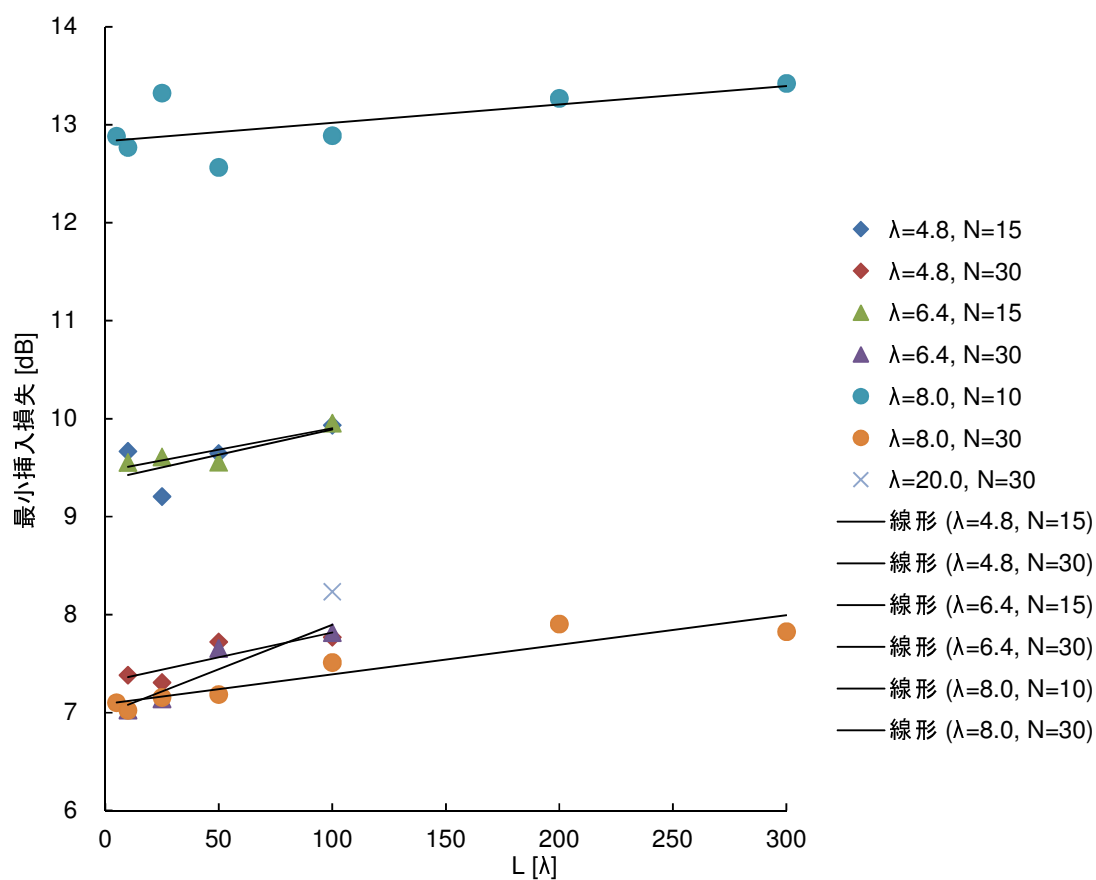


図 3.17 伝搬路長に対する最小挿入損失 (各 SAW フィルタの最小挿入損失の比較)

表 3.4 1 λ あたりの伝搬損失

対象のSAWフィルタ	$\lambda=4.8, N=15$	$\lambda=4.8, N=30$	$\lambda=6.4, N=15$	$\lambda=6.4, N=30$	$\lambda=8.0, N=10$	$\lambda=8.0, N=30$
1 λ あたりの 伝搬損失[dB]	0.0052	0.0051	0.0044	0.0091	0.0019	0.0030

3.7.6 損失の構成

本節では、3.4 節で述べた各損失を求める。IL は全挿入損失、IL1 と IL 2 はそれぞれ入力側と出力側の IDT における不整合損失、ILb は双方向性の損失、ILa はその他の損失を示す。ネットワークアナライザで挿入損失 S21 と入力側と出力側 IDT で反射特性 S11 を測定し、式 (3.1) から式 (3.4) より各損失を求め、その結果を図 3.18 に示した。ここでは、波長 $\lambda = 20.0 \mu\text{m}$, 対数 $N = 30$, 伝搬路長 $L = 100 \lambda$ の SAW フィルタを対象とした。

この SAW フィルタの中心周波数 f_0 は最小挿入損失時で 198 MHz であった。このときの IL は 8.2323 dB であり、このうち IL1 + IL2 は 0.0279 dB であった。なお、IL1 と IL2 はほぼ同じ特性になった。図 3.18 からわかるとおり、周辺回路とのインピーダンスマッチングが適正に行われていることから、 f_0 時の不整合損失 IL1, IL2 は全体の損失と比較して極めて小さい結果になった。よって、 f_0 時の SAW フィルタの損失は ILa と ILb により生じたといえる。なお、ILb はトランスバーサル型 SAW フィルタの構造上生じる損失であり、6.0206 dB で一定である。インピーダンスマッチングがとれていることは、以下の図 3.19 と 3.19 のアドミタンスチャートからも読み取ることができる。

さらに反射特性 S11 と対数 N の関係を調べた。 $\lambda = 8.0 \mu\text{m}$ の SAW フィルタにおいて、 N が異なる IDT の S11 を測り、アドミタンスチャートで示したものを図 3.21 と 3.22 に示す。 $N = 30$ の図 3.22 はマッチングがとれているが、 $N = 10$ の図 3.21 はマッチングがとれておらず、不整合損失が大きくなると予測される。よって N が少ないと周辺回路との不整合損失が生じるということが確認された。

なお、図 3.1 の交叉幅 O は IDT のアドミタンスを左右し、周辺回路とのインピーダンスマッチングを考える上で必要なパラメータである。交叉幅が大きくなると、アドミタンスが大きくなる。これを調整して周辺回路とインピーダンスマッチングを行うのは今後の検討課題とする。

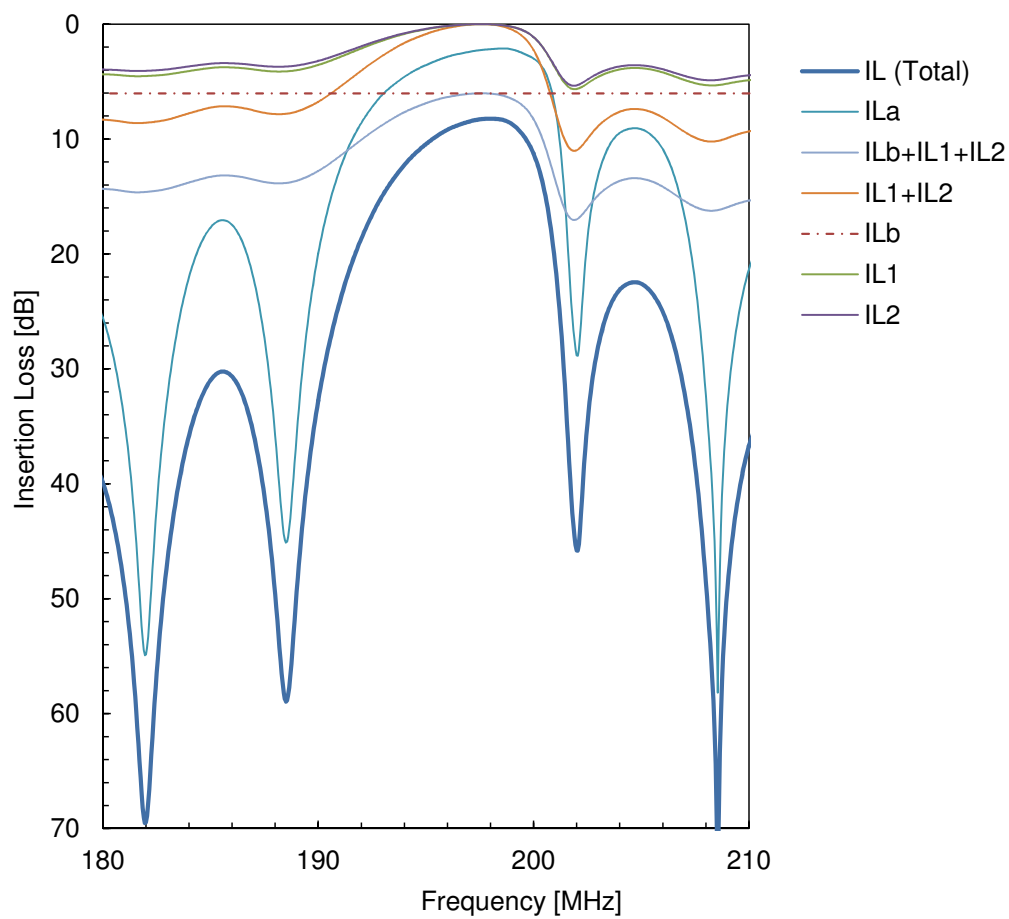


図 3.18 損失の構成

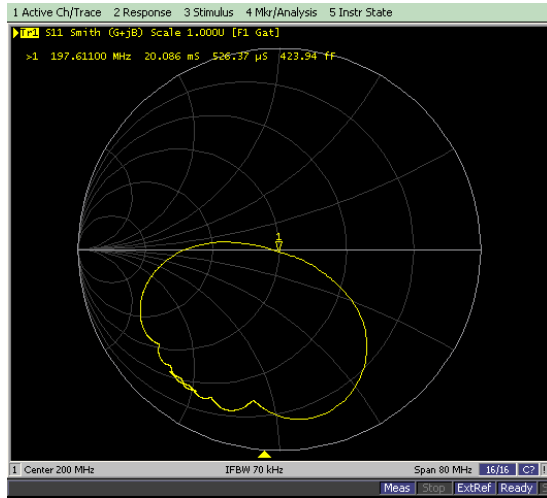


図 3.19 $\lambda = 20.0 \mu\text{m}$, $N = 30$, $L = 100 \lambda$, 入力側 IDT S11 特性

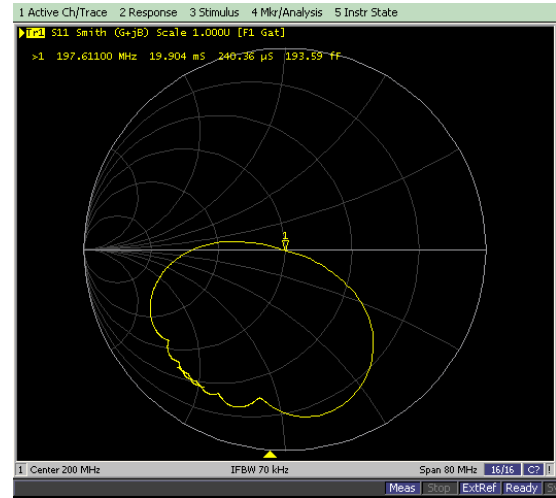


図 3.20 $\lambda = 20.0 \mu\text{m}$, $N = 30$, $L = 100 \lambda$, 出力側 IDT S11 特性

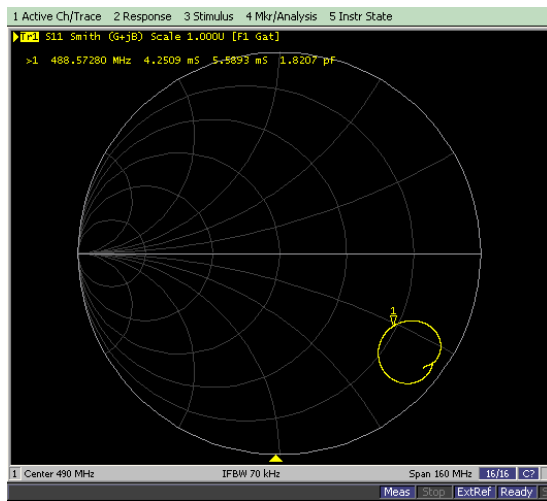


図 3.21 $\lambda = 8.0 \mu\text{m}$, $N = 10$, S11 特性

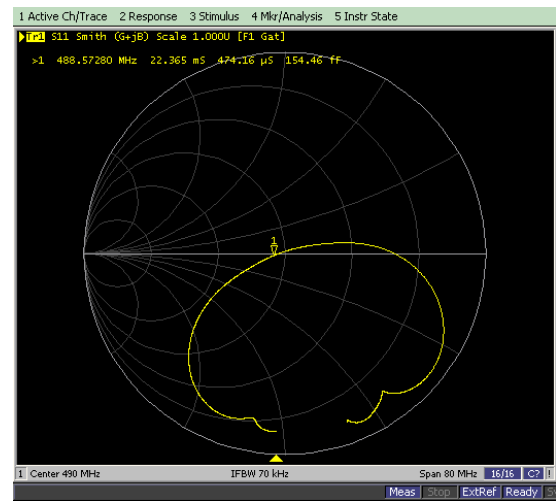


図 3.22 $\lambda = 8.0 \mu\text{m}$, $N = 30$, S11 特性

3.7.7 まとめ

以上の基礎特性の評価により、以下の知見が得られた。

波長

- ・ 波長 λ は SAW フィルタの中心周波数 f_0 を決定
- ・ SAW 速度 V は一定
- ・ 通過帯域幅 W は波長 λ に反比例
- ・ SAW フィルタ出力波形の立ち上がり遅延時間は波長 λ に比例
- ・ SAW フィルタのサイズは波長 λ に比例

対数

- ・ 通過帯域幅 W は対数 N に反比例
- ・ 最小挿入損失は対数 N が増加すると減少
- ・ SAW フィルタ出力波形の立ち上がりの遅延時間は対数 N に比例
- ・ TTE は対数 N が多いとより顕著に発生
- ・ TTE の到達時間は主応答の到達時間の 3 倍
- ・ 対数 N が多い方が周辺回路との不整合損失が小さい

伝搬路長

- ・ 伝搬遅延時間 T は伝搬路長 L に比例
- ・ SAW 速度 V は一定

以上の基礎特性を踏まえると同時に、次の 3.8 節の耐圧試験で適切な伝搬路長 L を得ることで、ハーフブリッジインバータに適した SAW フィルタの選定を行う。フルブリッジインバータでは設計した SAW フィルタを使用する。

3.8 耐圧試験

3.8.1 目的

3.7.5 節より、遅延時間 T を短くするためには、伝搬路長 L をなるべく短くする必要がある。しかし、入出力 IDT 間の電界強度を考慮する必要があるため、 L の長さには制限がある。

本システムでは、インバータの出力抵抗に印加される高電圧が出力側の IDT でも生じる。このとき、最も強い電界強度は図 3.23 の破線 (a), (b) 間で生じ、この距離は L と一致する。よって、 L を増加させると入出力間の電界強度を減少させることができる。電氣的絶縁性能を考慮して理想的な伝搬路長 L の値を設定するため、SAW フィルタの耐圧試験を行った。

3.8.2 試験方法

試験方法は以下の手順の繰り返しである。

1. SAW フィルタの入出力端子間に直流電圧 V_{DC} を 30 秒間印加する。
2. 電圧の印加を停止し、挿入損失の特性をネットワークアナライザで測定し、印加前と変化がないかどうか確認する。
3. 印加する電圧を 10 V 上昇させ、手順 1 から繰り返す。SAW フィルタの特性が変化するまで続ける。

この試験の構成は図 3.23 に示す。短絡した時に電圧源がショートするのを防ぐため、 $200\ \Omega$ の抵抗を接続した。3.5 節と同様に SAW フィルタと周辺回路はワイヤーボンディングで接続した。

この試験において、最も強い電界強度はインバータ動作時と同様に図 3.23 の破線 (a), (b) 間で生じ、このときの電界強度は以下の式によって与えられる。

$$E = \frac{V_{DC}}{L} \quad (3.11)$$

以上の式を用いて電界強度 E を求め、SAW フィルタの耐圧を調べた。

L: 伝搬路長
N: 対数
O: 交叉幅

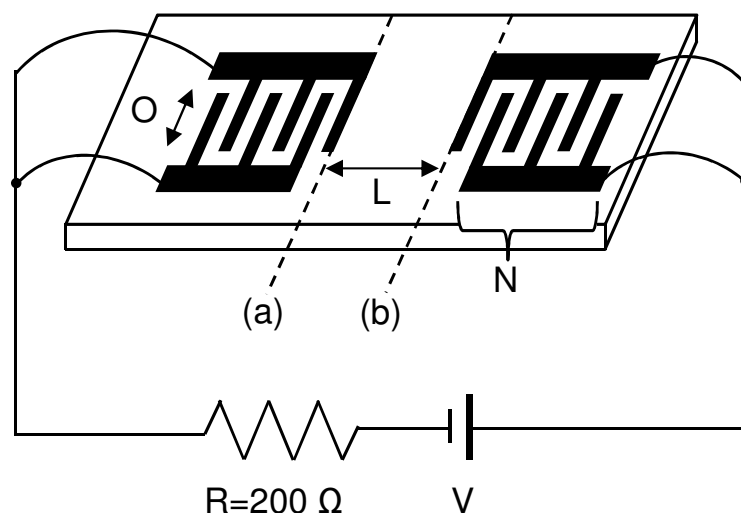


図 3.23 耐圧試験の回路図

3.8.3 結果と考察

図 3.24 は耐圧試験前と後の電極画像を示し、青色の円で囲まれた IDT 対が試験対象である。比較的低い電圧で絶縁破壊が起こるように、 $L = 48 \mu\text{m}$ ($L = 10 \lambda$) の SAW フィルタで耐圧試験を行った。 $L = 48 \mu\text{m}$ の SAW フィルタは $V_{\text{DC}} = 540 \text{ V}$ まで耐えた。式 (3.11) より、このときの電界強度は $E = 113 \text{ kV/cm}$ である。 $V_{\text{DC}} = 550 \text{ V}$ 印加すると、ワイヤーボンディングと入出力端子に接続されたパッド間で放電が生じた。この時の電流は図 3.25 であり、短絡していることがわかる。図 3.24(b) において黄色の矢印の間で短絡したと推測される。また、図 3.24(d) から短絡電流により電極が溶けたことがわかる。

以上の耐圧試験より、SAW フィルタの入出力間の短絡は空气中を放電して生じたと考えられる。したがって、少なくとも SAW フィルタは伝搬路に印加される電界強度が基板上の空気の絶縁破壊電界 (30 kV/cm [35]) を超えなければ、入出力間に印加される電圧に耐えることができるということがわかった。この結果は、絶縁破壊電界を考慮して伝搬路長 L を設定することにより、伝搬遅延時間 T を最小化できるということを明らかにした。

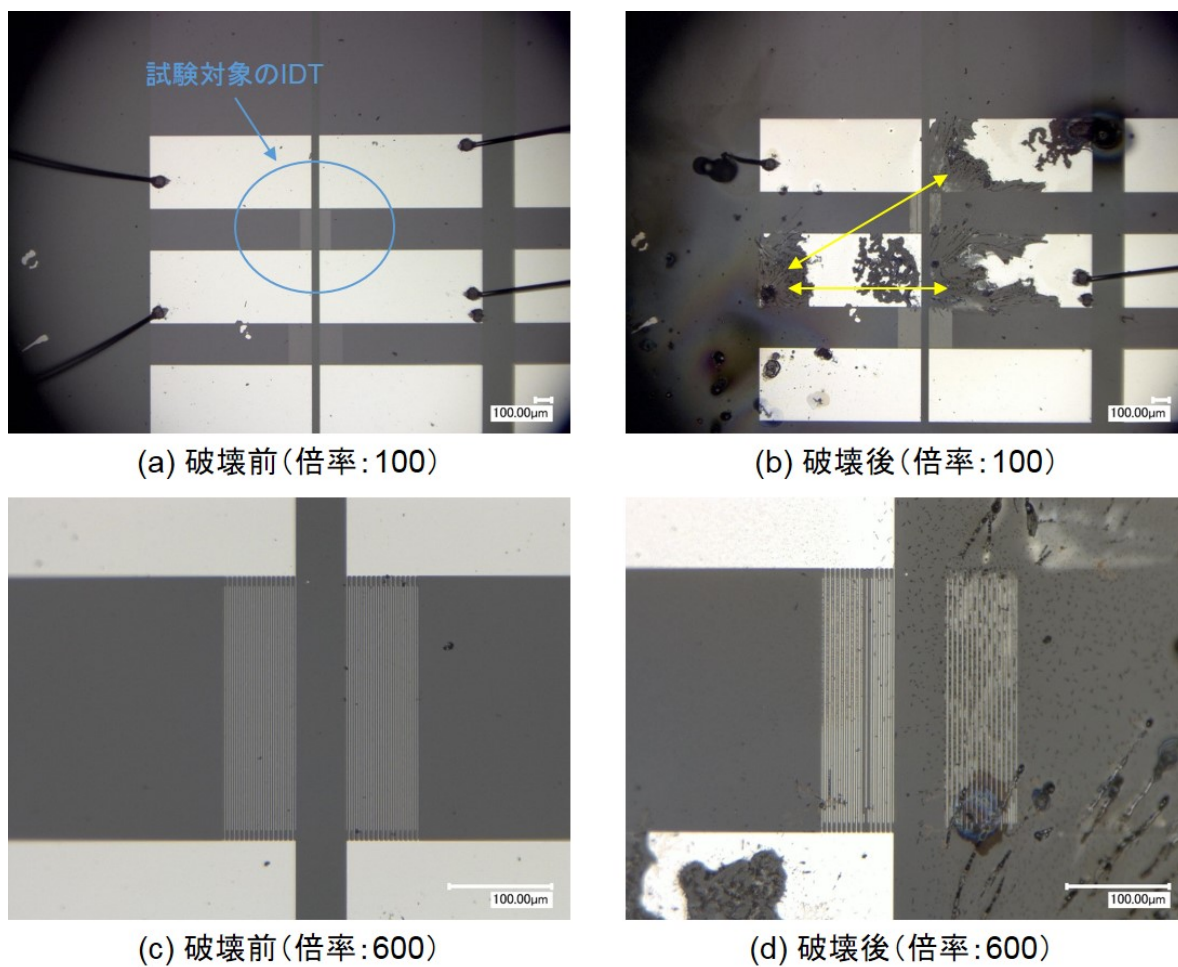


図 3.24 耐圧試験前後の電極画像

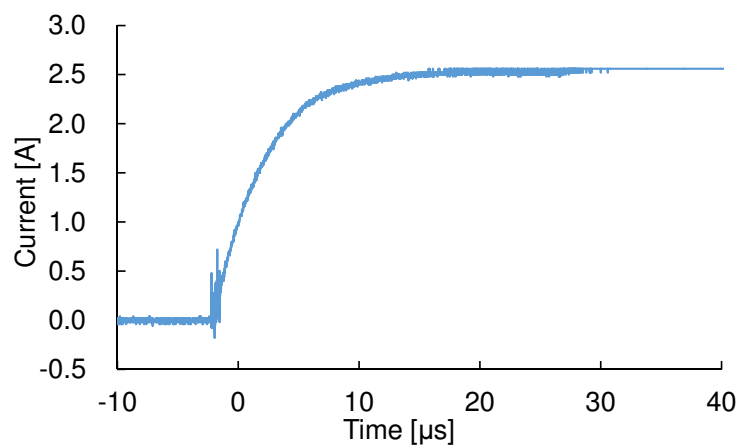


図 3.25 短絡電流

3.9 ハーフブリッジインバータ用 SAW フィルタの評価

3.9.1 選定方針と仕様

以上の基礎特性と耐圧試験結果を踏まえて、基礎特性評価用 SAW フィルタの中からハーフブリッジインバータ用 SAW フィルタを選定した。ハーフブリッジインバータは二つのスイッチングデバイスを使用するので二つの SAW フィルタが必要である。

表 3.5 は二つの SAW フィルタの仕様を示し、3.3 節の図 3.2 は波長 $\lambda = 6.4 \mu\text{m}$ の SAW フィルタの大きさを示す。なお、表 3.5 における中心周波数は、最小挿入損失時の周波数とした。各 SAW フィルタの交叉幅はいずれも 50λ である。

図 3.26 は本システムが使用する周波数を示す。使用する周波数の下限は 100 MHz とした。これは、図 3.26 に示すインバータのスイッチング周波数 20 kHz よりはるかに高い。また、電力変換回路の伝導ノイズは国際規格 CISPR において $150 \text{ kHz} - 30 \text{ MHz}$ で議論される [36]。下限を 100 MHz とすればこの範囲も超え、インバータのスイッチングノイズにの影響を受けない周波数だと考えられるため、この周波数を下限とした。

一方、高い周波数を使用すると、3.7.2 節に示すとおり、サイズおよび立ち上がり・立下り時間を小さくすることができるため、中心周波数は高く設定することが望まれる。しかし、高い周波数を使用すると、誘電体損失を増加してしまうため、本研究で使用する周波数帯域の上限は 1 GHz に決定した。

以上より、図 3.26 のように本提案システムでは 100 MHz から 1 GHz を使用することに決定した。ハーフブリッジインバータ用の SAW フィルタの中心周波数 f_0 は表 3.5 のように提案する帯域の中心部を選択した。

伝搬路長 L は 3.8 節で述べた空気の絶縁破壊電界に基づき、短い方で耐圧 1200 V まで対応可能な $L = 400 \mu\text{m}$ の SAW フィルタを選定した。対数 N は SAW フィルタ出力波形の立ち上がり時間が短く、TTE が小さくなるように 15 対以下のものを選定した。

表 3.5 ハーフブリッジインバータ用 SAW フィルタの仕様

波長 $\lambda(\mu\text{m})$	中心周波数 $f_0(\text{MHz})$	伝搬路長 $L(\mu\text{m})$	対数 N	交叉幅 (μm)
6.4	612	640	15	320
8.0	492	400	10	400

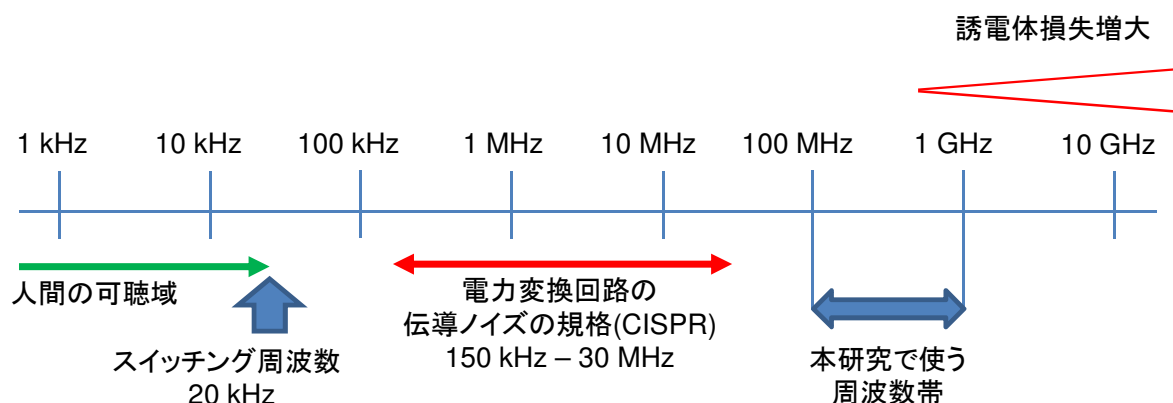


図 3.26 本システムが使用する周波数帯

3.9.2 測定結果

挿入損失

図 3.27 はハーフブリッジインバータで使用した SAW フィルタの挿入損失を示す。なお、本 3.9.2 節では、図 3.4 のプリント基板を使用し、ワイヤーボンディングと同軸線路を経由してネットワークアナライザに接続し挿入損失を取得した。また、TTE などの主応答以外の影響も考慮するため、ネットワークアナライザのタイムゲートは適用していない。

これらの SAW フィルタは互いの中心周波数に対して 16 dB 以上の抑圧比を有しており、これは電圧比にすると 6.3 倍である。

図 3.27 の波形の乱れの主な原因は TTE である。その他の原因は同一基板上の SAW フィルタからの反射である。ハーフブリッジインバータ用に選定した SAW フィルタは基礎特性評価用 SAW フィルタをそのままインバータに応用したため、図 3.28 のように一つの基板に複数個の SAW フィルタが製作されている。特に、SAW の伝搬方向に電極があると反射などによる影響が大きいと考えられる。

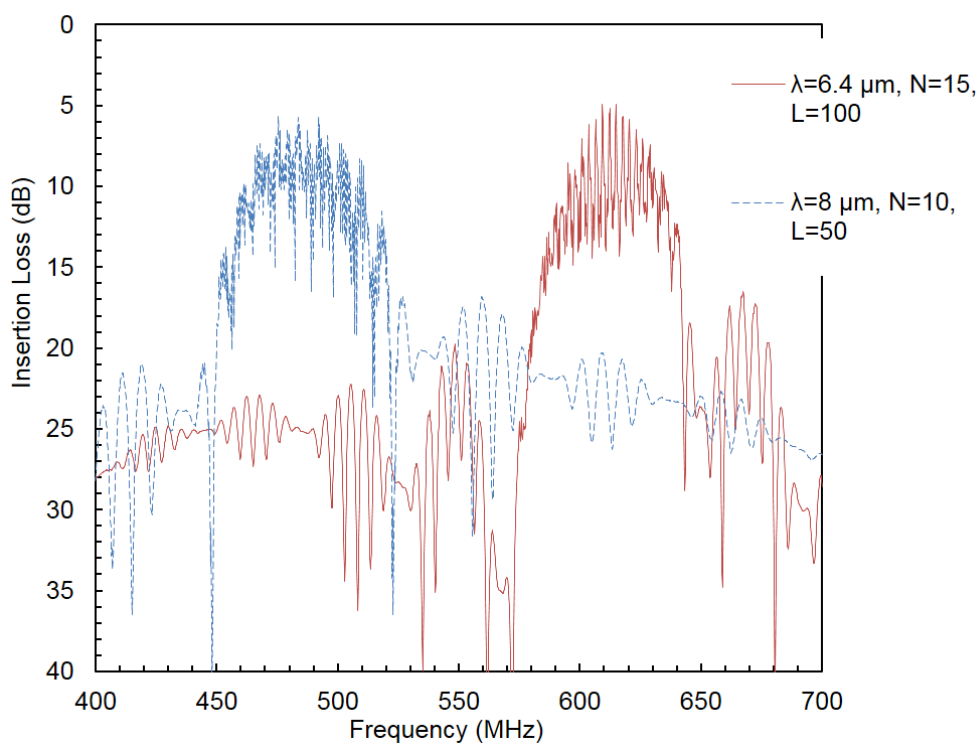


図 3.27 ハーフブリッジインバータ用 SAW フィルタの挿入損失

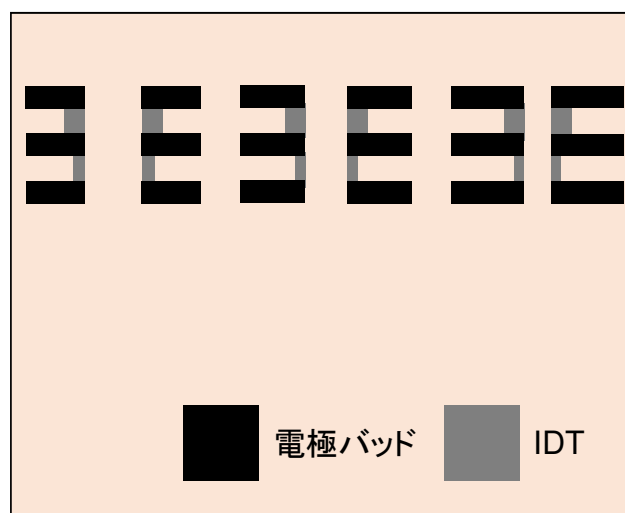


図 3.28 基礎特性評価用 SAW フィルタの電極配置のイメージ図

SAW フィルタ出力波形と遅延時間

図 3.29 は SAW フィルタ出力波形であり、各波形の下部の実線矢印は定常状態の振幅に対して 63% 変動時の遅延時間を示す。波長 $\lambda = 6.4 \mu\text{m}$ の SAW フィルタの立ち上がり・立下り時間はともに 534 ns だった。 $\lambda = 8.0 \mu\text{m}$ の SAW フィルタの立ち上がり遅延時間は 128 ns、立下り遅延時間は 122 ns だった。 $\lambda = 6.4 \mu\text{m}$ の SAW フィルタの遅延時間が $\lambda = 8.0 \mu\text{m}$ の SAW フィルタよりも大きい理由は、 $\lambda = 6.4 \mu\text{m}$ の SAW フィルタは伝搬路長 L が長いのと同時に、対数 N が多く TTE の影響が強くなったためである。ここで、短い方の L はインバータで使用する直流電圧 $V_{\text{DC}} = 300 \text{ V}$ とすると、空気の絶縁破壊電界を考慮して安全係数 4 以上の耐圧 1200 V に設定されているため、十分な長さであった。また、ここでは遅延時間を定常状態の振幅の一定の割合に到達した時と定義しているため、TTE も遅延時間を増加させる原因であった。この評価方法で二つの SAW フィルタの遅延時間の差に注目すると、立ち上がりにおいては 406 ns、立下りにおいては 412 ns であった。

各波形の上部の破線矢印は SAW の主応答が立ち上がるまでの遅延時間を示す。この遅延時間は TTE を無視できるため、 $\lambda = 6.4 \mu\text{m}$ の SAW フィルタの立ち上がりは実線矢印の 534 ns よりも小さくなった。一方、 $\lambda = 8.0 \mu\text{m}$ の SAW フィルタは TTE の影響が少ないため、実線矢印の 128 ns よりも大きくなった。

図 3.29 において、レイリー波だけでなく入力側の IDT から放射された電磁波が観測された。この遅延時間なしで観測される直達波は、例えば図 3.29(a) の立ち上がりにおいては 0 -170 ns の範囲で観測された。レイリー波の応答と直達波の振幅を計算すると、図 3.29(a), (b) の立ち上がりにおいて抑圧比は 20 dB 以上と十分に確保できているため、この影響は無視できる。

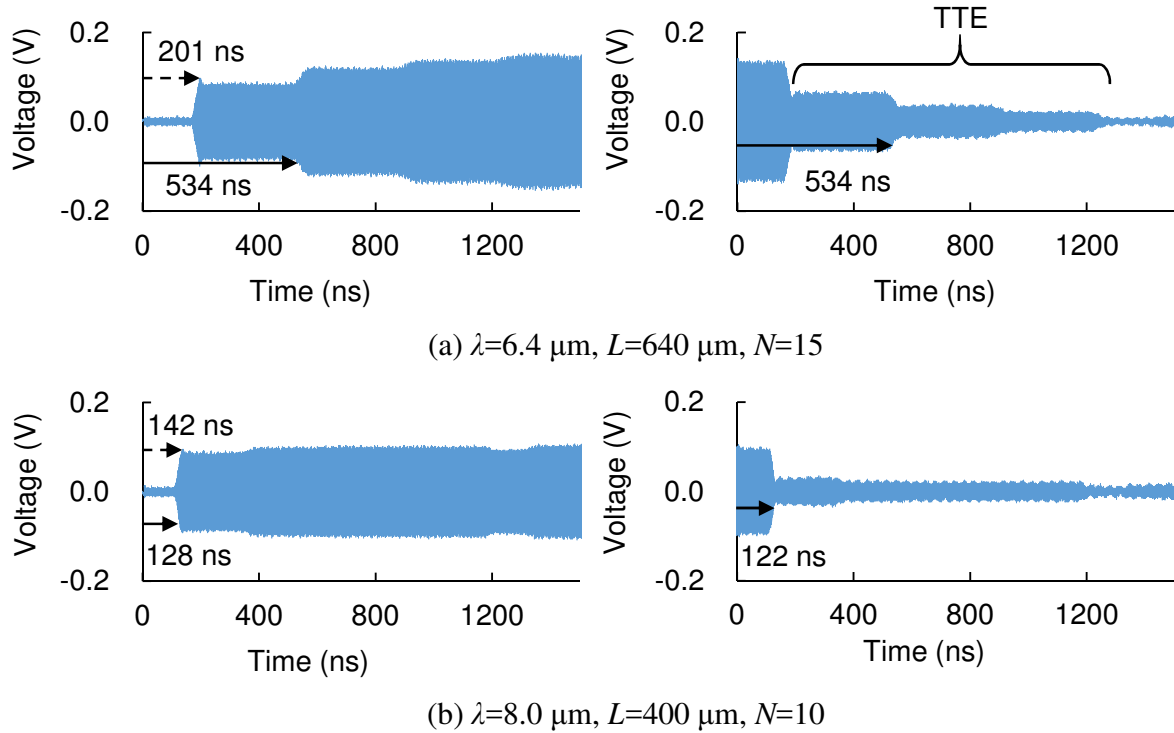


図 3.29 ハーフブリッジインバータ用 SAW フィルタ出力波形

3.9.3 設計に向けた課題

各 SAW フィルタに対する抑圧比は電圧比 10 倍が得られる 20 dB が望ましいが、16 dB し
か得られなかったため、対数 N を増やす必要がある。

遅延時間（実線矢印：定常状態の振幅に対して 63% 変動時の遅延時間）は $\lambda = 6.4 \mu\text{m}$ の
信号では $0.5 \mu\text{s}$ 、 $\lambda = 8.0 \mu\text{m}$ では $0.1 \mu\text{s}$ 程度だった。それぞれの SAW フィルタの遅延時間
の差は、412 ns 以上生じている。これは、インバータのアームの MOSFET が両方 ON 状態
になり短絡を引き起こすアーム短絡の要因となる。よって、伝搬路長 L はそろえるか、さら
に厳密には波長 λ の違いによる遅延時間の差を考慮して設計するべきである。対数 N の差も
TTE により、遅延時間の差を生じてしまう原因であった。

また、理論上耐圧 1200 V に対応可能な L を選定したが、家庭用電化製品の場合は、直流電
圧 $V_{\text{DC}} = 300 \text{ V}$ で安全係数 2 の耐圧 600 V が求められる。使用用途に合わせて、SAW フィ
ルタの電氣的絶縁性能を考慮し、 L を短くすれば、さらに遅延時間を短くすることができる。
さらに、多くのスイッチングデバイスを使用するマルチレベルインバータに本システムを適用
するためには、SAW フィルタの通過帯域幅 W を考慮しなければならない。

3.10 最適設計を行った SAW フィルタ

3.10.1 設計方針

波長と中心周波数

マルチレベルインバータを実現するため、システムの多チャンネル化が求められる。多チャンネル化するとスプリッタなどで RF 信号を複数経路に分岐するため、SAW フィルタに入力する電力が低下すると考えられるが、本研究では図 3.30 のような 12 個のスイッチングデバイスから構成される 3 相 3 レベルインバータを一本の同軸線路で制御するのを目標としているため、同一圧電基板上に異なる波長の SAW フィルタを 12 個製作した。3.9.1 節で述べた本システムで使用する周波数帯域 100 MHz - 1 GHz を想定した場合、最も長い波長 λ は 20 μm 、最も短い波長は我々の製作設備の能力の問題から 4.8 μm とした。それぞれ中心周波数 f_0 は SAW 速度 3980 m/s の場合、式 (3.5) より 199 MHz、829 MHz となる。これらの周波数の間に 10 個の中心周波数 f_0 を等分に割り当てするには、

$$(829 \text{ MHz} - 199 \text{ MHz}) \div 11 = 57 \text{ MHz} \quad (3.12)$$

となるため、57 MHz ずつ f_0 を割り振ればよい。

対数

3.7.2 節より、上記の波長の範囲内では $\lambda = 4.8 \mu\text{m}$ の SAW フィルタが最も通過帯域幅 W が広がるため、この波長で通過帯域が重ならないように対数 N を調整する。3.7.3 節の図 3.7(a) より対数は $N = 15$ の場合 $W_1 = 109 \text{ MHz}$ 、 $N = 30$ の場合 $W_2 = 55 \text{ MHz}$ である。よって、3.10.1 節より 57 MHz ずつ中心周波数 f_0 を割り振るため $N = 30$ の SAW フィルタを使用することが望ましい。しかし、 N を多くしすぎると TTE の影響が大きくなり、遅延時間の増加が予測されるため $N = 22$ とした。この値でもハーフブリッジインバータ用 SAW フィルタより N が多いため、TTE の影響が心配される。しかし、3.7.3 節で述べられた通り TTE は SAW の主応答の 3 倍の時間で到達するが、伝搬路長 L がハーフブリッジインバータ用 SAW フィルタよりも短いため、TTE も早く到達し大きな問題にはならない可能性がある。3.7.4 節で述べられた通り、TTE を抑制するためにダブル電極を採用するのは効果的だが、使用する周波数帯域の高周波側でダブル電極を製作するのは我々の設備では困難であるのと同時に、挿入損失が増加してしまうため、本論文ではシングル電極を採用することにする。

伝搬路長

遅延時間をそろえるため伝搬路長 L は 12 個の SAW フィルタについて、すべて同一の $L = 0.2 \text{ mm}$ に決定した。ハーフブリッジインバータ用 SAW フィルタの L より短いため、遅

延時間の削減が期待される。この L は 3.8 節で述べた空気の絶縁破壊電界に基づくと、直流電圧 $V_{DC} = 300 \text{ V}$ で安全係数 2 の耐圧 600 V が確保された。

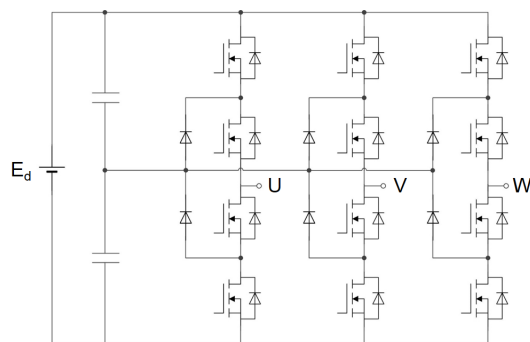


図 3.30 3 相 3 レベルインバータ回路図

3.10.2 仕様

以上の設計方針から、縦 18 mm 、横 10 mm の同一圧電基板上に 12ch 用 SAW フィルタを新たに製作した。図 3.31 に基板上の電極配置のイメージ図を示す。また、ワイヤーボンディングを打つための電極パッドはいずれも共通にせず、各 SAW フィルタは 0.2 mm 離して電氣的絶縁が確保されるようにした。

製作設備の関係上、波長 λ は $0.4 \mu\text{m}$ 単位で決定される。なるべく帯域が等分になるように表 3.6 のとおりに λ を配分した。参考のため、ここでの中心周波数 f_0 は SAW 速度 $V = 3980 \text{ m/s}$ から計算した。なお、対数 N はいずれも 22 対、交叉幅 λ はいずれも 50λ である。Al 電極の膜厚は約 1200 \AA とした。一般に膜厚は薄い方が特性が良くなるとされているが、3.7.1 節で製作した SAW フィルタの膜厚よりも厚くした理由は、ワイヤーボンディングなどで Al 線を接続するときに Al 薄膜がはがれるのを防ぐためである。

表 3.6 12ch 用 SAW フィルタの波長と SAW 速度 V から計算した中心周波数 ($V = 3980 \text{ m/s}$)

波長 $\lambda [\mu\text{m}]$	20.0	15.6	12.8	10.8	9.2	8.0	7.2	6.4	6.0	5.6	5.2	4.8
中心周波数 $f_0 [\text{MHz}]$	199	255	311	369	433	498	553	622	663	711	765	829

フルブリッジのインバータは 4 つのスイッチングデバイスで構成される。よって今回は 12 個の SAW フィルタの中から 4 つを使用した。これらのフルブリッジインバータ用 SAW フィルタの仕様を表 3.7 に示す。なお、表 3.7 における中心周波数 f_0 は、最小挿入損失時の周波数とした。一つの圧電基板上で 4 つの SAW フィルタを使用するため、図 3.32 に示す同軸線路に接続するための SMA 端子を 8 個搭載した基板も用意した。図 3.33 はワイヤーボンディングにより 4 個の SAW フィルタが周辺回路に接続されている様子を示す。

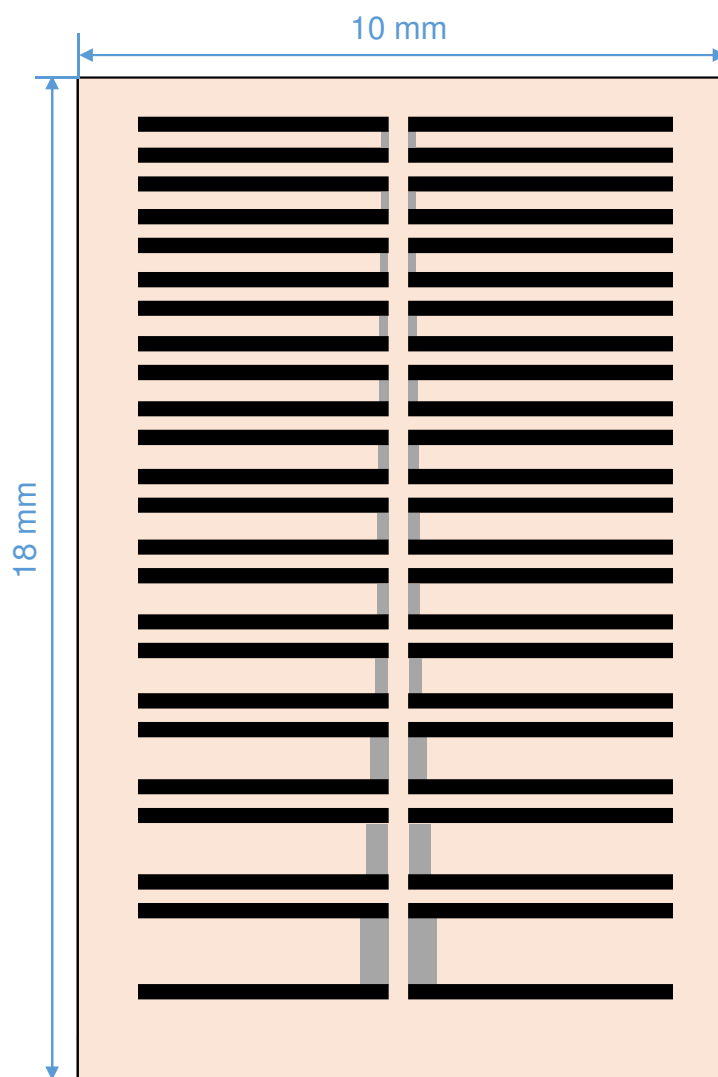


図 3.31 12ch 用 SAW フィルタのイメージ図

表 3.7 フルブリッジインバータ用 SAW フィルタの仕様

波長 $\lambda(\mu\text{m})$	中心周波数 $f_0(\text{MHz})$	伝搬路長 $L(\text{mm})$	対数 N	交叉幅 (mm)
20.0	195	0.2	22	1.00
12.8	308	0.2	22	0.64
9.2	428	0.2	22	0.46
7.2	546	0.2	22	0.36

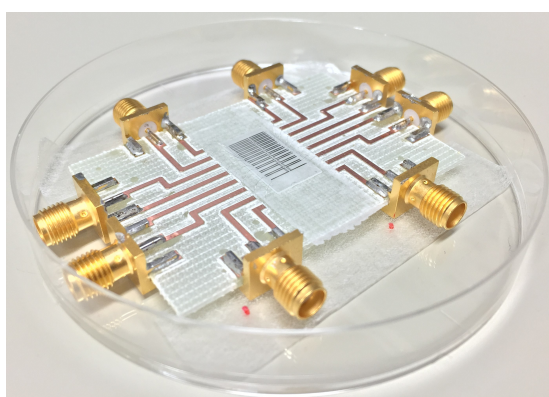


図 3.32 4ch 用基板

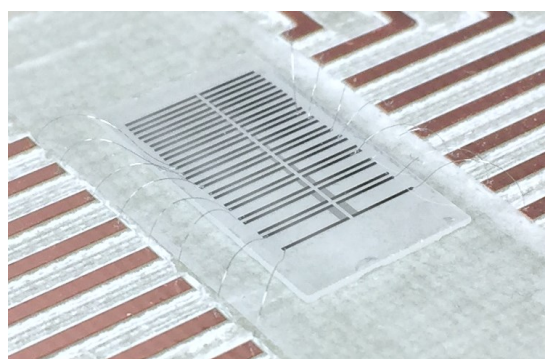


図 3.33 ワイヤーボンディングの様子

3.10.3 フルブリッジインバータ用 SAW フィルタの測定結果

挿入損失

図 3.34 はフルブリッジインバータ用 SAW フィルタの挿入損失、表 3.8 は各 SAW フィルタの中心周波数 f_0 時の損失を基準とする抑圧比を示す。なお、本 3.10.3 節では、図 3.32 の基板を使用し、ワイヤーボンディングと同軸線路を経由してネットワークアナライザに接続し挿入損失を取得した。また、TTE などの主応答以外の影響も考慮するため、ネットワークアナライザのタイムゲートは適用していない。

図 3.34 より、各 SAW フィルタの通過帯域は重ならない結果となった。表 3.8 の抑圧比に注目すると、最低でも 23.6 dB 以上の十分な抑圧比が得られている。これは電圧比にすると 15 倍であり、ハーフブリッジインバータ用 SAW フィルタより優れたフィルタ性能が得られた。図 3.34 の各 SAW フィルタの非通過帯域において比較的挿入損失が小さくなっている部分があるが、これは測定系の電気長によるものと推測される。SAW フィルタの通過帯域における波形の乱れは TTE によるものである。

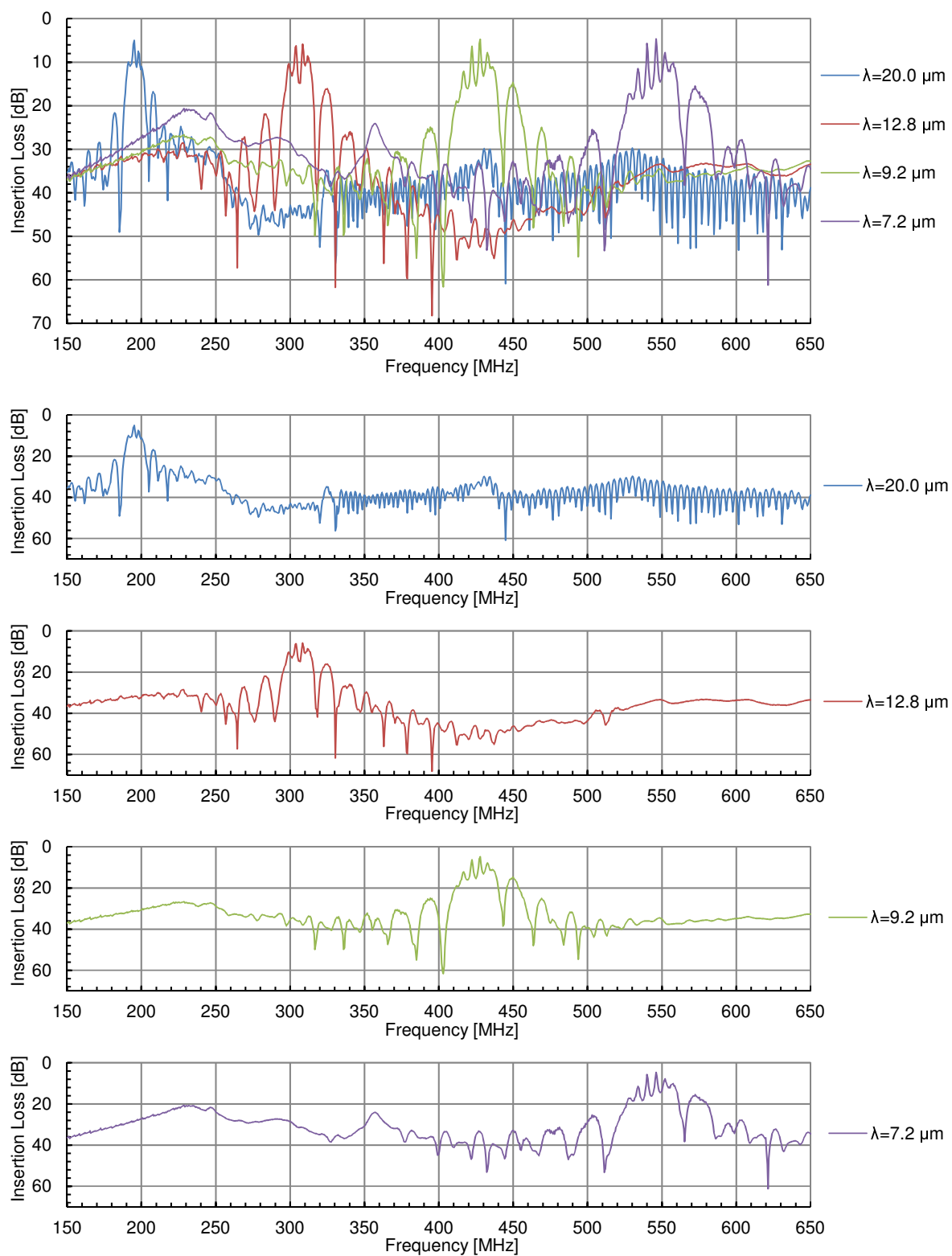


図 3.34 フルブリッジインバータ用 SAW フィルタの挿入損失

表 3.8 フルブリッジインバータ用 SAW フィルタの抑圧比

SAWフィルタの波長 [μm]	中心周波数 f_0 時の損失を基準とする抑圧比 [dB]			
	195 MHz	308 MHz	428 MHz	546 MHz
20.0 ($f_0=195$ MHz)	—	39.8	29.1	27.9
12.8 ($f_0=308$ MHz)	26.7	—	47.7	28.9
9.2 ($f_0=428$ MHz)	26.3	32.1	—	30.7
7.2 ($f_0=546$ MHz)	23.6	25.6	28.8	—

SAW フィルタ出力波形と遅延時間

図 3.35 は SAW フィルタ出力波形を示す。各波形の上部の破線矢印は SAW の主応答が立ち上がるまでの遅延時間を示す。この遅延時間は TTE の影響を無視できる。3.7.2 節で述べられている通り、立ち上がり時間は波長 λ に比例する。よって、主応答が立ち上がるまでの遅延時間は λ が短いほど小さくなった。また、各 SAW フィルタのこの評価方法における遅延時間の差は、 λ の差だけで発生しているため 69 ns 以下に抑えることができた。

各波形の下部の実線矢印は定常状態の振幅に対して 63% 変動時の遅延時間を示す。設計前のハーフブリッジインバータ用 SAW フィルタと同様に TTE が顕著に観測されたが、そもそも伝搬路長 L が短いため TTE も早く到達し、TTE の影響を考慮しても全体として遅延時間を抑えることができた。また、対数 N はどれも等しいが、高い中心周波数 f_0 を使用する短い λ の SAW フィルタのほうが TTE の影響が大きくなることがわかった。したがって、図 3.35 の実線矢印は遅延時間を定常状態の振幅の一定の割合に到達した時と定義しているため、TTE はこの遅延時間を増加させた。よって、各 SAW フィルタのこの評価方法における遅延時間の差は 136 ns 以下となった。この値はハーフブリッジ用 SAW フィルタと比較すると 276 ns 小さく、遅延時間の差を削減することができた。

いずれの評価方法においても、それぞれの SAW フィルタの遅延時間は $0.3 \mu\text{s}$ 未満であり、4.1.2 節で述べる目標遅延時間 $2.5 \mu\text{s}$ と比較すると極めて小さい値となった。

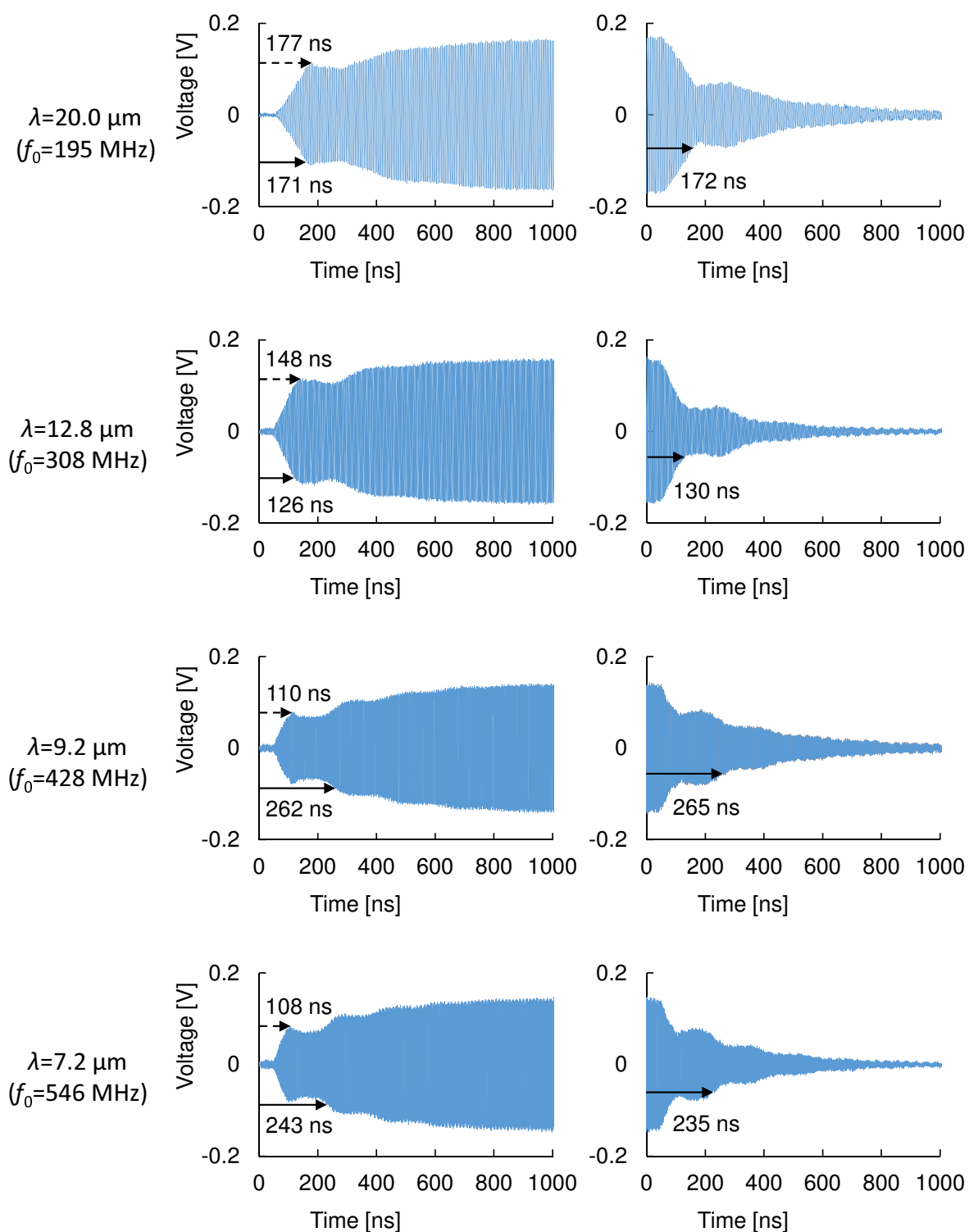


図 3.35 ハーフブリッジインバータ用 SAW フィルタ出力波形

3.10.4 更なる最適設計に向けた課題

インバータに適した SAW フィルタの設計により、各 SAW フィルタ遅延時間とその差を抑えることができた。TTE による遅延時間も伝搬路長 L を短くすることで削減した。しかし、更なる耐圧が求められ L を長くすると、TTE による遅延が目立つようになる。TTE を減少させるため対数 N を少なくする方法も考えられるが、システムが多チャンネル化が求められると狭い通過帯域幅 W と高い抑圧比が求められるため、 N を減少させることができない。よって、多チャンネル通信を実現するためには、TTE の大きさや遅延時間との関係を詳しく検討する必要がある。更なるマルチレベル化が進むと、3.7.3 節で述べたように電極の形状の検討が必要となる可能性がある。また、波長 λ の違いによる主応答が立ち上がるまでの遅延時間の差を削減するため、各 SAW フィルタにおいて L を調整するのが望ましい。

3.10.2 節における 12ch 用 SAW フィルタの W が広がる λ が短い方において、通過帯域が重なり抑圧比が低下しないかどうか確認する必要がある。さらに、同一基板上で 12 個の SAW フィルタを動作させた場合、隣接する SAW フィルタに何らかの影響が出ないかどうか確認するため、挿入損失や抑圧比の評価を行う必要がある。

周辺回路とのインピーダンスマッチングの観点からは、 N と交叉幅の違いによる IDT の反射特性の違いを評価する必要がある。

第 4 章

インバータの動作検証

4.1 ハーフブリッジインバータ

3.9 節においてハーフブリッジインバータ用に選定した SAW フィルタを用い、ゲート駆動回路の動作検証を行った。このインバータは二つのスイッチングデバイスから構成されるため、異なる中心周波数の SAW フィルタを二つ必要とする。実際に電源電圧 100 V の単相ハーフブリッジインバータを駆動させ、ゲート信号の遅延時間を示した。また、SAW フィルタの電氣的耐压の理論値をまとめた。

4.1.1 構成

図 4.1 にハーフブリッジインバータシステムの回路構成を示す。SAW フィルタには約 19 dBm の電力を入力した。なお、SAW フィルタに 24 dBm の RF 信号を 10 分間入力しても特性に変化がないことを確かめたため、19 dBm の信号には十分に対応できると考えられる。(この試験は波長 $\lambda = 8.0 \mu\text{m}$, $N = 30$, $L = 200 \lambda$ の SAW フィルタで行った。)

今回用意したゲートドライブ回路は MOSFET に十分な電圧を印加するために、検波回路の出力を二段階で増幅する構造になっており、一段目は operational amplifier LT1037 (Linear Technology)、二段目はゲートドライバ UC3708N (Texas Instruments) を使用した。DDS に入力するスイッチング周波数は 10 kHz とし、デットタイムは $1 \mu\text{s}$ に設定した。デッドタイムは SAW フィルタの遅延時間の差によってインバータの直流側がアーム短絡するのを防ぐために必要である。

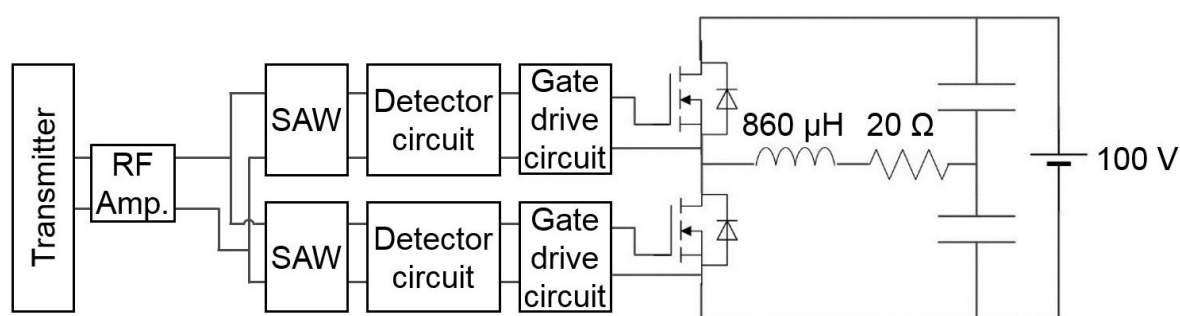


図 4.1 ハーフブリッジインバータシステムの回路構成

4.1.2 測定結果と SAW フィルタの耐圧

図 4.2 は DDS に入力する制御信号、図 4.3 と図 4.5 は各 RF 信号に対する検波回路出力を示す。また、図 4.4 と図 4.6 は各検波回路出力に対するゲートドライバ出力を示す。表 4.1 はゲート信号の遅延時間と、空気の絶縁破壊電界に基づく SAW フィルタの耐圧を示す。

最初に、検波回路出力である図 4.3 と図 4.5 に注目すると、612 MHz の図 4.3 は立ち上がりが若干階段状になっている。これは、SAW フィルタ出力波形が TTE の影響により階段状になっているためである。これと比較して、492 MHz の図 4.5 は階段状になっていない。これは、SAW フィルタの対数 N が少なく、伝搬路長 L が短いためである。

次に遅延時間について評価する。表 4.1 が示すゲート信号の遅延時間はゲートドライバがしきい値を判定し、MOSFET に電圧を印加し始めるまでの時間とし、ここでのしきい値は 2 V 未満である。この遅延時間は DDS、SAW フィルタ、検波回路とゲートドライバにより生じた。立ち上がりにおいて、612 MHz の信号の遅延時間の方が 492 MHz の信号の遅延時間よりも大きい。この差は SAW フィルタの遅延時間により生じた。立下りにおいては、ゲートドライバのしきい値判定が厳しい値に設定されているため、ゲートドライバにおける遅延が生じている。この遅延時間はゲートドライバのしきい値を調整することで削減することができる。一般的なインバータにおいて、スイッチング周波数は図 3.26 に示すような人間の可聴域を避けるため、20 kHz 以上が求められる。立ち上がりと立下りを含めた目標遅延時間は 20 kHz の周期の 5% である $2.5 \mu\text{s}$ とした。ゲート信号の合計遅延時間はいずれも目標遅延時間未満であり、本システムは目標値を達成した。

また、インバータが必要とする耐圧について考える。一般的な家電製品において、インバータの直流電圧は $V_{\text{DC}} = \text{約 } 300 \text{ V}$ である。本論文における目標耐圧は安全係数を 2 として 600 V に設定した。表 4.1 より、本システムで用いた両方の SAW フィルタは目標値を大きく超える耐圧を有していたと考えられる。

最後に図 4.7 に示すスイッチング周波数 10 kHz のインバータ出力波形に注目する。インバータの直流電圧 V_{DC} は 100 V に設定し、交流側の出力には 20Ω の抵抗と 860 H のインダクタを直列に接続した。各ゲート信号の遅延時間の差は $0.2 \mu\text{s}$ 未満であり、デットタイムを超えていないことから、インバータでアーム短絡は生じなかった。以上より、図 4.7 のようにハーフブリッジインバータは 10 kHz で問題なく動作した。

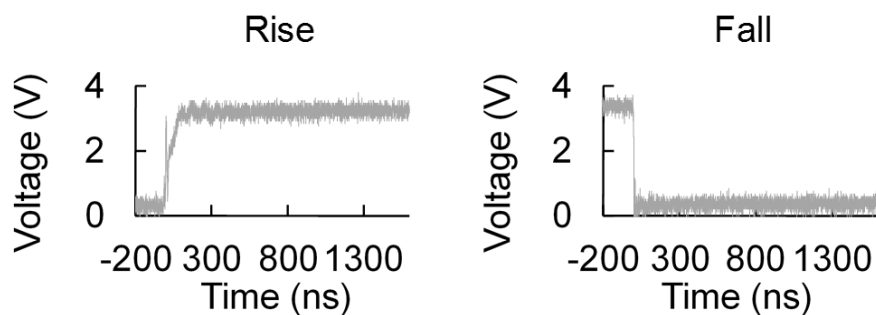


図 4.2 制御信号

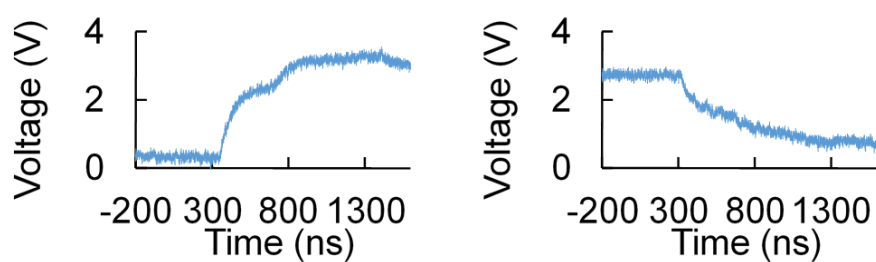


図 4.3 612 MHz の検波回路出力

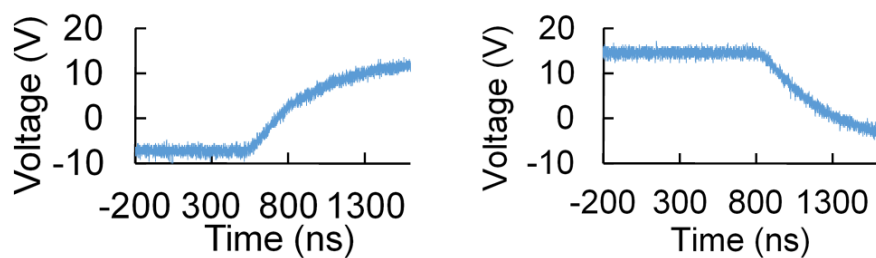


図 4.4 612 MHz のゲートドライバ出力

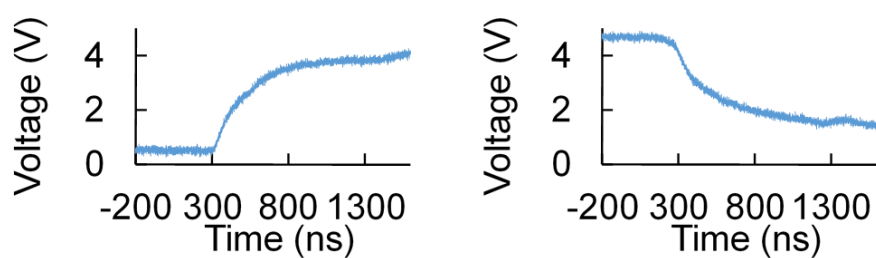


図 4.5 492 MHz の検波回路出力

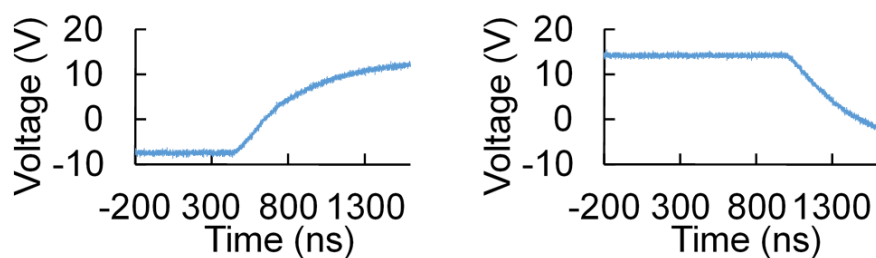


図 4.6 492 MHz のゲートドライバ出力

表 4.1 ゲート信号の遅延時間と SAW フィルタの耐圧（ハーフブリッジ）

Center frequency of SAW filters (MHz)	Delay times of gate signal (μs)				Withstand voltage of SAW filters (V)	
	Rise	Fall	Total (Rise + Fall)	Target Value	Estimated Value (based on the breakdown electric field of air)	Target Value
612	0.53	0.82	1.35	2.5	1920	600
492	0.45	1.01	1.46		1200	

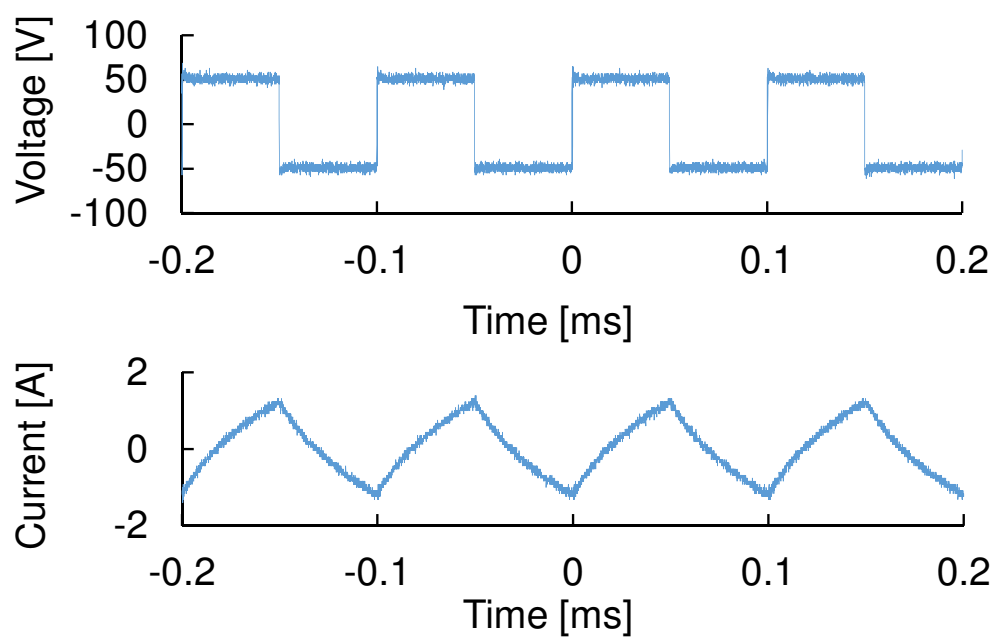


図 4.7 10 kHz のハーフブリッジインバータ出力

4.2 フルブリッジインバータ

3.10 節でフルブリッジインバータ用に設計した SAW フィルタを用い、ゲート駆動回路の動作検証を行った。このインバータは 4 個のスイッチングデバイスから構成されるため、異なる中心周波数の SAW フィルタを 4 個必要とする。実際に電源電圧 100 V の単相フルブリッジインバータを駆動させ、ゲート信号の遅延時間を示した。また、SAW フィルタの電氣的耐圧の理論値まとめた。

4.2.1 構成

図 4.8 にフルブリッジインバータシステムの回路構成を示す。SAW フィルタには約 16 dBm の電力を入力した。今回用意したゲートドライブ回路は MOSFET に十分な電圧を印加するために、4.1 節のハーフブリッジインバータと同様に検波回路の出力を二段階で増幅する構造になっており、一段目はオペアンプ、二段目はゲートドライバを使用した。DDS に入力するスイッチング周波数は 10 kHz とし、デットタイムは 3 μs に設定した。

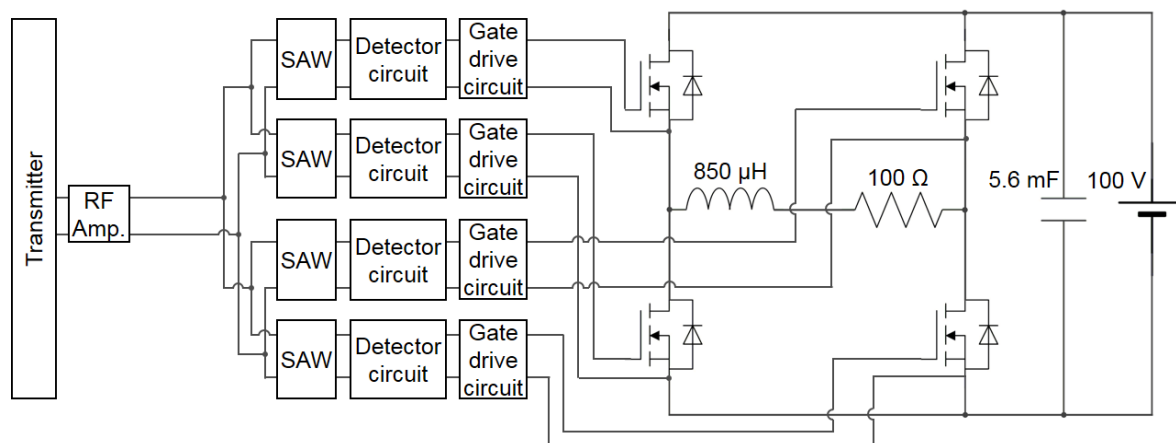


図 4.8 フルブリッジインバータシステムの回路構成

4.2.2 測定結果と SAW フィルタの耐圧

図 4.9 は各 RF 信号に対する検波回路出力を示す。表 4.2 はゲート信号の遅延時間と、空気の絶縁破壊電界に基づく SAW フィルタの耐圧を示す。

まず遅延時間について評価する。表 4.2 が示すゲート信号の遅延時間はゲートドライバがしきい値を判定し、MOSFET に電圧を印加し始めるまでの時間とし、ここでのしきい値は 2

V 未満である。この遅延時間は 4.1 節のハーフブリッジインバータと同様に DDS、SAW フィルタ、検波回路とゲートドライバにより生じた。表 4.2 よりゲート信号の合計遅延時間は 546 MHz の信号を除きほぼ等しくなった。546 MHz の信号の遅延時間が大きくなっている原因は、図 4.9 より検波回路の出力が小さくなっているためである。この遅延時間は SAW フィルタと検波回路間でインピーダンスマッチングを行い検波回路出力の振幅を大きくするか、ゲートドライバのしきい値を調整することで削減することができるだろう。4.1.2 節で述べたとおり、立ち上がりと立下りを含めた目標遅延時間は 20 kHz の周期の 5% である $2.5 \mu\text{s}$ とした。ゲート信号の合計遅延時間はいずれも $2.5 \mu\text{s}$ 未満であり、本システムは目標値を達成した。

また、インバータが必要とする耐圧について注目すると、表 4.2 より、本システムで用いた両方の SAW フィルタは直流電圧 $V_{\text{DC}} = 300\text{V}$ の安全係数 2 である目標耐圧 600 V と一致する耐圧を有していたと考えられる。

図 4.10 はイッチング周波数 10 kHz のインバータ出力波形である。インバータの直流電圧 V_{DC} はハーフブリッジの時と同様に 100 V に設定し、交流側の出力には 100Ω の抵抗と $850 \mu\text{H}$ のインダクタを直列に接続した。図 4.10 のように出力電圧の振幅がハーフブリッジの二倍である。インバータに適した設計を行った SAW フィルタを用いたフルブリッジインバータは 10 kHz で正しく動作した。

以上より、ハーフブリッジインバータとフルブリッジインバータは電源電圧 100 V でアーム短絡を生じることなく正しく動作し、ゲート信号の遅延時間は目標値を達成したことから、本提案システムの有効性が検証された。

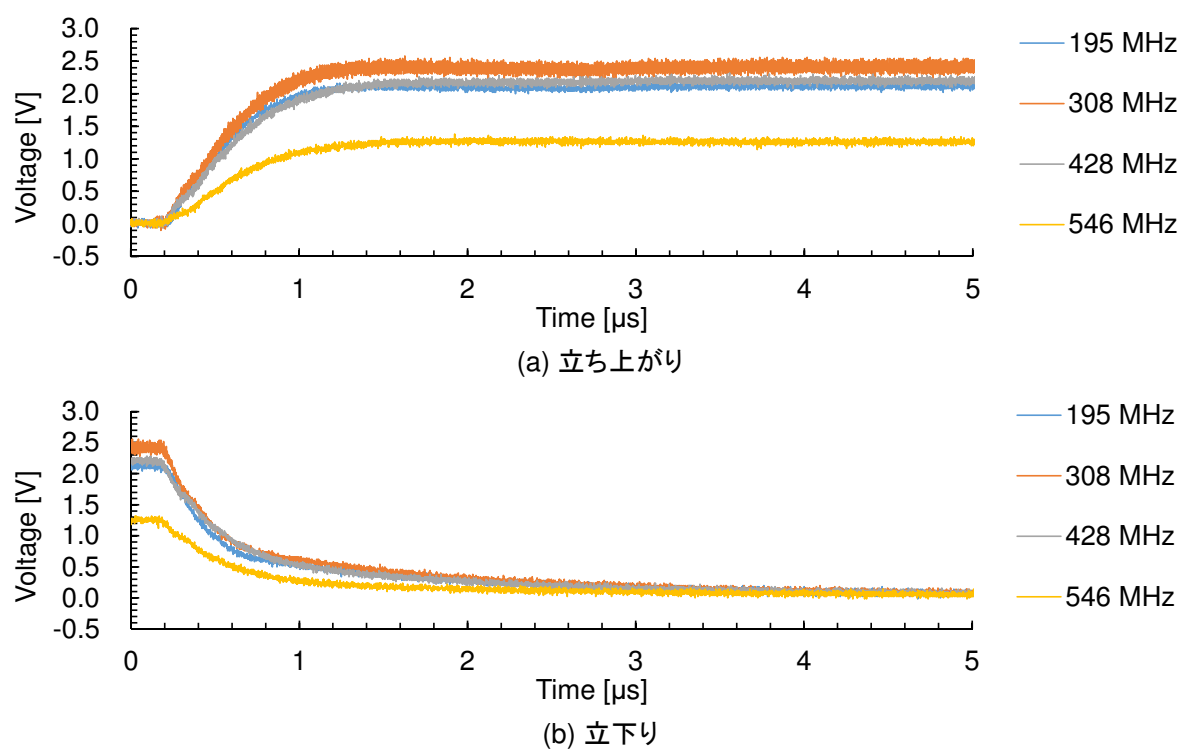


図 4.9 各周波数の検波回路出力

表 4.2 ゲート信号の遅延時間と SAW フィルタの耐圧（フルブリッジ）

Center frequency of SAW filters (MHz)	Delay times of gate signal (μ s)				Withstand voltage of SAW filters (V)	
	Rise	Fall	Total (Rise + Fall)	Target Value	Estimated Value (based on the breakdown electric field of air)	Target Value
195	0.56	0.60	1.16	2.5	600	600
308	0.62	0.69	1.31		600	
428	0.56	0.63	1.19		600	
546	1.31	0.38	1.69		600	

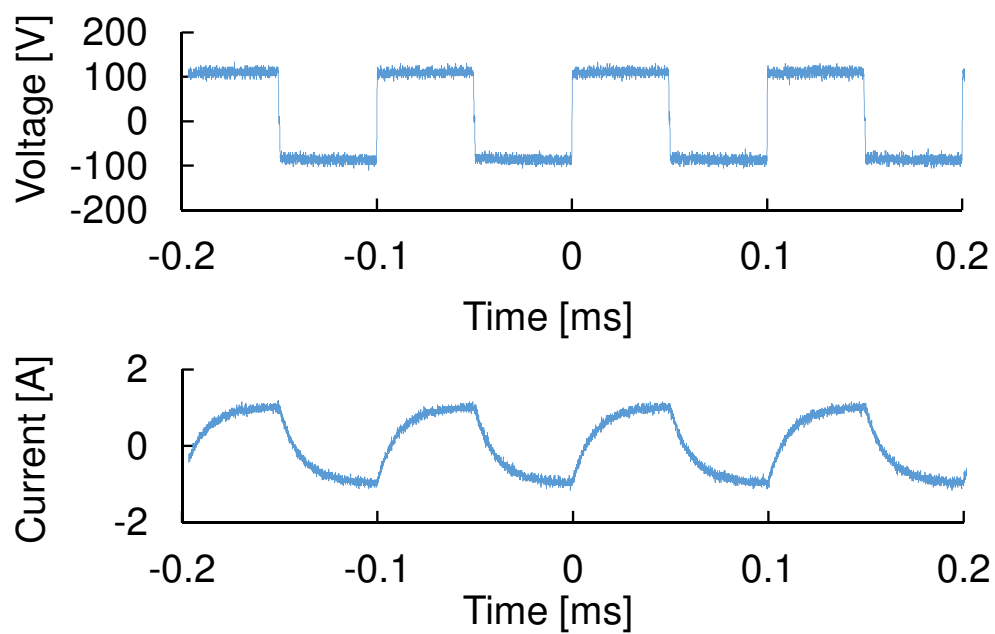


図 4.10 10 kHz のフルブリッジインバータ出力

第 5 章

結論

5.1 研究成果

周波数多重通信に基づく新たなゲート駆動回路に適した SAW フィルタの設計および製作を行った。新たに設計した SAW フィルタを使用したフルブリッジインバータの動作検証を行った。以下の二点について研究成果を示す。

SAW フィルタの設計

波長、対数、伝搬路長が異なる SAW フィルタを評価することで、これらのパラメータと挿入損失や出力波形との関係性を確認した。対数は通過帯域幅を決定することが確かめられたので、使用するスイッチングデバイス数に合わせた設計が可能となった。SAW フィルタの耐圧試験では、伝搬路長にかかる電界が空気の絶縁破壊電界を超えなければ破壊されないことを確かめた。伝搬路長を目標耐圧に合わせた長さにすることによって、SAW フィルタの遅延時間を最小化することができた。設計した SAW フィルタは十分な抑圧比を有し、遅延時間も目標値より十分に小さく、さらに、各 SAW フィルタにおける遅延時間の差も削減することができた。

インバータの動作検証

設計した 4 個の SAW フィルタを用いることで、4 個のスイッチングデバイスを一本の同軸線路で制御するのに成功した。さらに、電源電圧 100 V のフルブリッジインバータの動作を確認した。ゲート信号の遅延時間は目標遅延時間 $2.5 \mu\text{s}$ を達成し、本提案システムの有効性が示された。

5.2 今後の展望

本提案システムが幅広く利用されるのを期待して、今後の展望を以下に記述する。

SAW フィルタの設計

インバータマルチレベル化が進み、さらに多くのスイッチングデバイスを一本の配線で制御するのが求められる場合、周波数多重通信システムにおいては帯域幅や TTE などによる遅延をより詳しく検討する必要がある。よって、SAW フィルタのシミュレーションを行う必要がある。また、次世代ワイドギャップ半導体と共に使用するのを目指すため、高温環境下での動作検証を行うべきである。

インバータの開発

マルチレベルインバータを実現するために伝送信号を多チャンネル化すると、SAW フィルタに入力される電力がさらに低下するため、低電力でも駆動できるゲート駆動回路が求められる。また、ゲート駆動回路にエネルギーも伝送できるようになれば、本提案システムがさらに有用なものとなるだろう。

参考文献

- [1] S. Madhusoodhanan, A. Tripathi, D. Patel, K. Mainali, A. Kadavelugu, S. Hazra, S. Bhattacharya, and K. Hatua, “Solid-state transformer and MV grid tie applications enabled by 15 kV SiC IGBTs and 10 kV SiC MOSFETs based multilevel converters,” *Industry Applications, IEEE Transactions on*, vol. 51, no. 4, pp. 3343–3360, July 2015.
- [2] A. Tripathi, K. Mainali, D. Patel, A. Kadavelugu, S. Hazra, S. Bhattacharya, and K. Hatua, “Design considerations of a 15-kV SiC IGBT-based medium-voltage high-frequency isolated DC-DC converter,” *Industry Applications, IEEE Transactions on*, vol. 51, no. 4, pp. 3284–3294, July 2015.
- [3] K. Sekiguchi, P. Khamphakdi, M. Hagiwara, and H. Akagi, “A parallel-redundant BTB (back-to-back) system using modular multilevel cascade converters for power transmission grids,” in *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, Sept 2013, pp. 3382–3389.
- [4] H. Fujita, M. Hagiwara, and H. Akagi, “Power flow analysis and DC-capacitor voltage regulation for the MMCC-DSCC,” *Electrical Engineering in Japan*, vol. 193, no. 1, pp. 1–9, 2015. [Online]. Available: <http://dx.doi.org/10.1002/eej.22463>
- [5] G. Mondal, K. Sivakumar, R. Ramchand, K. Gopakumar, and E. Levi, “A dual seven-level inverter supply for an open-end winding induction motor drive,” *Industrial Electronics, IEEE Transactions on*, vol. 56, no. 5, pp. 1665–1673, May 2009.
- [6] S. Nagai, N. Negoro, T. Fukuda, N. Otsuka, H. Sakai, T. Ueda, T. Tanaka, and D. Ueda, “A DC-isolated gate drive IC with drive-by-microwave technology for power switching devices,” in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, Feb 2012, pp. 404–406.
- [7] 山本研一, 市原文夫, 長谷川一徳, and 大村一郎, “60GHz 無線モジュールを用いたワイヤレス・ゲートドライブ回路,” in *電気学会電子デバイス研究会資料*, vol. EDD-14, no. 66-80, 2014, pp. 1–4.

- [8] S. Bayne and B. Pushpakaran, "Silicon carbide technology overview," *Journal of Electrical Engineering & Electronic Technology*, vol. 1, no. 1, 2012.
- [9] Z. Chen, Y. Yao, D. Boroyevich, K. Ngo, P. Mattavelli, and K. Rajashekara, "A 1200-V, 60-A SiC MOSFET multichip phase-leg module for high-temperature, high-frequency applications," *Power Electronics, IEEE Transactions on*, vol. 29, no. 5, pp. 2307–2320, May 2014.
- [10] X. Zhong, X. Wu, W. Zhou, and K. Sheng, "An all-sic high-frequency boost DC-DC converter operating at 320 °C junction temperature," *Power Electronics, IEEE Transactions on*, vol. 29, no. 10, pp. 5091–5096, Oct 2014.
- [11] S. Harada, Y. Hayashi, K. Takao, A. Kinoshita, M. Kato, M. Okamoto, T. Kato, S. Nishizawa, T. Yatsuo, K. Fukuda, H. Ohashi, and K. Arai, "Demonstration of motor drive with SiC normally-off IBMOSFET/SBD power converter," in *Power Semiconductor Devices and IC's, 2007. ISPSD '07. 19th International Symposium on*, May 2007, pp. 289–292.
- [12] 山本健司 and 高橋久, "HEV, EV 用インバータシステムのシリアル通信化ゲートドライブの一手法," [D] 平成 22 年電気学会産業応用部門大会講演論文集, pp. 441–446, 2010.
- [13] I. Milosavljevic and D. Borojevic, "Modularized control architecture for power converters," in *Annual VPEC Seminar Proceedings*, Sep 1998, pp. 85–92.
- [14] 五箇繁善, 和田圭二, and 桑尚成, "SAW フィルタを用いた次世代インバータ用周波数多重通信における送受信機の基礎検討," in *EM シンポジウム*, 2014, p. 103.
- [15] S. Kakio, H. Fukasawa, and K. Hosaka, "Love-type surface acoustic wave on Y X LiTaO₃ with amorphous Ta₂O₅ thin film," *Japanese Journal of Applied Physics*, vol. 54, no. 7S1, p. 07HD03, 2015. [Online]. Available: <http://stacks.iop.org/1347-4065/54/i=7S1/a=07HD03>
- [16] M. Goto, H. Yatsuda, and J. Kondoh, "Effect of viscoelastic film for shear horizontal surface acoustic wave on quartz," *Japanese Journal of Applied Physics*, vol. 54, no. 7S1, p. 07HD02, 2015. [Online]. Available: <http://stacks.iop.org/1347-4065/54/i=7S1/a=07HD02>
- [17] T. Tsuji, T. Oizumi, N. Takeda, S. Akao, Y. Tsukahara, and K. Yamanaka, "Temperature compensation of ball surface acoustic wave sensor by two-frequency measurement using undersampling," *Japanese Journal of Applied Physics*, vol. 54, no. 7S1, p. 07HD13, 2015. [Online]. Available: <http://stacks.iop.org/1347-4065/54/i=7S1/a=07HD13>
- [18] M. Pereira da Cunha, T. Moonlight, R. Lad, G. Bernhardt, and D. Frankel, "Enabling very high temperature acoustic wave devices for sensor & frequency control

- applications,” in *Ultrasonics Symposium, 2007. IEEE*, Oct 2007, pp. 2107–2110.
- [19] M. Pereira da Cunha, R. Lad, T. Moonlight, G. Bernhardt, and D. Frankel, “High temperature stability of langasite surface acoustic wave devices,” in *Ultrasonics Symposium, 2008. IUS 2008. IEEE*, Nov 2008, pp. 205–208.
- [20] S. Moulzolf, R. Behanan, T. Pollard, R. Lad, and M. da Cunha, “Capacitively coupled IDT for high temperature SAW devices,” in *Ultrasonics Symposium (IUS), 2013 IEEE International*, July 2013, pp. 255–258.
- [21] R. Behanan, S. Moulzolf, M. Call, G. Bernhardt, D. Frankel, R. Lad, and M. da Cunha, “Thin films and techniques for SAW sensor operation above 1000 °C,” in *Ultrasonics Symposium (IUS), 2013 IEEE International*, July 2013, pp. 1013–1016.
- [22] H. Fujita, “A resonant gate-drive circuit with optically isolated control signal and power supply for fast-switching and high-voltage power semiconductor devices,” *Power Electronics, IEEE Transactions on*, vol. 28, no. 11, pp. 5423–5430, Nov 2013.
- [23] H. Fujita, “A resonant gate-drive circuit capable of high-frequency and high-efficiency operation,” *Power Electronics, IEEE Transactions on*, vol. 25, no. 4, pp. 962–969, April 2010.
- [24] D. Vasic, F. Costa, and E. Sarraute, “Piezoelectric transformer for integrated MOS-FET and IGBT gate driver,” *Power Electronics, IEEE Transactions on*, vol. 21, no. 1, pp. 56–65, Jan 2006.
- [25] K. Shibayama, K. Yamanouchi, H. Sato, and T. Meguro, “Optimum cut for rotated y-cut LiNbO₃ crystal used as the substrate of acoustic-surface-wave filters,” *Proceedings of the IEEE*, vol. 64, no. 5, pp. 595–597, May 1976.
- [26] L. Rayleigh, “On waves propagated along the plane surface of an elastic solid,” *Proceedings of the London Mathematical Society*, vol. s1-17, no. 1, pp. 4–11, 1885. [Online]. Available: <http://plms.oxfordjournals.org/content/s1-17/1/4.short>
- [27] J. Carruthers, G. Peterson, M. Grasso, and P. Bridenbaugh, “Nonstoichiometry and crystal growth of lithium niobate,” *Journal of Applied Physics*, vol. 42, no. 5, pp. 1846–1851, 1971.
- [28] 日本学術振興会弾性波素子技術第 150 委員会, 弾性波デバイス技術. オーム社, p. 90.
- [29] K. Hashimoto, *Surface acoustic wave devices in telecommunications*. Springer, 2000, pp. 93–97.
- [30] K. Yamanouchi and K. Shibayama, “Propagation and amplification of rayleigh waves and piezoelectric leaky surface waves in LiNbO₃,” *Journal of Applied Physics*, vol. 43, no. 3, pp. 856–862, 1972. [Online]. Available: <http://scitation.aip.org/content/aip/journal/jap/43/3/10.1063/1.1661294>

- [31] 日本学術振興会弾性波素子技術第 150 委員会, 弾性波デバイス技術. オーム社, p. 268.
- [32] C. Hartmann, P. Wright, R. Kansy, and E. Garber, “An analysis of SAW interdigital transducers with internal reflections and the application to the design of single-phase unidirectional transducers,” in *1982 Ultrasonics Symposium*, Oct 1982, pp. 40–45.
- [33] H. Nakamura, T. Yamada, T. Igaki, K. Nishimura, T. Ishizaki, and K. Ogawa, “A practical SPUDT design for SAW filters with different-width split-finger interdigital transducers,” in *Ultrasonics Symposium, 2000 IEEE*, vol. 1, Oct 2000, pp. 105–108 vol.1.
- [34] J. H. Collins, H. M. Gerard, and H. J. Shaw, “High - performance lithium niobate acoustic surface wave transducers and delay lines,” *Applied Physics Letters*, vol. 13, no. 9, pp. 312–313, 1968. [Online]. Available: <http://scitation.aip.org/content/aip/journal/apl/13/9/10.1063/1.1652627>
- [35] J. J. Lowke, “Theory of electrical breakdown in air-the role of metastable oxygen molecules,” *Journal of Physics D: Applied Physics*, vol. 25, no. 2, p. 202, 1992. [Online]. Available: <http://stacks.iop.org/0022-3727/25/i=2/a=012>
- [36] J. ichi Itoh, T. Araki, and K. Orikawa, “Experimental verification of EMC filter used for PWM inverter with wide band-gap devices,” *IEEJ Journal of Industry Applications*, vol. 4, no. 3, pp. 212–219, 2015.

研究業績

学術雑誌に発表した論文

1. **Akifumi Suzuki**, Kensuke Ueda, Shigeyoshi Goka, Keiji Wada, Shoji Kakio, “Multiplex transmission system for gate drive signals of inverter circuit using surface acoustic wave filters”, Japanese Journal of Applied Physics, Vol. 55, No. 7 (2016). (2015 年 11 月 15 日投稿, 2016 年 1 月 27 日閲読終了・掲載決定, 2016 年 7 月 Japanese Journal of Applied Physics における Ultrasonic Electronics の特集号に掲載決定)

学会シンポジウムにおける発表

1. **鈴木陽文**, 上田健介, 五箇繁善, 和田圭二, “SAW フィルタを用いた次世代インバータ用多重通信における動作検証”, 電気学会電子回路技術委員会主催 EM シンポジウム, 東京理科大学森戸記念館, 2015 年 6 月 [口頭発表].
2. **Akifumi Suzuki**, Kensuke Ueda, Shigeyoshi Goka, Keiji Wada, Shoji Kakio, “Operational verification in multiplex transmission system for gate drive signals of inverter circuit using SAW filters”, Proceedings of Symposium on Ultrasonic Electronics, Epochal Tsukuba Tsukuba Japan, Vol. 36, 3P3-7, 5-7 November, 2015 [ポスター発表・審査あり].

謝辞

本研究の遂行にあたり、多くのご指導をいただきました首都大学東京大学院 理工学研究科 五箇繁善 准教授に深く感謝の意を表します。本研究は新しいテーマであり、私の知識が及ばないところが多々ありましたが、常日頃から親身に相談に乗っていただき、研究を遂行し論文を作成することができました。日頃のご指導に対し、厚く御礼申し上げます。

SAW フィルタの設計と製作における丁寧なご指導と、製作設備ご提供いただいた山梨大学大学院医学工学総合研究部 垣尾省司 教授に深く感謝いたします。

論文の作成や日々の実験において、パワーエレクトロニクス分野の観点からアドバイスをくださいました首都大学東京大学院 理工学研究科 和田圭二 准教授に深く感謝いたします。

パワーエレクトロニクス研究室 博士前期課程二年の上田健介さんには常日頃の共同研究において大変お世話になりました。ありがとうございました。

矢野雄一郎氏（工学博士）をはじめとする精密周波数発生・応用研究室の皆様には、研究だけでなく生活の面でも大変お世話になりました。博士前期課程一年の久保慶太さんには SAW フィルタやその周辺回路の製作を手伝っていただきとても助かりました。この場をお借りして皆様に深く感謝いたします。

最後に、六年間不自由なく大学と大学院に通わせていただいた両親に深く感謝の意を表します。